**射频集成电路经验总结让你少做弯路**

**来源：http://www.eeworld.com.cn/dygl/2014/0522/article\_21986.html**

2014-05-22 18:23:59   来源:21IC

**关键字：** [**射频**](http://www.eeworld.com.cn/tags/%E5%B0%84%E9%A2%91)[**集成电路**](http://www.eeworld.com.cn/tags/%E9%9B%86%E6%88%90%E7%94%B5%E8%B7%AF)

迅速发展的[**射频**](http://www.eeworld.com.cn/IoT/)[**集成电路**](http://www.eeworld.com.cn/tags/%E9%9B%86%E6%88%90%E7%94%B5%E8%B7%AF)为从事各类无线通信的工程技术人员提供了广阔的前景。但同时, 射频电路的设计要求设计者具有一定的实践经验和工程设计能力。本文总结的一些经验可以帮助射频集成电路开发者缩短开发周期, 避免走不必要的弯路, 节省人力物力。

1. RF无线射频电路设计中的常见问题

射频(RF) PCB设计, 在目前公开出版的理论上具有很多不确定性, 常被形容为一种“黑色艺术”。通常情况下, 对于微波以下频段的电路( 包括低频和低频数字电路) , 在全面掌握各类设计原则前提下的仔细规划是一次性成功设计的保证。对于微波以上频段和高频的PC 类数字电路, 则需要2~3个版本的PCB方能保证电路品质。而对于微波以上频段的RF 电路, 则往往需要更多版本的PCB设计并不断完善, 而且是在具备相当经验的前提下。由此可知RF 电设计上的困难。

数字电路模块和模拟电路模块之间的干扰

如果模拟电路( 射频) 和数字电路单独工作, 可能各自工作良好。但是, 一旦将二者放在同一块电路板上, 使用同一个电源一起工作, 整个系统很可能就不稳定。这主要是因为数字信号频繁地在地和正电源( >3 V) 之间摆动, 而且周期特别短, 常常是纳秒级的。由于较大的振幅和较短的切换时间, 使得这些数字信号包含大量且独立于切换频率的高频成分。在模拟部分, 从无线调谐回路传到无线设备接收部分的信号一般小于1μV。因此数字信号与射频信号之间的差别会达到120dB。显然, 如果不能使数字信号与射频信号很好地分离, 微弱的射频信号可能遭到破坏, 这样一来, 无线设备工作性能就会恶化, 甚至完全不能工作。

供电电源的噪声干扰

射频电路对于电源噪声相当敏感, 尤其是对毛刺电压和其他高频谐波。微控制器会在每个内部时钟周期内短时间突然吸入大部分电流, 这是由于现代微控制器都采用CMOS 工艺制造。因此, 假设一个微控制器以1MHz 的内部时钟频率运行, 它将以此频率从电源提取电流。如果不采取合适的电源去耦, 必将引起电源线上的电压毛刺。如果这些电压毛刺到达电路RF部分的电源引脚, 严重时可能导致工作失效。

不合理的地线

如果RF 电路的地线处理不当, 可能产生一些奇怪的现象。对于数字电路设计, 即使没有地线层,大多数数字电路功能也表现良好。而在RF 频段, 即使一根很短的地线也会如电感器一样作用。粗略地计算, 每毫米长度的电感量约为1 nH, 433 MHz 时10 mm PCB 线路的感抗约27Ω。如果不采用地线层, 大多数地线将会较长, 电路将无法具有设计的特性。

天线对其他模拟电路部分的辐射干扰

在PCB电路设计中, 板上通常还有其他模拟电路。例如, 许多电路上都有模/数转换(ADC)或数/模转换器(DAC)。射频发送器的天线发出的高频信号可能会到达ADC的模拟输入端。因为任何电路线路都可能如天线一样发出或接收RF信号。如果ADC输入端的处理不合理, RF信号可能在ADC输入的ESD二极管内自激, 从而引起ADC偏差。 2. RF 电路设计原则及方案

RF 布局概念

在设计RF 布局时, 必须优先满足以下几个总原则:

( 1) 尽可能地把高功率RF放大器(HPA)和低噪音放大器(LNA)隔离开来, 简单地说, 就是让高功率RF发射电路远离低功率RF 接收电路;

( 2) 确保PCB板上高功率区至少有一整块地,最好上面没有过孔, 当然, 铜箔面积越大越好;

( 3) 电路和电源去耦同样也极为重要;

( 4)RF 输出通常需要远离RF输入;

( 5) 敏感的模拟信号应该尽可能远离高速数字信号和RF信号。

物理分区和电气分区设计原则

设计分区可以分解为物理分区和电气分区。物理分区主要涉及元器件布局、方向和屏蔽等; 电气分区可以继续分解为电源分配、RF走线、敏感电路和信号以及接地等的分区。

物理分区原则

( 1) 元器件位置布局原则。元器件布局是实现一个优秀RF设计的关键, 最有效的技术是首先固定位于RF路径上的元器件并调整其方向, 以便将RF路径的长度减到最小, 使输入远离输出, 并尽可能远地分离高功率电路和低功率电路。

( 2) PCB堆叠设计原则。最有效的电路板堆叠方法是将主接地面(主地)安排在表层下的第二层,并尽可能将RF线布置在表层上。将RF路径上的过孔尺寸减到最小, 这不仅可以减少路径电感, 而且还可以减少主地上的虚焊点, 并可减少RF能量泄漏到层叠板内其他区域的机会。

( 3) 射频器件及其RF布线布局原则。在物理空间上, 像多级放大器这样的线性电路通常足以将多个RF区之间相互隔离开来, 但是双工器、混频器和中频放大器/混频器总是有多个RF/IF 信号相互干扰, 因此必须小心地将这一影响减到最小。RF与IF迹线应尽可能十字交叉, 并尽可能在它们之间隔一块地。正确的RF路径对整块PCB的性能非常重要,这就是元器件布局通常在蜂窝电话PCB设计中占大部分时间的原因。

( 4) 降低高/低功率器件干扰耦合的设计原则。在蜂窝电话PCB上, 通常可以将低噪音放大器电路放在PCB的某一面, 而将高功率放大器放在另一面, 并最终通过双工器把它们在同一面上连接到RF端和基带处理器端的天线上。要用技巧来确保通孔不会把RF能量从板的一面传递到另一面, 常用的技术是在二面都使用盲孔。可以通过将通孔安排在PCB板二面都不受RF干扰的区域来将通孔的不利影响减到最小。

电气分区原则

( 1) 功率传输原则。蜂窝电话中大多数电路的直流电流都相当小, 因此, 布线宽度通常不是问题。不过, 必须为高功率放大器的电源单独设定一条尽可能宽的大电流线, 以将传输压降减到最低。为了避免太多电流损耗, 需要采用多个通孔来将电流从某一层传递到另一层。

( 2) 高功率器件的电源去耦。如果不能在高功率放大器的电源引脚端对它进行充分的去耦, 那么高功率噪声将会辐射到整块板上, 并带来多种的问题。高功率放大器的接地相当关键, 经常需要为其设计一个金属屏蔽罩。

( 3)RF 输入/输出隔离原则。在大多数情况下,同样关键的是确保RF 输出远离RF 输入。这也适用于放大器、缓冲器和滤波器。在最坏情况下, 如果放大器和缓冲器的输出以适当的相位和振幅反馈到它们的输入端, 那么它们就有可能产生自激振荡。在最好情况下, 它们将能在任何温度和电压条件下稳定地工作。实际上, 它们可能会变得不稳定, 并将噪音和互调信号添加到RF 信号上。

( 4) 滤波器输入/输出隔离原则。如果射频信号线不得不从滤波器的输入端绕回输出端, 那么, 这可能会严重损害滤波器的带通特性。为了使输入和输出良好地隔离, 首先必须在滤波器周围布置一圈地, 其次滤波器下层区域也要布置一块地, 并与围绕滤波器的主地连接起来。把需要穿过滤波器的信号线尽可能远离滤波器引脚也是个好方法。此外, 整块板上各个地方的接地都要十分小心, 否则可能会在不知觉之中引入一条不希望发生的耦合通道。

(5) 数字电路和模拟电路隔离。在所有PCB设计中, 尽可能将数字电路远离模拟电路是一条总的原则, 它同样适用于RF PCB设计。公共模拟地和用于屏蔽和隔开信号线的地通常是同等重要的, 由于疏忽而引起的设计更改将可能导致即将完成的设计又必须推倒重来。同样应使RF线路远离模拟线路和一些很关键的数字信号, 所有的RF走线、焊盘和元件周围应尽可能多地填接地铜皮, 并尽可能与主地相连。如果RF 走线必须穿过信号线, 那么尽量在它们之间沿着RF 走线布置一层与主地相连的地。如果不可能, 一定要保证它们是十字交叉的, 这可将容性耦合减到最小, 同时尽可能在每根RF走线周围多布一些地, 并把它们连到主地。此外, 将并行RF走线之间的距离减到最小可使感性耦合减到最小。