

2023 NYCU EE VLSI Lab Report

Final Project

6-Bit Multiplier and Accumulator Design

Student ID: 110511277 Name: 蔡東宏

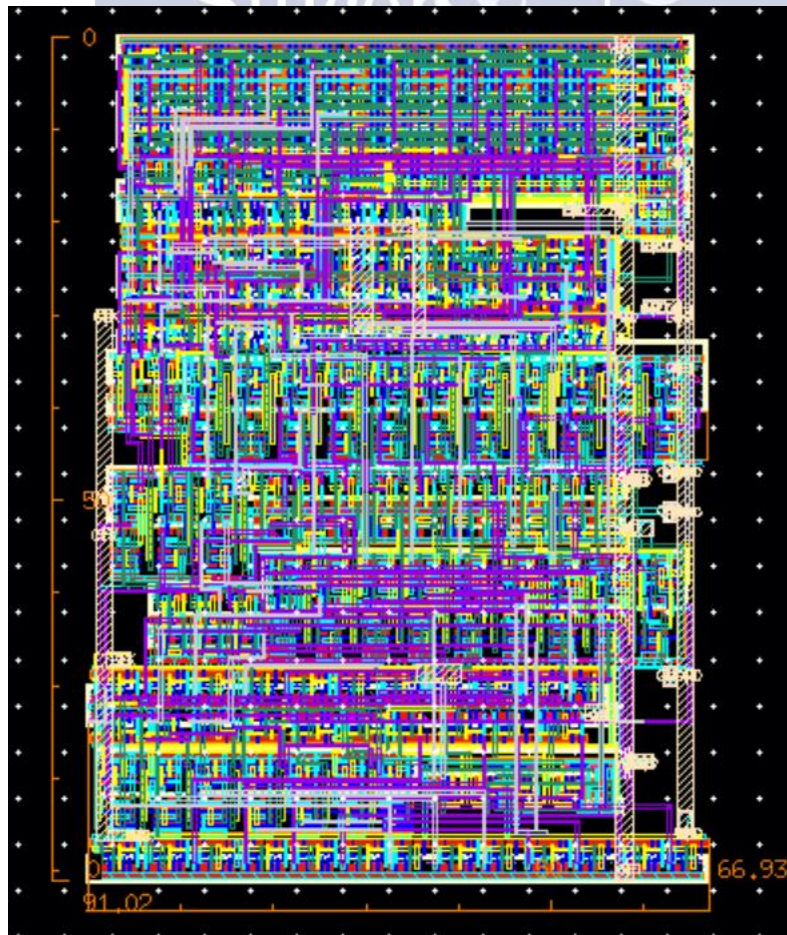
Student ID: 110511142 Name: 張又仁

Student ID: 110511254 Name: 徐煜絨

Date: 2024/1/12

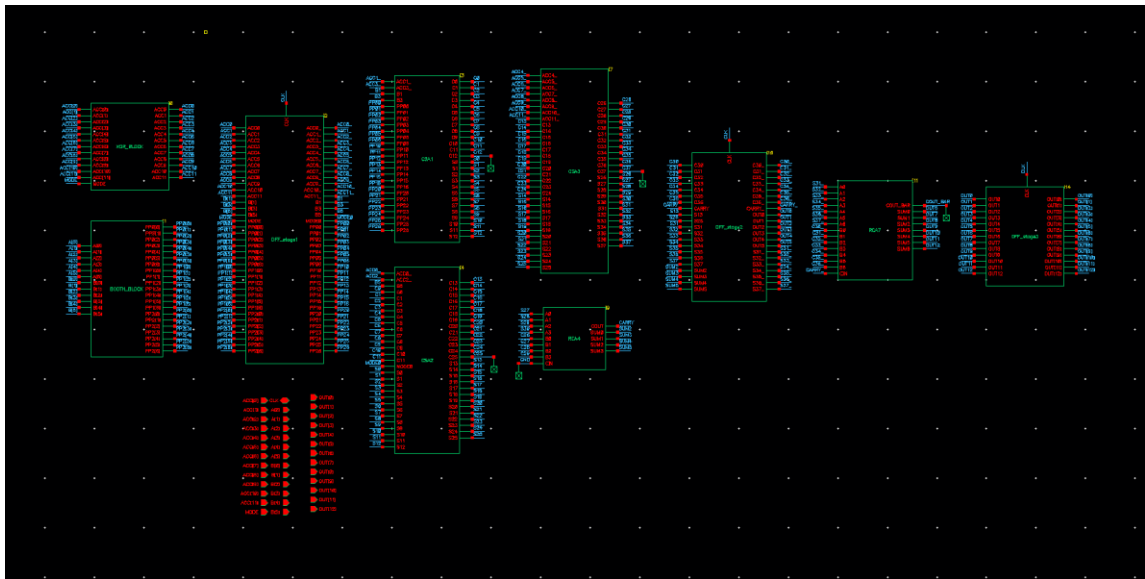
I. Layout result

1. Layout picture with ruler



2. Design concept

(1) Pipeline multiplier design

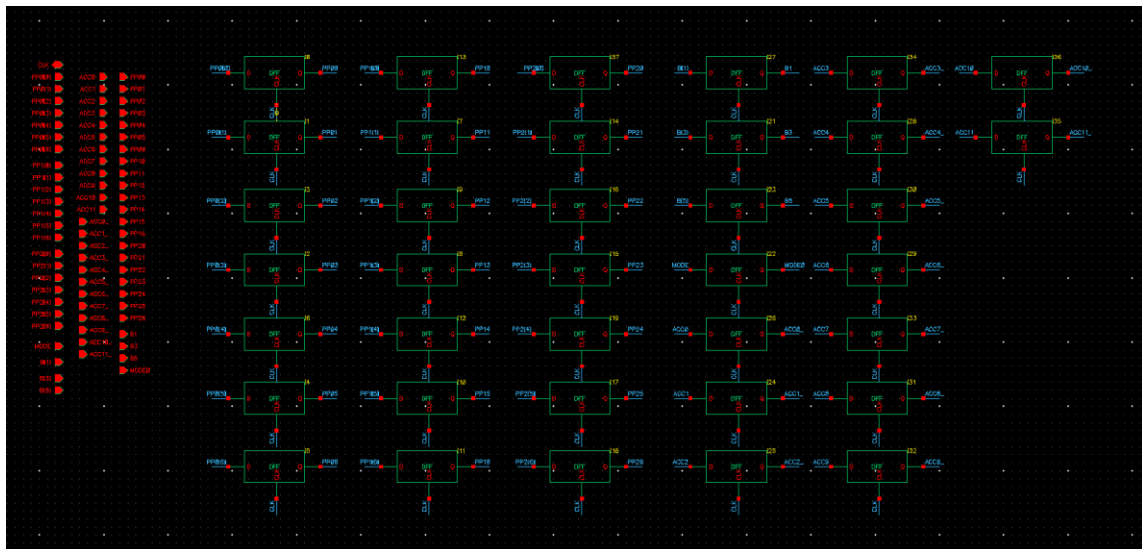


(2) Summary of structure (Roughly number of transistor / logic gate is used)

這次的 6bit MAC 架構如上圖，首先我們先利用 booth encoding 和 booth selecting 產生三組 7 bit 的 partial product，用 booth 來減少 partial product 的數量來減少 critical path，同時利用 XOR 來產生 ACC 的訊號 (mode = 0 為加法，mode = 1 為減法)，經過第一級 DFF 之後做三級 CSA，最後要進行 11bit 的 Ripple Carry Adder，我們先做 4 級的 Ripple Carry Adder 後，經過第二級 DFF 再進行 7 級的 Ripple Carry Adder，最後經過 DFF 將最後的 13bit 結果輸出。我們總共用到 XOR BLOCK、BOOTH BLOCK、第一級 DFF、CSA1、CSA2、CSA3、RCA4、第二級 DFF、RCA7、第三級 DFF，XOR BLOCK 用到 12 個 xor(6 顆)，總共 72 個 transistors，BOOTH BLOCK 用到 3 個 booth encoding(18 顆)和 21 個 booth selector(18 顆)，總共 432 顆，第一級 DFF 用到 37 個 DFF(11 顆)，總共 407 顆 transistors，CSA1 用到 11 個 FA(28 顆)和 2 個 HA(12 顆)，總共 332 顆 transistors，CSA2 用到 3 個 FA(28 顆)和 10 個 HA(12 顆)，總共 204 顆 transistors，CSA3 用到 9 個 FA(28 顆)和 3 個 HA(12 顆)，總共 288 顆 transistors，RCA4 用到 4 個 inverter(2 顆)和 4 個 Pseudo_FA_Bar(14

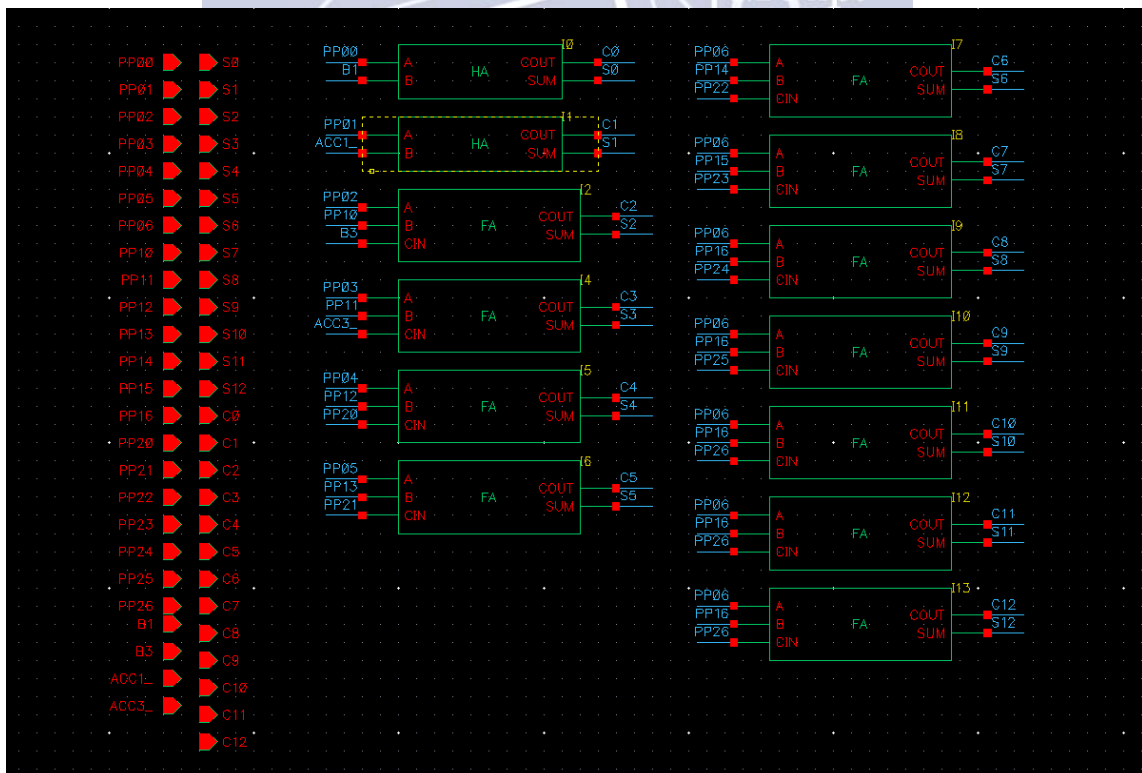
(3) Circuit Schematic / Building Blocks

DFF_stage1:

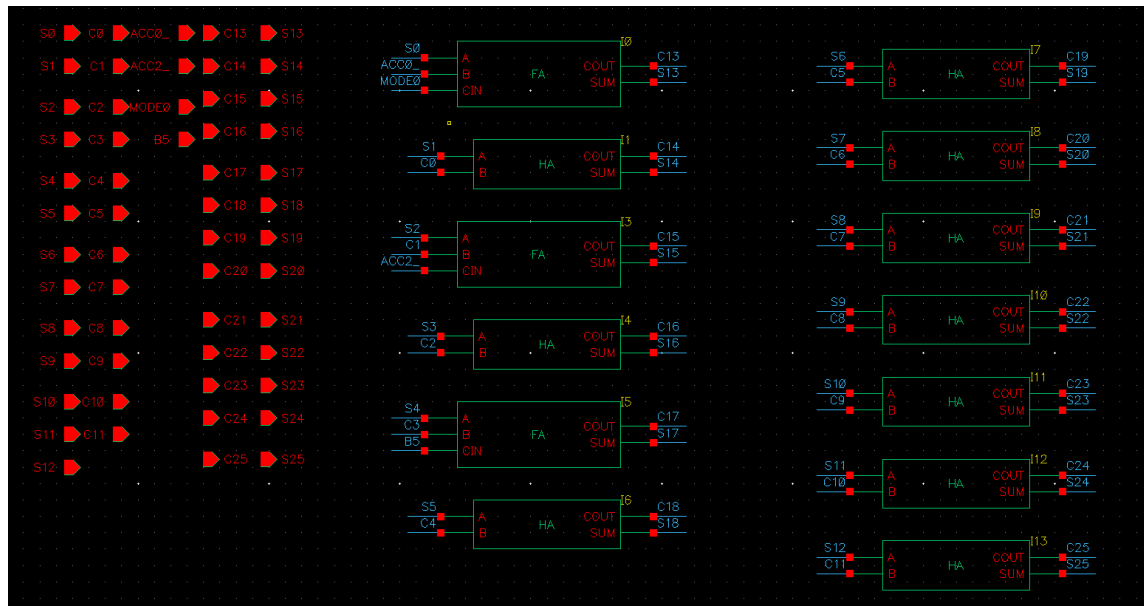


CSA1:

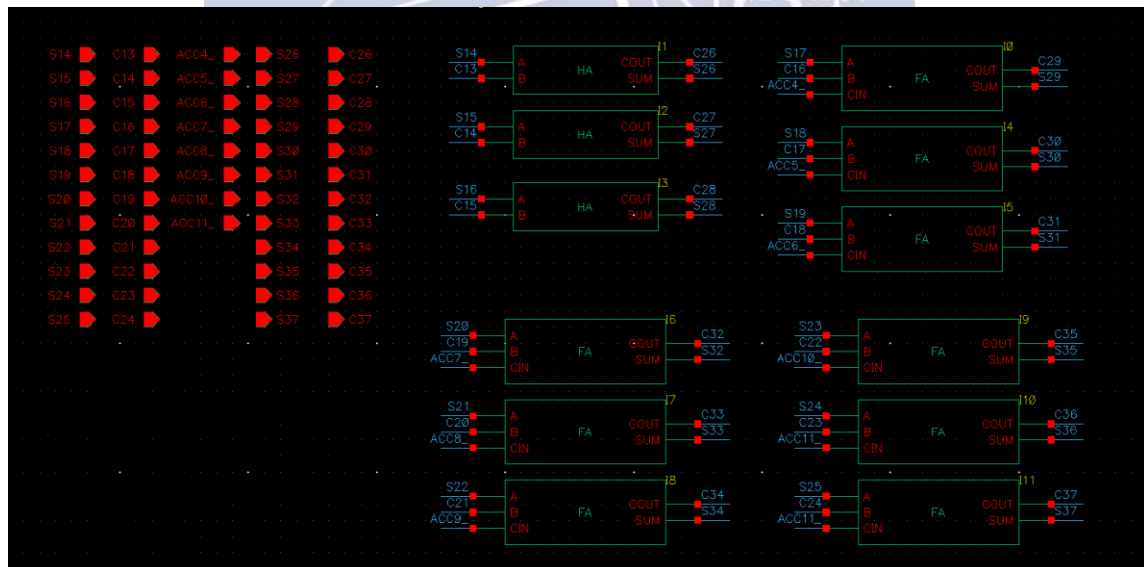
Silicon
Implementation
Group.



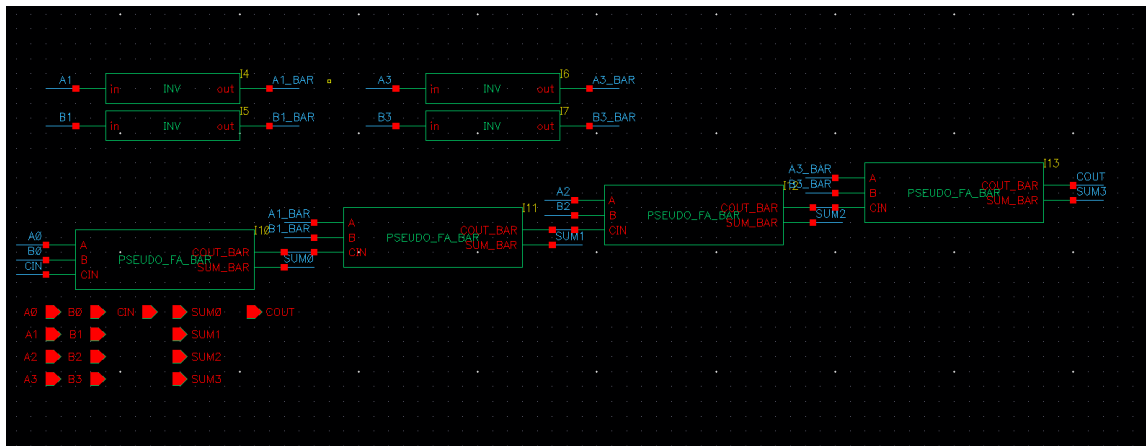
CSA2:



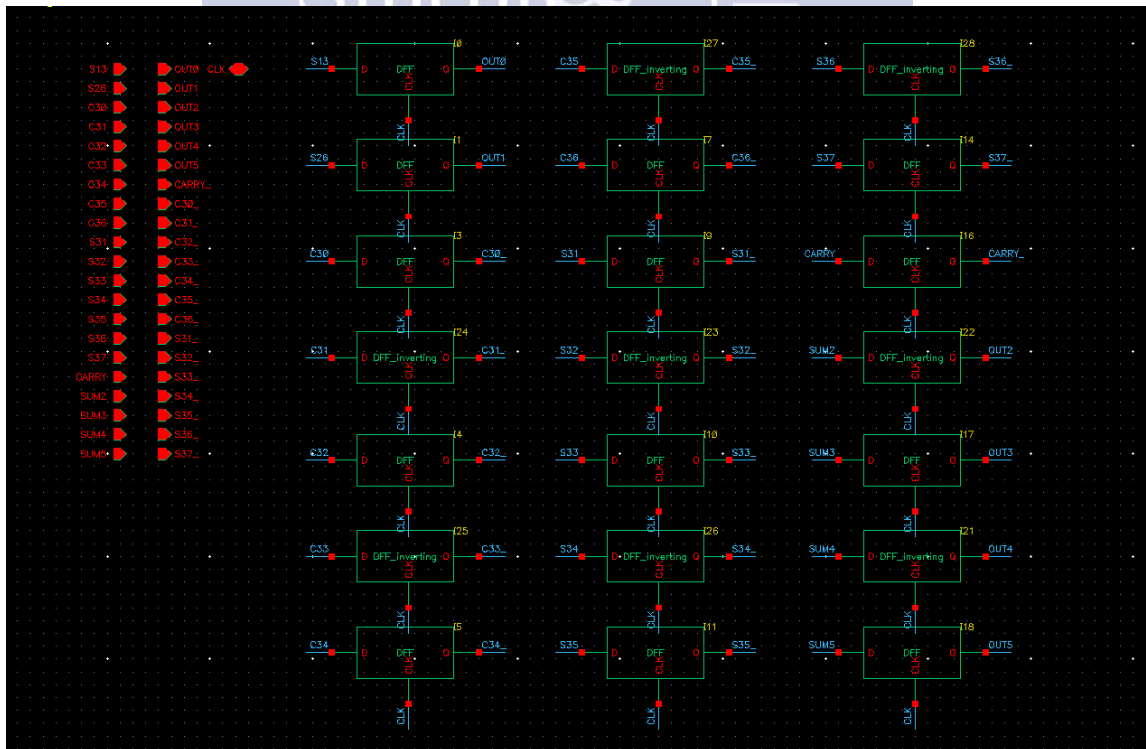
CSA3:



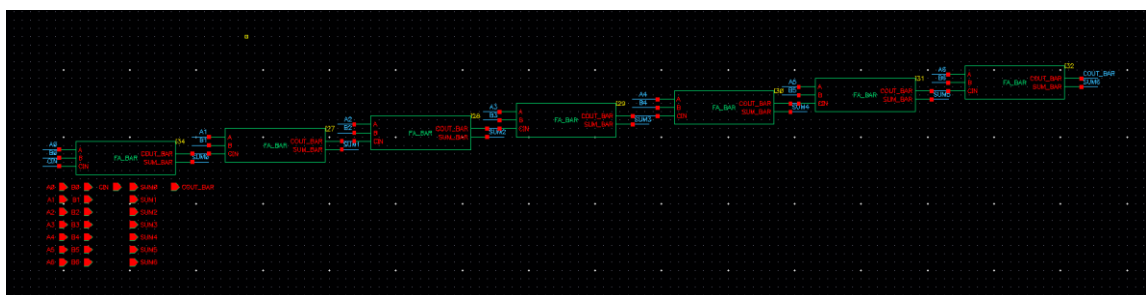
RCA4:



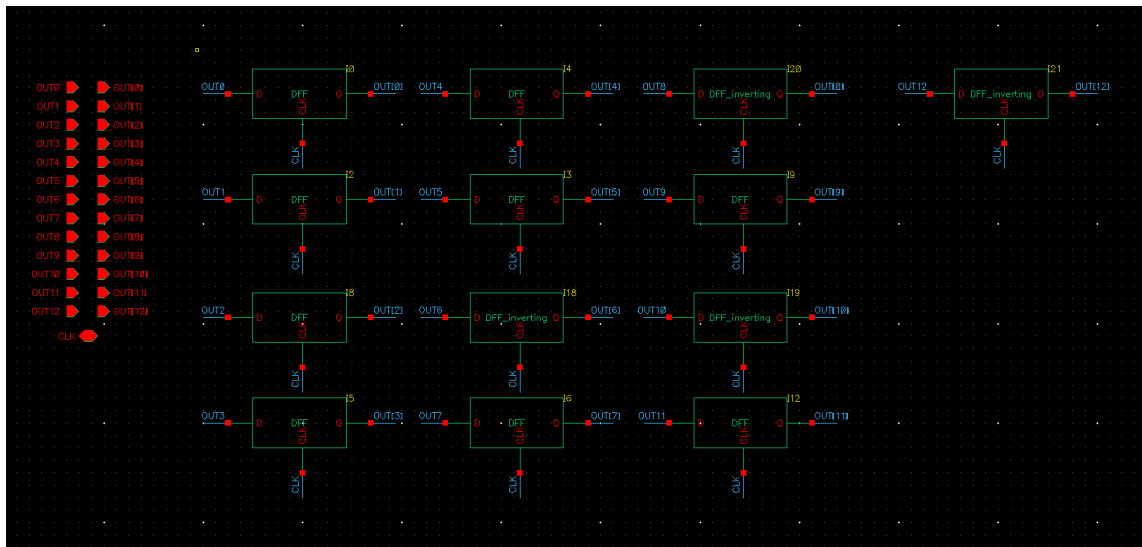
DFF_stage2:



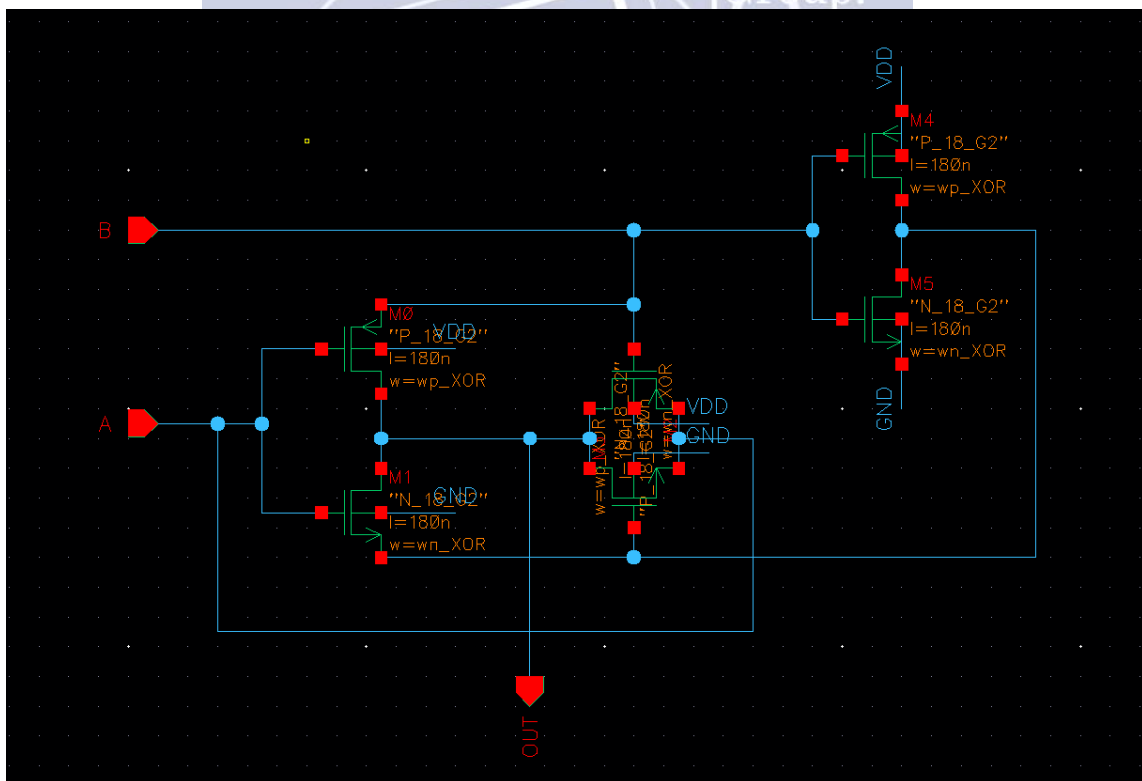
RCA7:



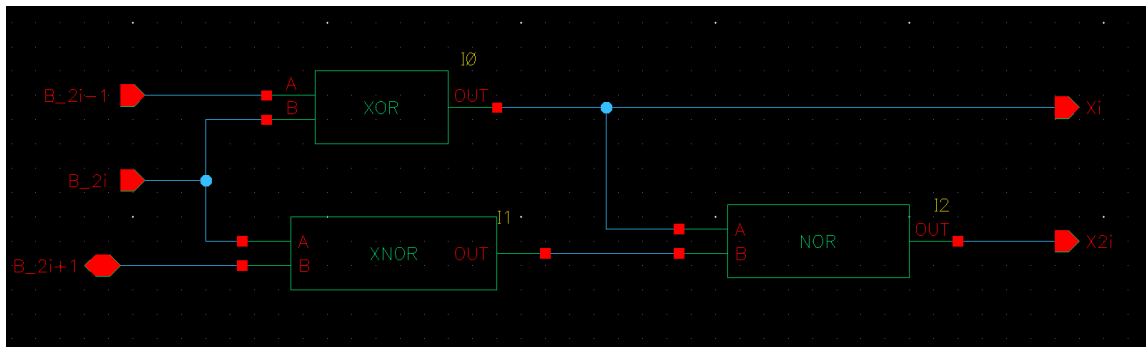
DDF_stage3:



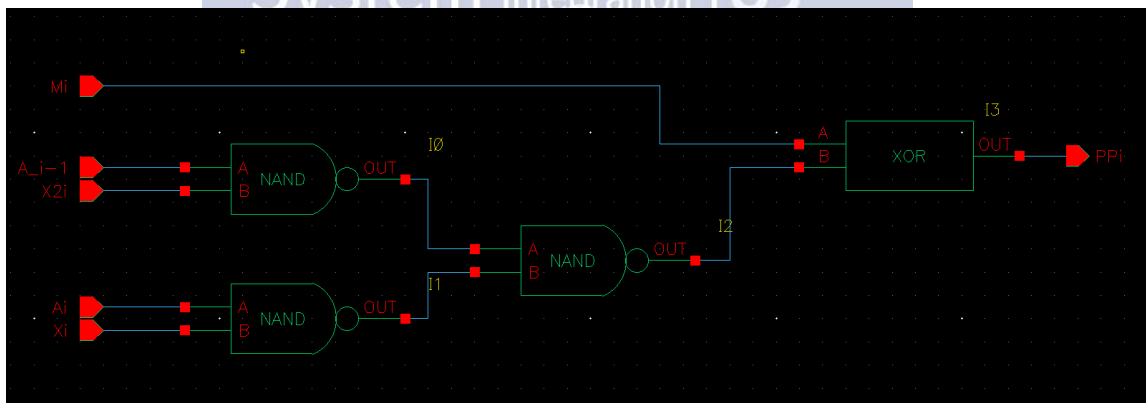
XOR:



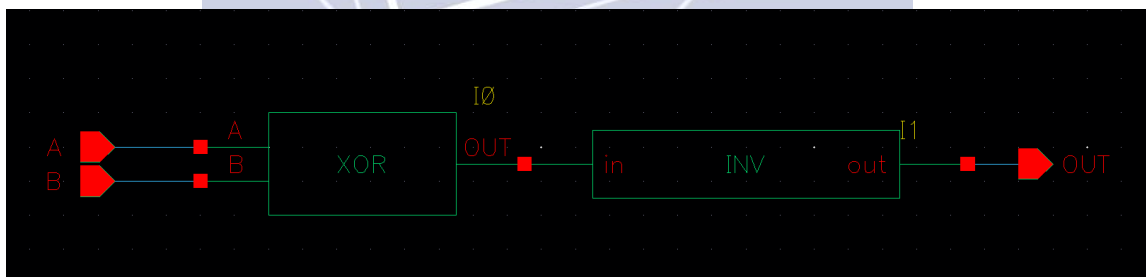
BE:



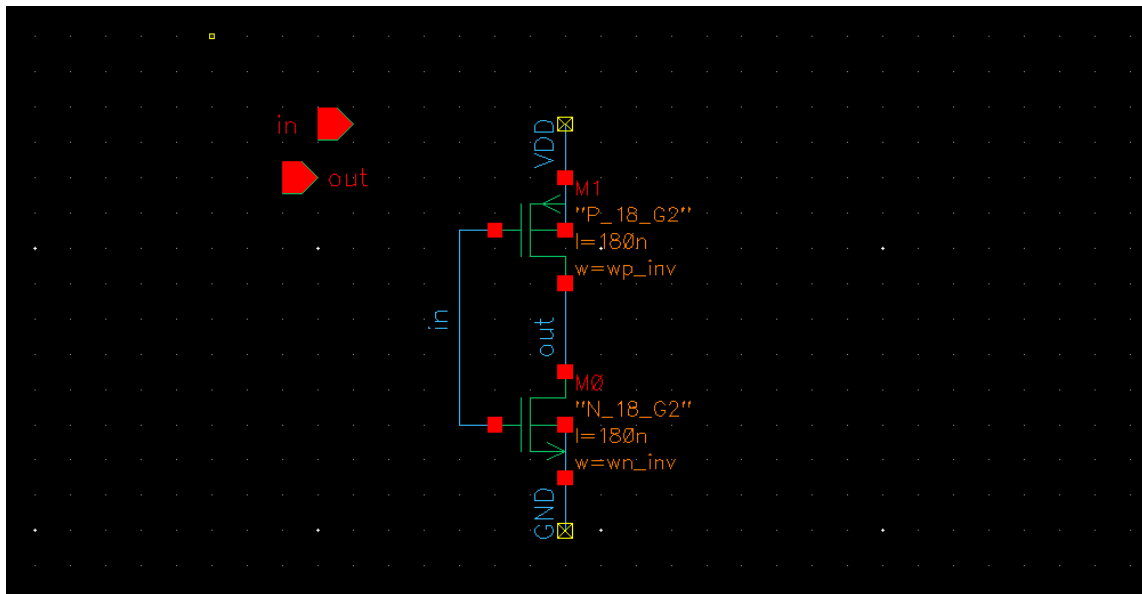
BS:



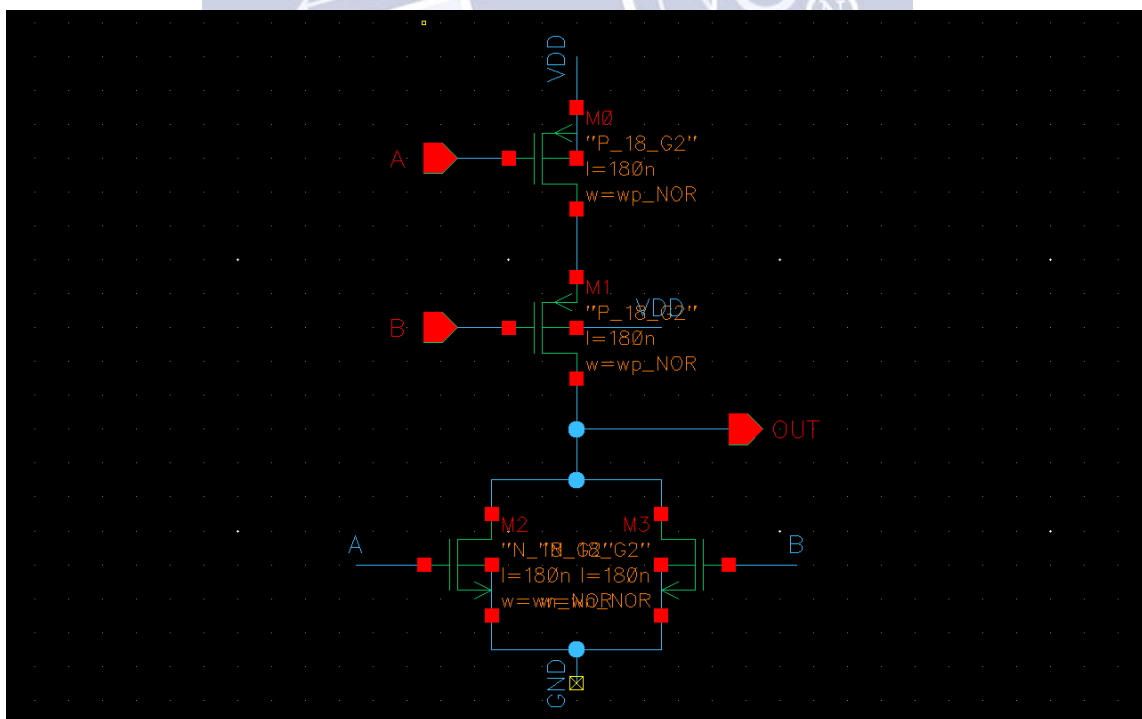
XNOR:



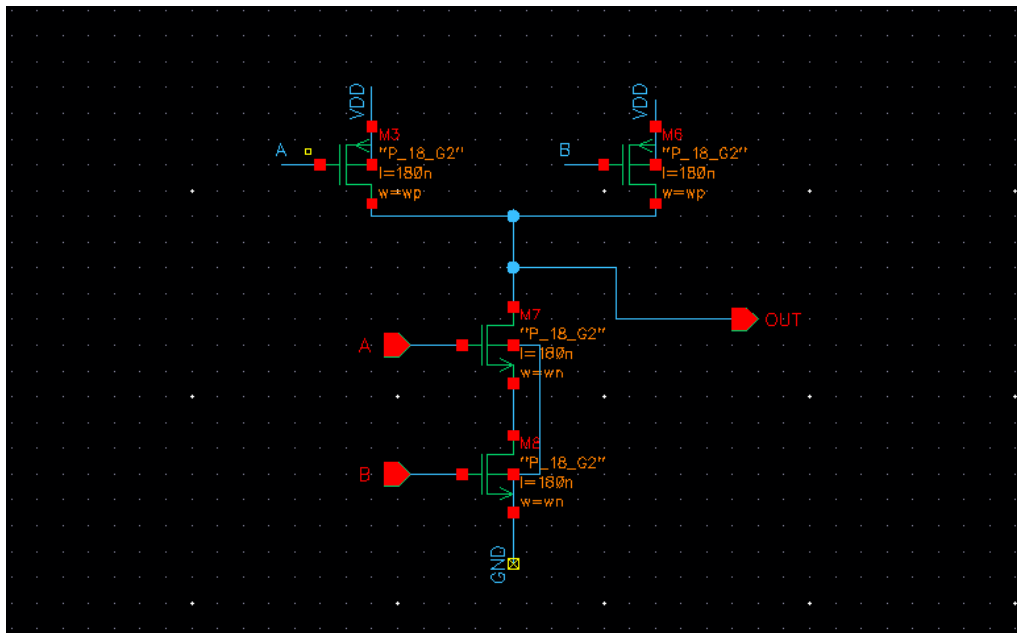
INV:



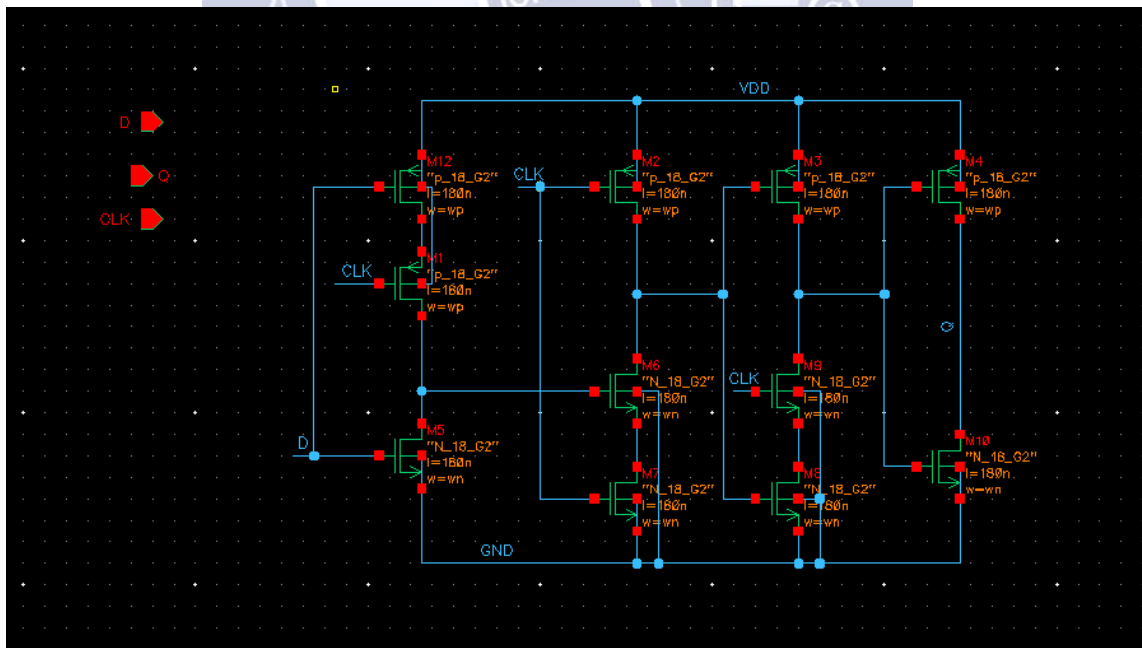
NOR:



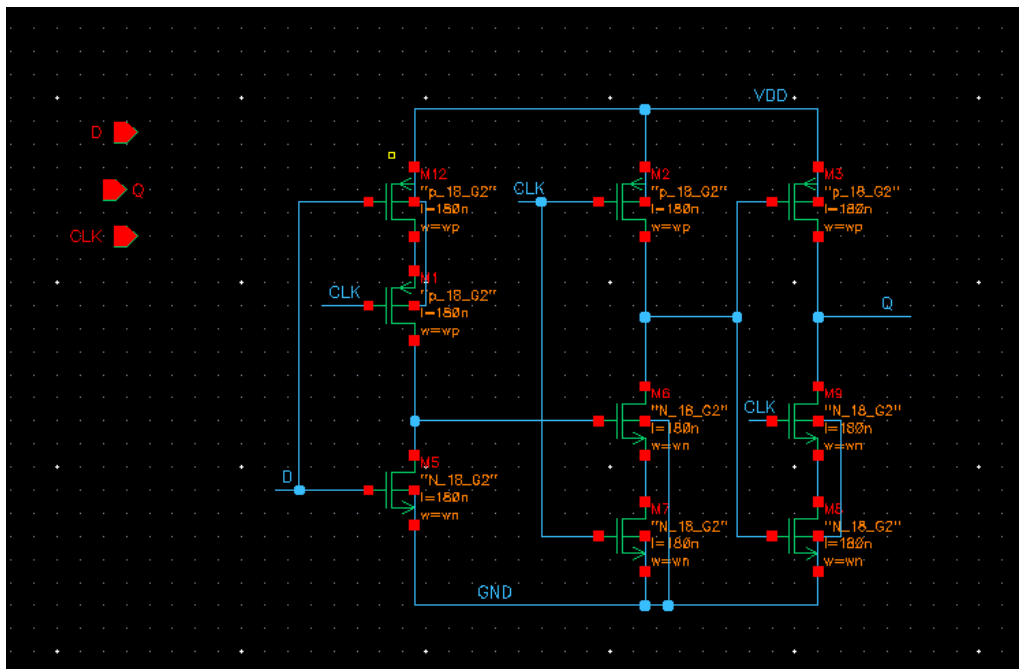
NAND:



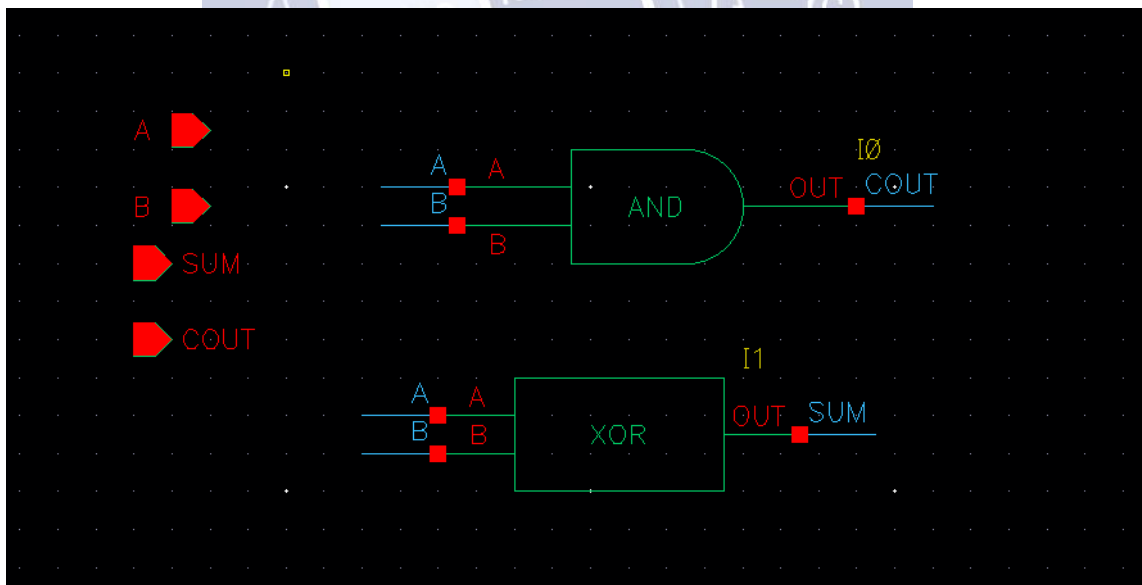
DFF:



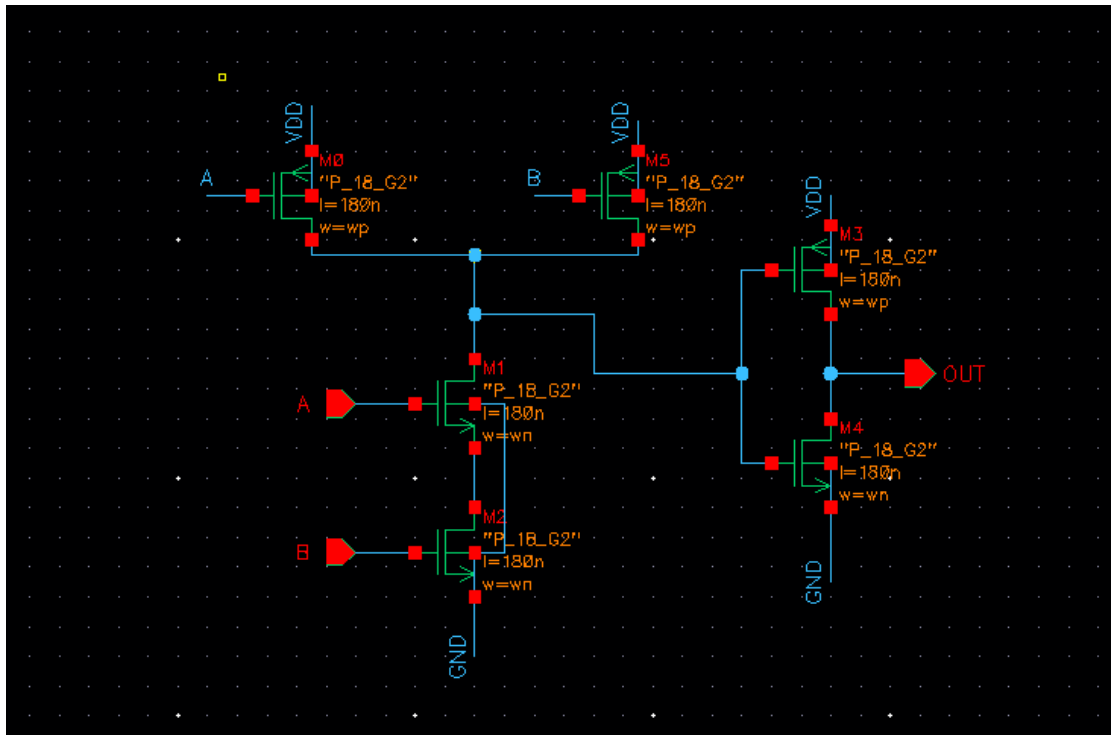
DFF_inverting:



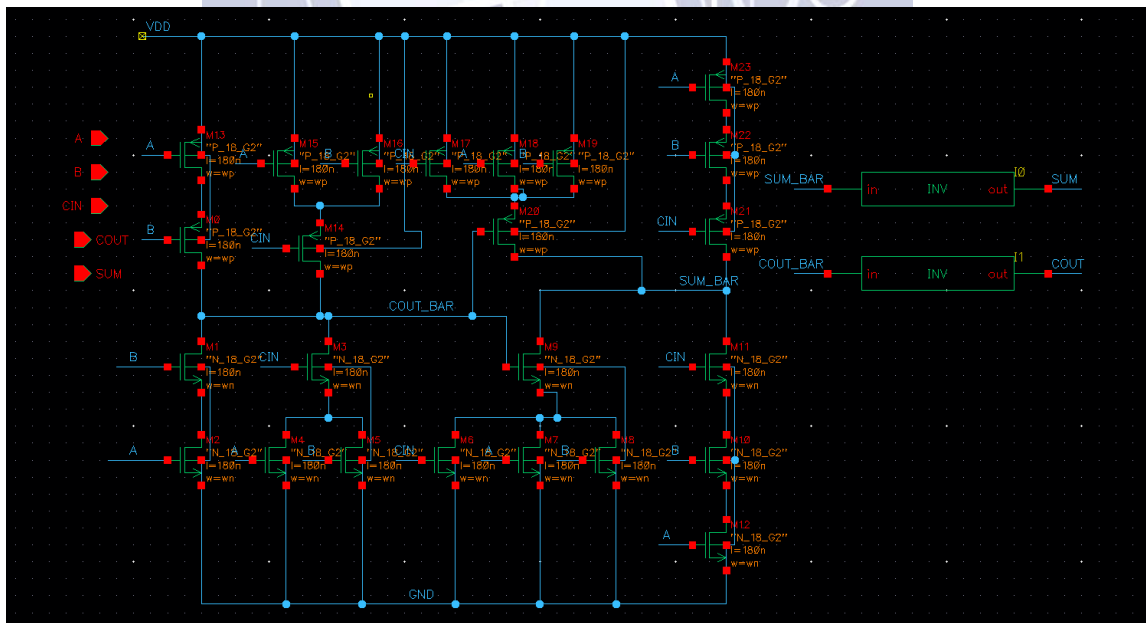
HA:



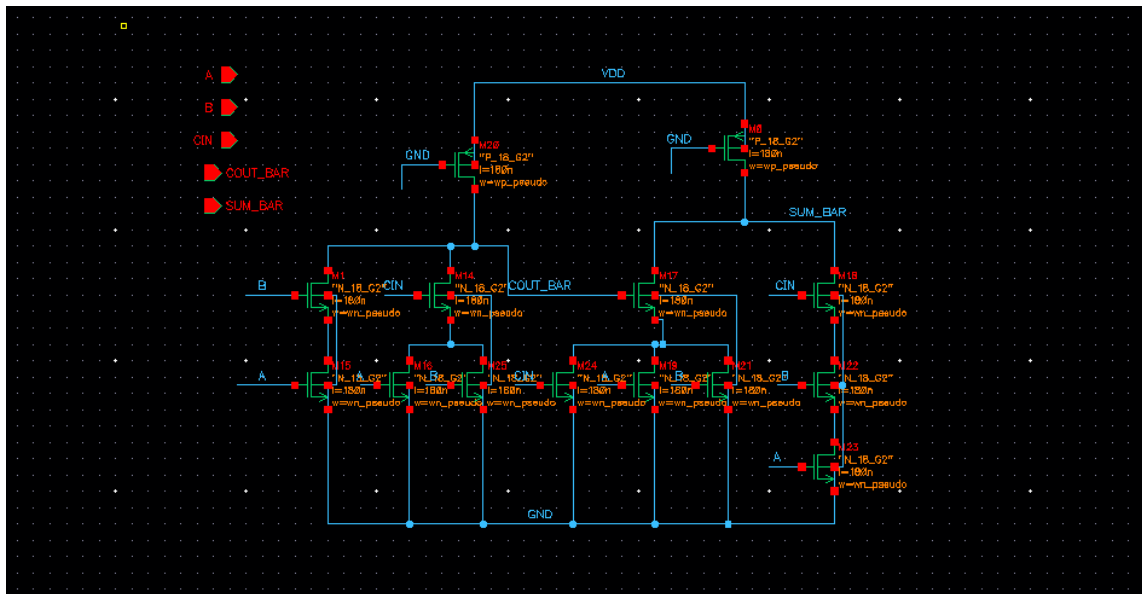
AND:



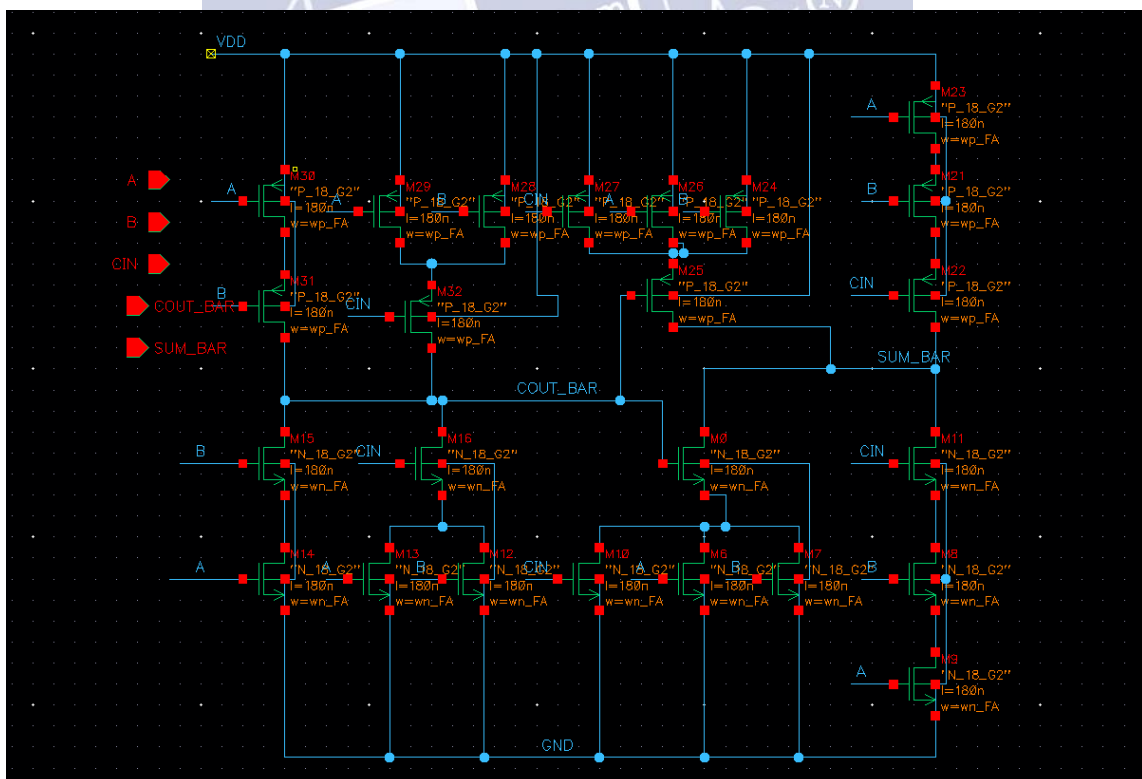
FA:



pseudo FA_BAR:



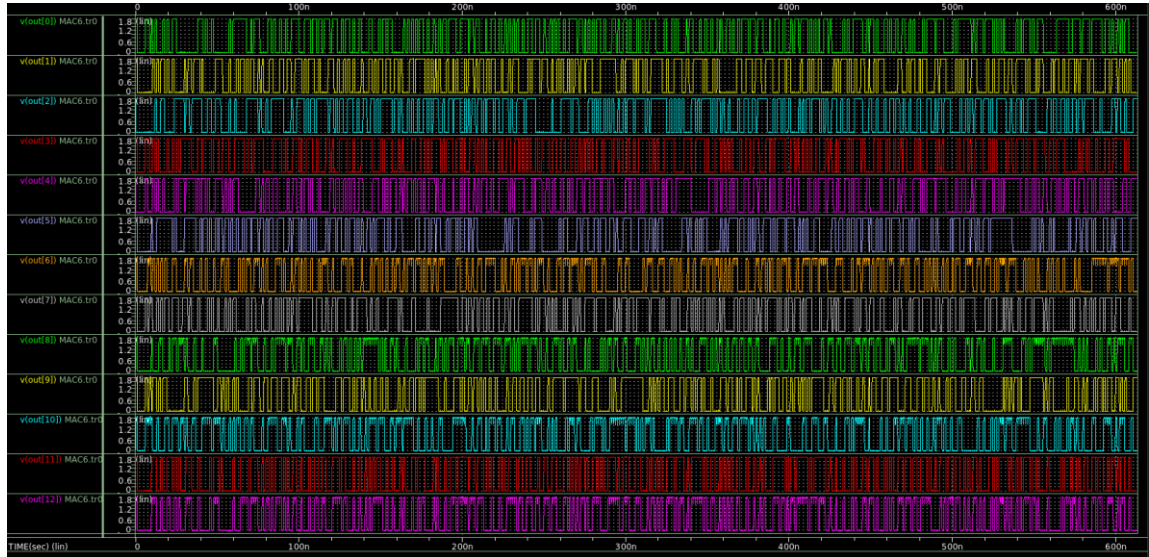
FA_BAR:



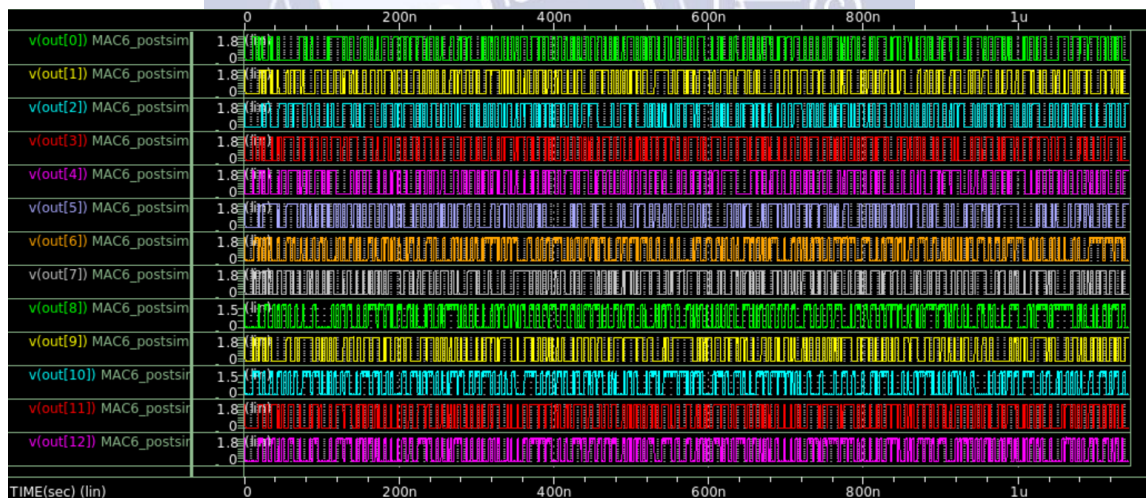
II. Simulation result

1. Output waveform (with input from MAC6.vec)

(1) Pre-sim (Output waveform)



(2) Post-sim (Output waveform)

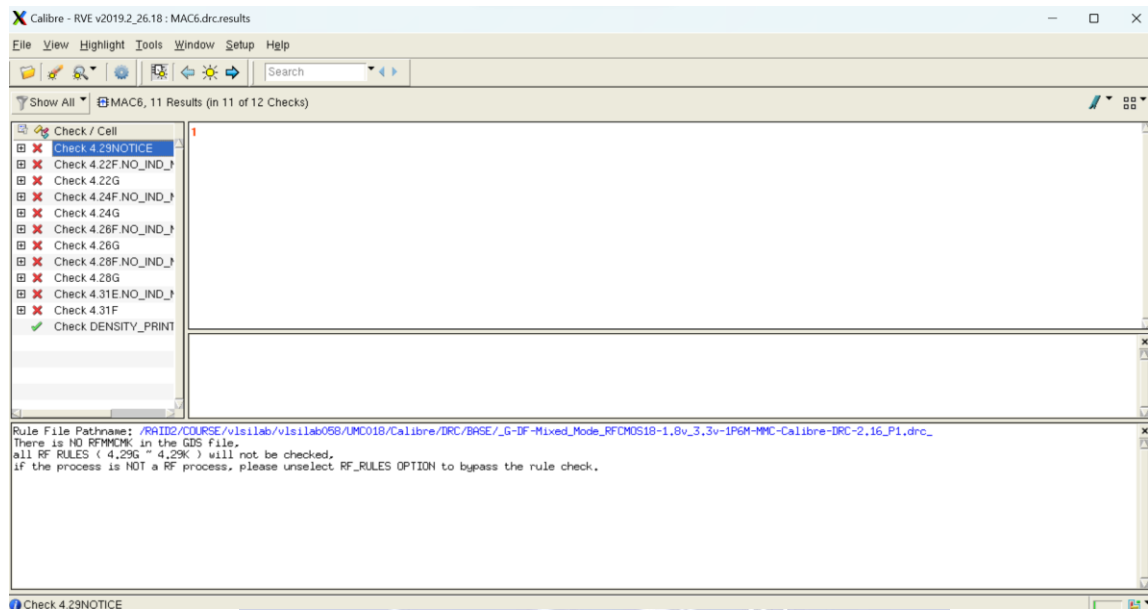


(3) Performance list (TT case under worst case input pattern)

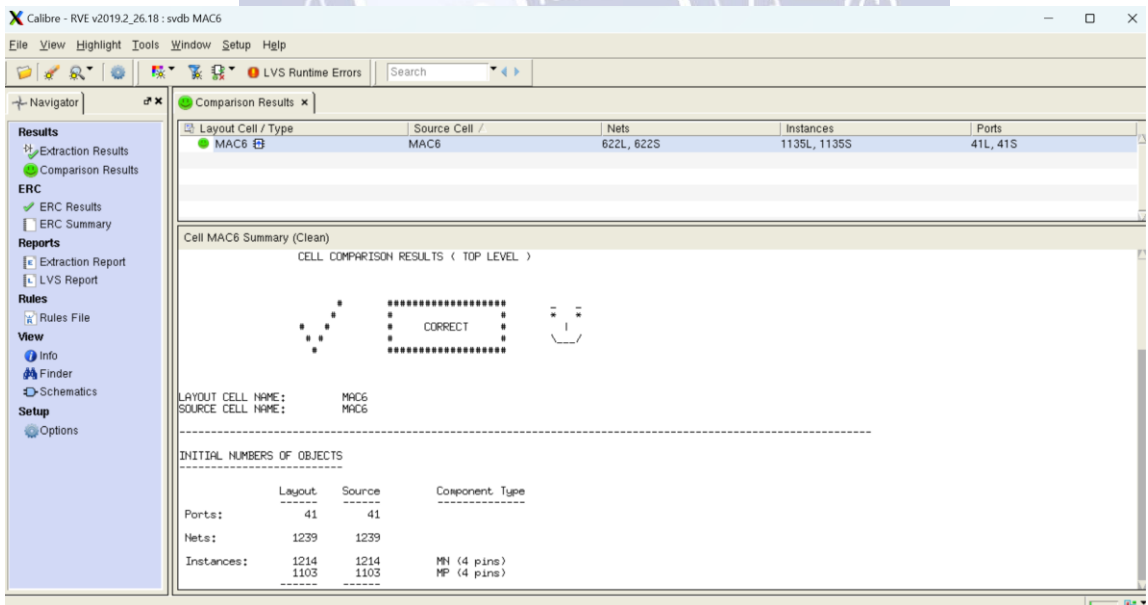
Maximum operation frequency	Pre-sim: 840.34MHz (1.19ns)
	Post-sim 454.55MHz (2.22ns)
Average power	Pre-sim: 4.42mW
	Post-sim: 3.63mW
Layout area	91.02 * 66.93 = 6091.97 (um ²)
Multiplier and adder structure	Wallace tree 、CSA 、RCA
Glitch control (Yes/No)	No

III. Verification result

1. DRC



2. LVS



IV. Discussion

1. Optimization or anything worth sharing

這次的 Lab 為 MAC6 並且可以切 4 級 pipeline，因此要讓每一級的 pipeline 的 delay 大約相同，才能有效率的壓低 period，輸入訊號進來只有半個 cycle 可以做，所以我先讓輸入進入簡單的 BOOTH BLOCK 和 XOR BLOCK，第二級做 3 級 CSA 和 RCA4，第三級用 RCA7，最後過為了讓輸出波行穩定所以第 4 級沒有加任何 combination logic，後來觀察波行後發現，第二級的 delay 大於第三級的 delay，所以我嘗試壓低第二級的 delay，因為這次有限制 power 只能在 5mW 以內，所以不能全部用 pseudo nmos，而我將第二級的 RCA4 的 FA 改成 pseudo nmos，如此一來能夠將第二級的 delay 減少，並且 power 不會超過 5mW。除此之外，我將所有的 RCA 都用 inversion 的方式，因此在某些輸入和輸出都需要加 inverter，而我把某些 DFF 改成 DFF inverting，因此就可以大量減少 inverter 的數量。

2. Your thoughts about VLSI LAB course and exercises

(1) 110511277 蔡東宏

這學期的 VLSI LAB 是一堂需要畫數位電路 layout 的課，雖然暑假的時候已經修過需要畫 layout 的課，但類比電路的 layout 與數位電路的 layout 還是有很大的差別，在 Lab3 和 Lab4 的時候，花了滿多時間在壓 presim 的 period，在畫 layout 的時候也花了滿多時間在研究怎麼畫可以讓面積以及 postsim 的 period。最後在 final project 的時候，我們一起討論如何改善我們的 performance，這此的電路非常龐大，需要花費不少時間和精力，好在有隊友一起分擔，才讓我們最後有辦法完成這份 final project。

(2) 110511142 張又仁

這學期的 VLSI Lab 也是我第一次接觸有關要畫 layout 的課程，原本也沒用過 Hspice，但多虧了這堂課讓我從中學到了很多新工具和使用方法。從 Lab02 開始從頭摸索，到 Lab04 時已日漸熟練，其中 Lab03 有點太晚開始作業，最後沒有趕上 1de 有點小可惜，但也讓我知道以後不要把時間算的那麼緊，Lab05 的時候就有提前一個禮拜開始。這堂課和 VLSI 同時修，也幫助我們可以配合實作清楚的看見調 size 的重要性，對

於 performance 的影響可說是非常之大，每次因為改變架構或不同 size 進而使得 period 變小時，都會獲得滿滿的成就感。很快地，在這次 final project 完課程也將邁向尾聲，過程可謂艱辛，但好在有兩位神隊友，我們分工合作最後總算看到難能可貴的笑臉，受益良多。

(3) 110511254 徐煜絨

謝謝當初選課的自己選擇禮拜五的 VLSI lab，在實作時和其他人一起交流寫法或競爭 performance，讓我學到很多。感謝這堂課的助教們用心規畫課程，讓我的大三上生活過得如此充實。由於 sizing 的調法和 VLSI 導論教的方法有出入，所以調出更快的 period 時會有很大的成就感。但 lab4 忘記可以用 metal4，導致雖然提早超過一個禮拜開始，但因為線繞不出來，而來不及在 1de 前繳交，不過最後面積第四名，算是有給進 2de 的自己一個交代。在期末 project 上感謝有兩位隊友的互相幫忙和想法交流。這門課讓我有所收穫，我一定會大力推薦給學弟妹們。

