

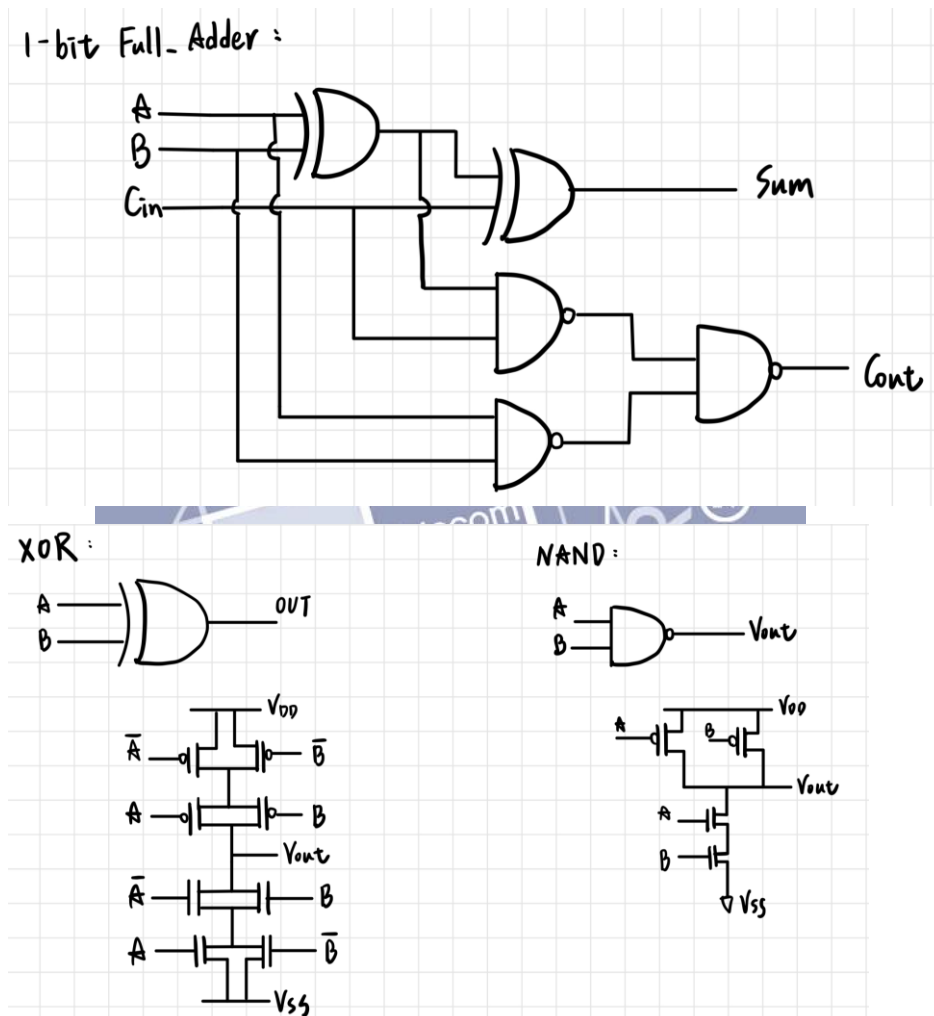
2023 NYCU EE VLSI Lab Report

Lab01 A CMOS Full Adder: Hspice Simulation

Student ID: 110511277 Name: 蔡東宏 Date: 2023/10/13

I. Summary of your Structure

1. Picture



2. Design concept

首先，我先將 1bit full adder 的 truth table 列出來，再利用 K-map 將 sum 和 cout 化簡，可求得以下兩個等式：

1. $\text{Sum} = (A \oplus B) \oplus \text{Cin}$

2. $\text{Cout} = AB + \text{Cin}(A \oplus B)$

根據以上兩個公式，我們可以得知 Sum 需要用到兩個 XOR 的邏輯閘，而 Cout 需要用到的 XOR 可以與 Sum 的其中一個 XOR 共用 $(A \oplus B)$ ，所

以只需要用到兩個 AND 以及一個 OR 的邏輯閘，而兩個 AND 以及一個 OR 可以等同與用三個 NAND 的邏輯閘來組成，所以一個 1 bit 的 full adder 需要用到兩個 XOR 與三個 NAND 的邏輯閘。最後再利用 MOS 去組成 XOR 以及 NAND 的邏輯閘，即可完成整個 full adder 的架構。

Sum :

AB	Cin	
	0	1
00	0	1
01	1	0
11	0	1
10	1	0

$$\begin{aligned}
 \text{Sum} &= A'B'C_{in} + ABC_{in} \\
 &\quad + A'B C_{in}' + AB'C_{in}' \\
 &= C_{in}(A \oplus B)' + C_{in}'(A \oplus B) \\
 &= (A \oplus B) \oplus C_{in}
 \end{aligned}$$

Cont :

AB	Cin	
	0	1
00	0	0
01	0	1
11	1	1
10	0	1

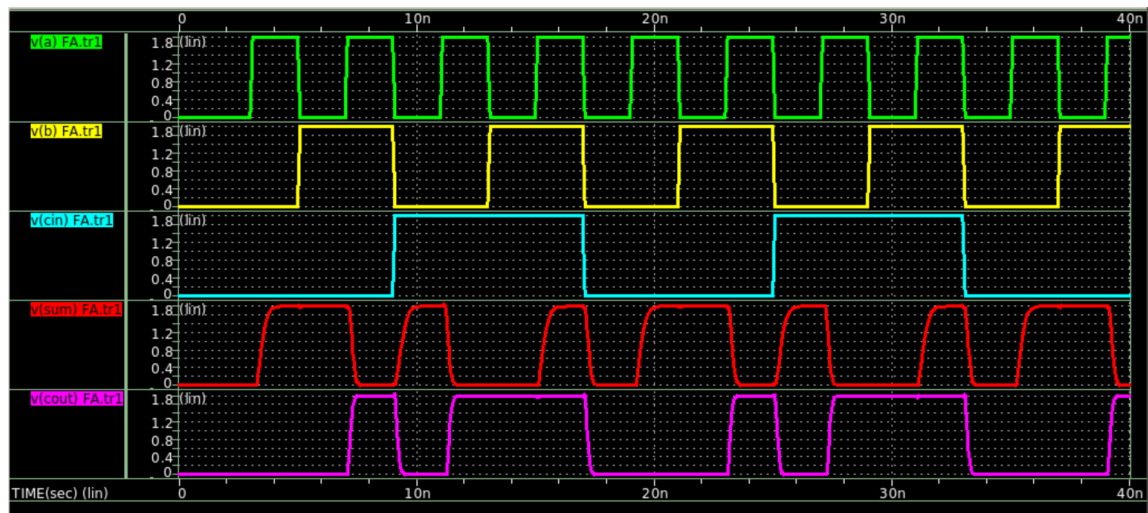
$$\text{Cont} = AB + C_{in}(A \oplus B)$$

II. Output waveform

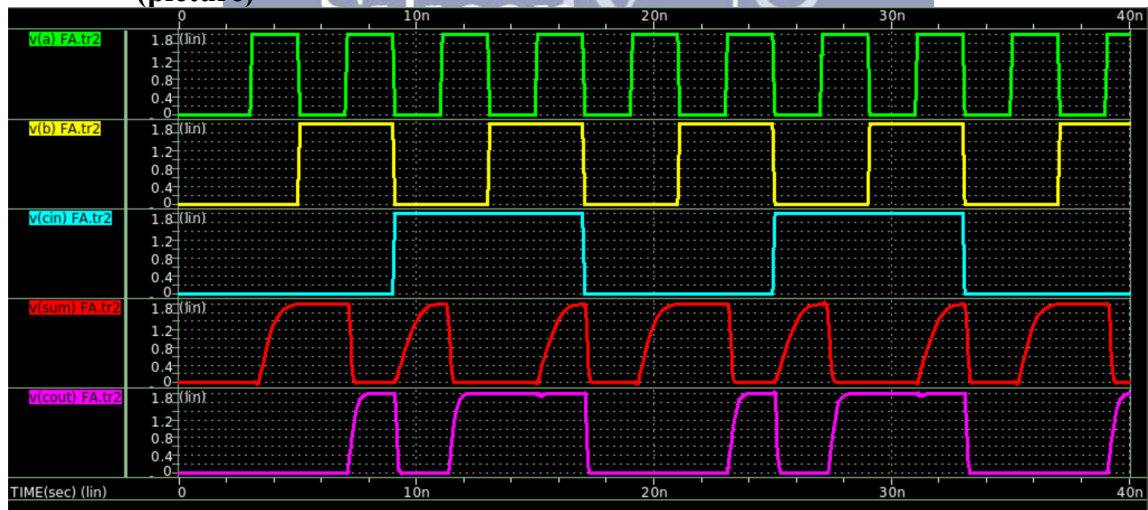
- wp: 0.24um
wn: 0.24um
Output load: 10fF
(picture)



- wp: 0.48um
wn: 0.24um
Output load: 10fF
(picture)



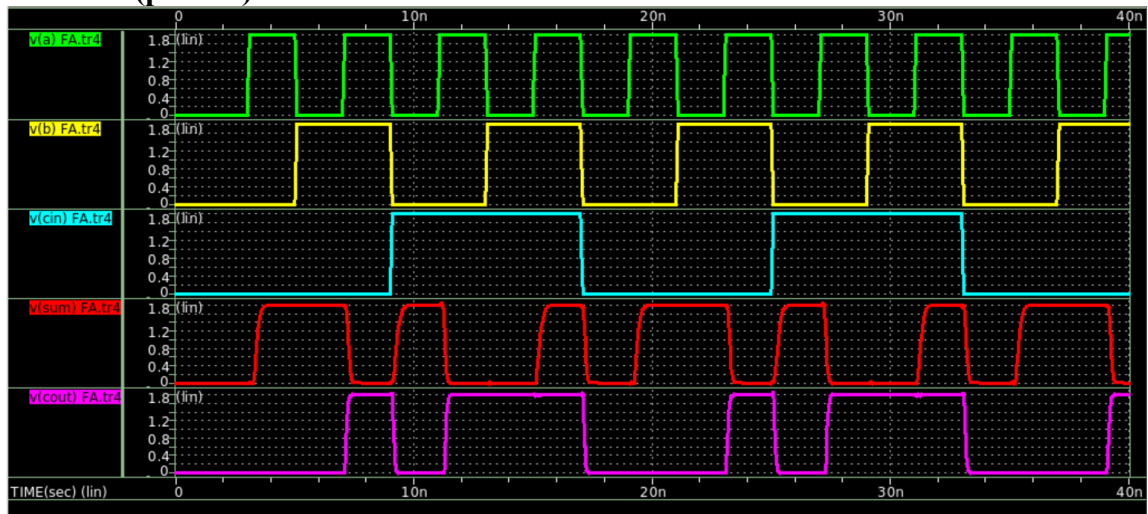
3. wp: 0.24um
wn: 0.48um
Output load: 10fF
(picture)



4. wp: 0.24um
wn: 0.24um
Output load: 5fF
(picture)



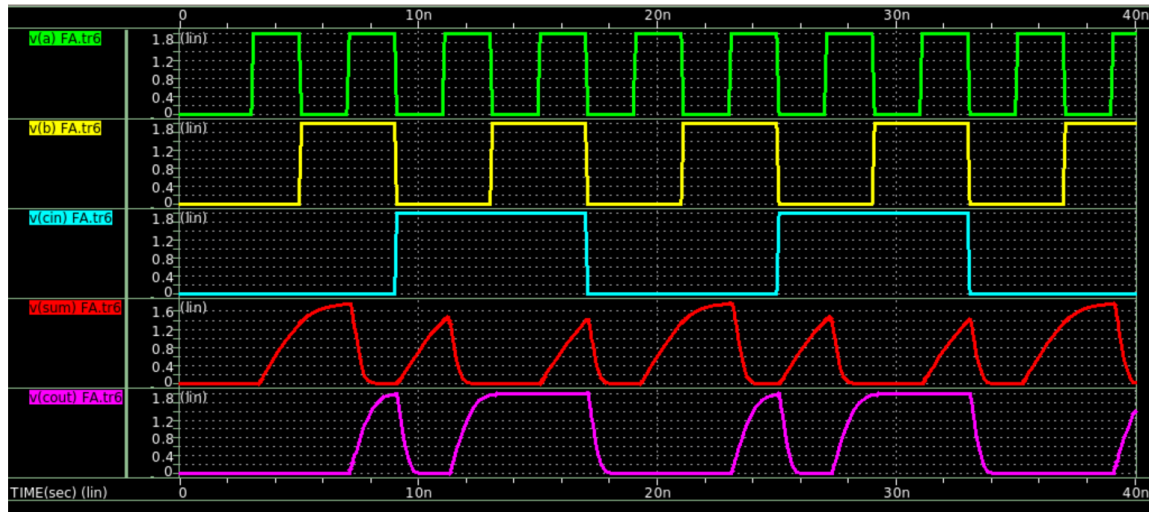
5. wp: **0.48um**
 wn: **0.24um**
 Output load: **5fF**
 (picture)



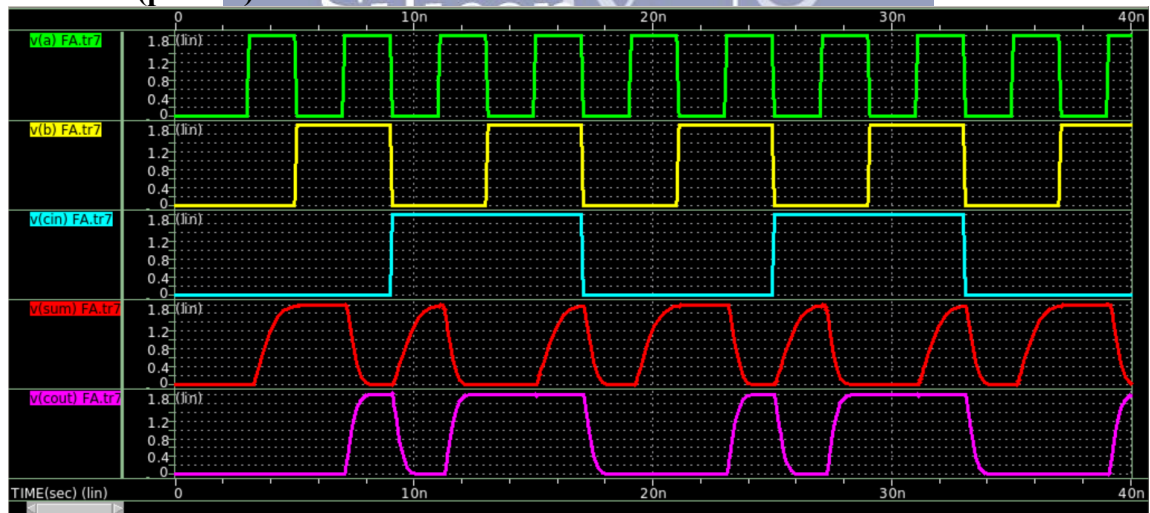
6. wp: **0.24um**
 wn: **0.48um**
 Output load: **5fF**
 (picture)



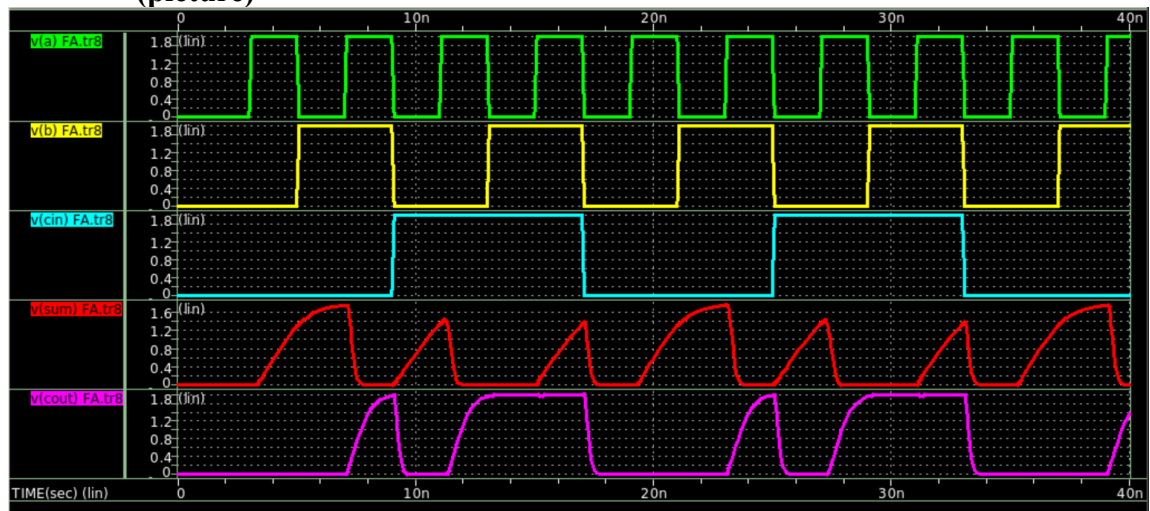
7. wp: **0.24um**
 wn: **0.24um**
 Output load: **30fF**
 (picture)



8. wp: **0.48um**
 wn: **0.24um**
 Output load: **30fF**
 (picture)



9. wp: **0.24um**
 wn: **0.48um**
 Output load: **30fF**
 (picture)



10. Observations

1. 當 Output Load 變大時，輸出的波型就會越不像方波，意即它的 Rising time 和 falling time 會隨著 Load 變大而變大，其原因為當 C 值變大時，導致電容充電的 RC time constant 變得很大，所以導致對電容充電以及放電的時間都比較久，造成輸出波行不像方波。觀察在 Load 為 30pF 時，電容充電的時間太久以至於還沒充到 1.8V 時，電容就要開始放電。
2. 當 Pmos 的寬度變為 Nmos 的兩倍時，輸出波型的 Rising time 變小許多，而 Fallin time 卻沒有太明顯的變化(只有略變大一點)，其原因為當 Pmos 寬度調大時，此 Pmos 相對的電阻會變小，而在 Pmos 導通時，電容是在充電，所以將 Pmos 的寬度調大所導致 RC time constant 變小時，只會影響 Rising time，而不會影響 Falling time。
3. 同理，我們可以發現當 Nmos 的寬度變為 Pmos 的兩倍時，輸出波型的 Falling time 變小許多，而 Rising time 卻沒有太明顯的變化(只有略變大一點)。
4. 我們可以發現當 Pmos 寬度為 Nmos 寬度的 2 倍時，Rising time 與 falling time 的時間最接近，而當 Pmos 寬度為 Nmos 寬度的 1/2 倍時，Rising time 與 falling time 的時間相差非常大，其原因為 Pmos 導通時是透過電洞，而 Nmos 導通是透過電子，但電子的 mobility 是電洞的 2~3 倍，所以會造成電流的差異而造成 rising time 與 falling time 相差非常大，所以將 Pmos 寬度變大，讓電流幾乎相等即可解決此問題。

III. Measurements

1. Table

(C,Wp,Wn)	AVG_PW	TPD	TRISE	TFALL
(10fF,0.24um,0.24um)	2.089e-5	6.544e-10	8.337e-10	2.213e-10
(10fF,0.48um,0.24um)	2.589e-5	4.285e-10	4.344e-10	2.455e-10
(10fF,0.24um,0.48um)	2.486e-5	7.079e-10	8.955e-10	1.526e-10
(5fF,0.24um,0.24um)	1.624e-5	4.896e-10	4.992e-10	1.465e-10
(5fF,0.48um,0.24um)	2.116e-5	3.479e-10	2.636e-10	1.712e-10
(5fF,0.24um,0.48um)	2.017e-5	5.422e-10	5.288e-10	1.067e-10
(30fF, 0.24um,0.24um)	3.744e-5	1.317e-9	2.262e-9	5.389e-10
(30fF,0.48um,0.24um)	4.471e-5	7.404e-10	1.091e-9	5.712e-10
(30fF,0.24um,0.48um)	4.103e-5	1.371e-9	2.286e-9	3.339e-10

2. Code (please describe)

```
30  ***-----***
31  ***      measurements      ***
32  ***-----***
33  .meas tran AVG_Ckt_Pwr AVG power
34  .meas tran avg_power avg power from=10ns to=40ns
35  .meas tran Iavg avg -I(VDD) from=10ns to=40ns
36  .meas pavg param='Iavg*supply'
37
38  .meas tran tprop_sum trig v(A) val='supply/2' rise=1
39  +targ v(SUM) val='supply/2' rise=1
40
41  .meas tran tr_sum trig v(SUM) val='supply*0.1' rise=1
42  +targ v(SUM) val='supply*0.9' rise=1
43
44  .meas tran tf_sum trig v(SUM) val='supply*0.9' fall=1
45  +targ v(SUM) val='supply*0.1' fall=1
```

1. **Avg_Power:** 量測 power 的方式有三種，第一種為 33 行，內建的函式得到平均 power，第二種為 34 行，與第一種方法一樣，只是多了時間的限制，第三種為 35-36 行，先算出平均電流，再將平均電流乘 V_{supply} 來得到平均 power，此方法的好處是能夠選擇需考量的區域求出功率消耗。
2. **Propagation delay:** Propagation delay 是在 Input 從 0V 變成 1.8V，Input 為 $VDD/2$ 的時間，與 Output 從 0V 變成 1.8V 時，Output 為 $VDD/2$ 的時間差。
3. **Rising time/Falling time:** Rising time 是當 Output 從 0 變成 1.8V 時，Output 在 $VDD*0.1$ 與 Output 在 $VDD*0.9$ 的時間差。Falling time 是當 Output 從 1.8V 變成 0V 時，Output 在 $VDD*0.9$ 與 Output 在 $VDD*0.1$ 的時間差。

IV. Questions

1. Explain why there are glitches in FA combinational circuit sometimes, and how to fix it. Is it harmful for your overall design?

因為每個訊號經過 Gate 所造成的 delay 不同，以及 Pmos 與 Nmos 反應時間不同(電流不同)，所以導致輸入訊號抵達的時間不同，造成最後的

輸出波行有 **glitches** 的錯誤訊號。解決方法可以加 **DFF** 或 **Buffer** 來穩定輸出波型，除此之外，還可以調整 **Pmos** 與 **Nmos** 寬度的比例，如此來讓 **Pmos** 以及 **Nmos** 的反應時間接近。若 **glitch** 太大會導致訊號容易抓到不正確的值，且可能會影響到下一級電路的行為，導致整個 **design** 電路的波型失真。

2. Explain how you decide MOSFETs' width with fixed channel length in your circuit (Hint: explain with mobility of PMOS NMOS, prove it with HSPICE)?

因為 **Pmos** 導通時是透過電洞，而 **Nmos** 導通是透過電子，但電子的 **mobility** 是電洞的 2~3 倍，根據 **MOSFET** 的基本公式我們可以得知，若要讓電流一致時，**PMOS** 寬度要為 **NMOS** 寬度時的 2~3 倍，如此一來，對電容充電的時間與電容在放電的時間接近，**Rising time** 與 **Falling time** 的時間幾乎一樣，形成對稱式的電路。

V. Bonus

此電路為在原本的 **Full Adder** 輸出端加 **DFF**。

DFF 的 Schematic:

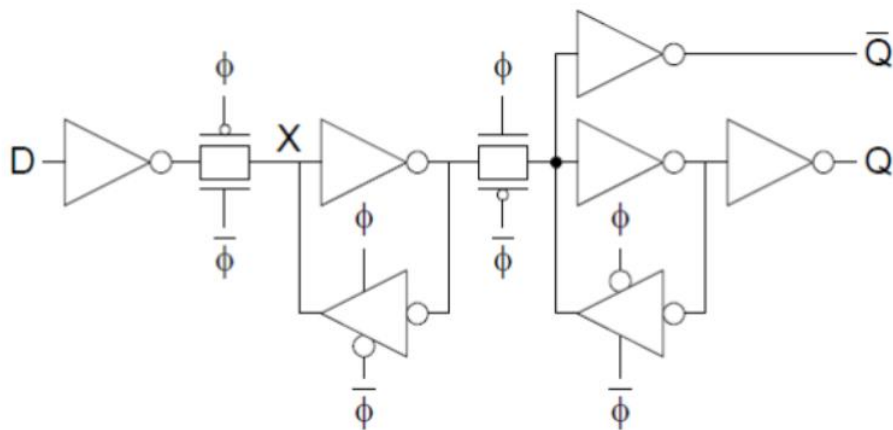


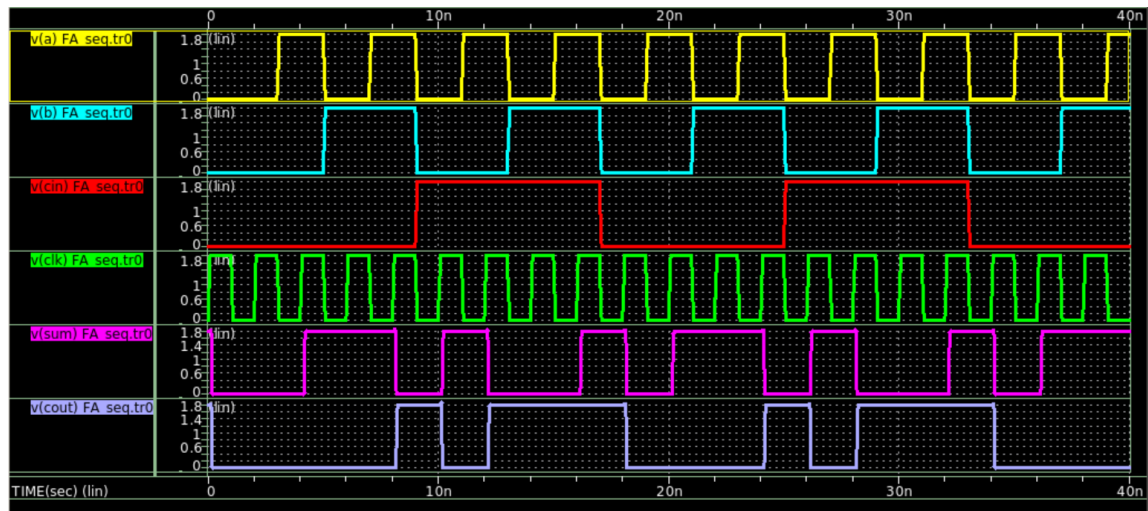
Fig.1 Schematic of D Flip-Flop (positive trigger)

Clock 訊號:

```
VCLK CLK VSS PULSE(0v,supply,0ns,0.1ns,0.1ns,0.9ns,2ns)
```

(Period 為 2ns)

Waveform(with DFF):



數據:

	Without DFF	With DFF
Avg_power	2.089e-05	3.941e-05
Propagation Delay(sum)	6.544e-10	1.142e-09
Rising Time(sum)	8.337e-10	4.515e-11
Falling Time(sum)	2.213e-10	2.935e-11

觀察輸出端有沒有加 DFF 的差異，我們會發現加了 DFF 的平均消耗功率變大了，因為需要額外供電給 DFF 使用，所以增加功率消耗。而 Propagation Delay 增加是因為加了 DFF 會讓他晚半個 CLK 週期後觸發，因為我設計的 DFF 是 positive trigger edge，而 Input 改變的時候是在 negative edge 的時候。而 Rising time 以及 Falling time 都變得比原本小非常多，讓輸出波形變得更像方波。