

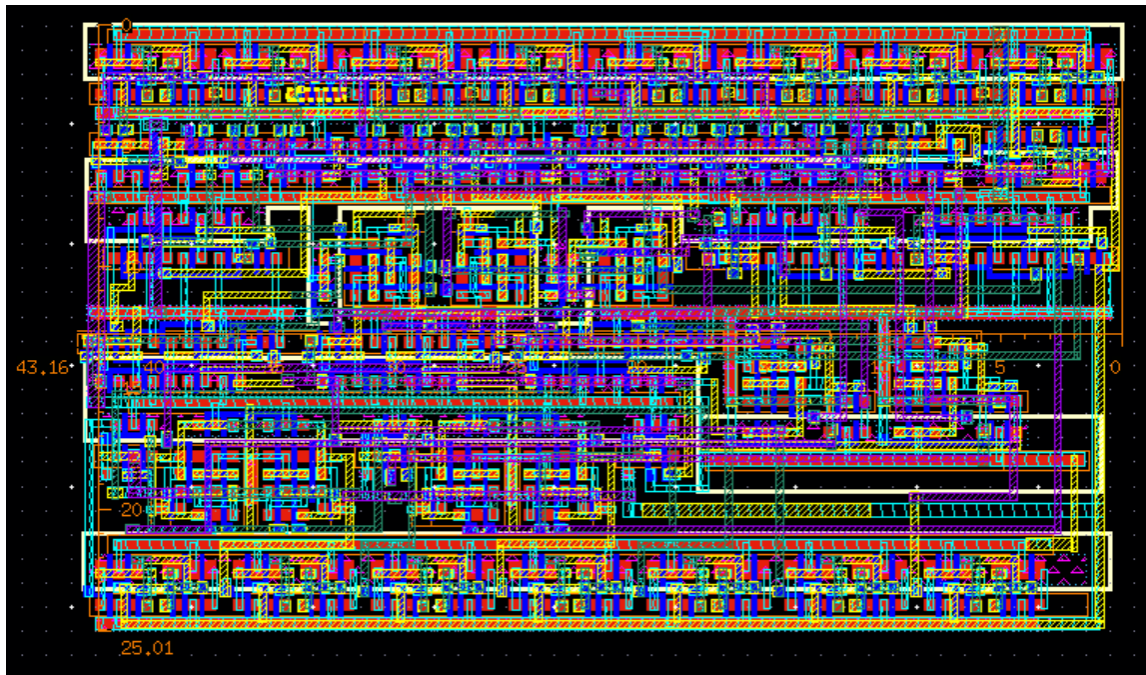
2023 NYCU EE VLSI Lab Report

Lab04 4-Bit Multiplier

Student ID: 110511277 Name: 蔡東宏 Date: 2023/12/7

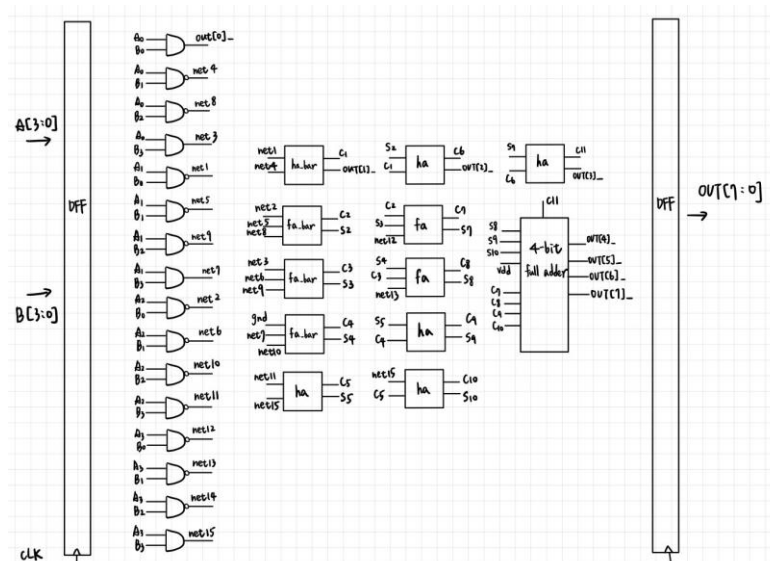
I. Layout result

1. Layout picture with ruler



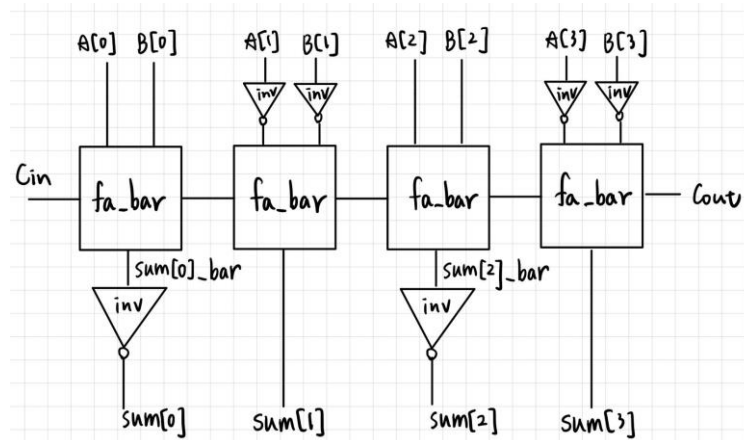
2. Design concept

(1) Circuit Schematic:

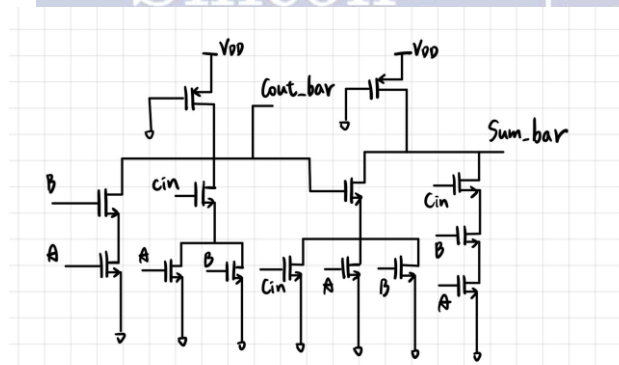


SUBCKT:

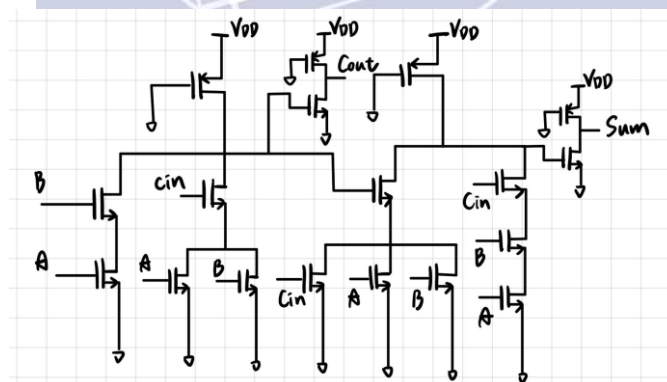
4bit full adder:



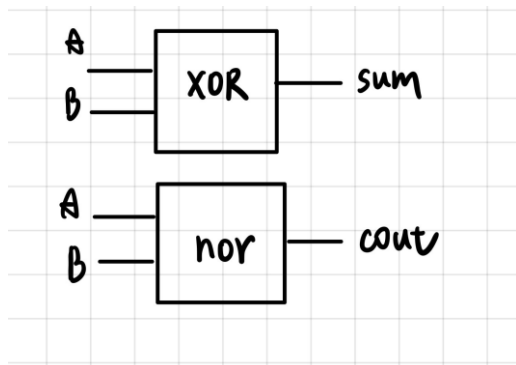
fa_bar:



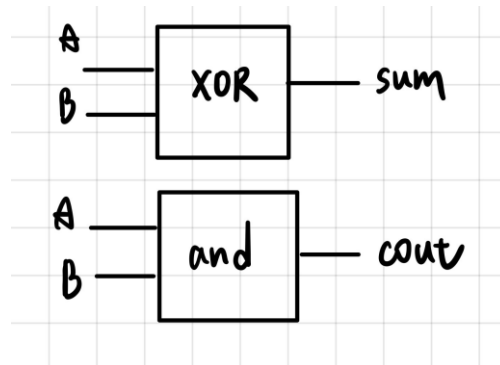
fa:



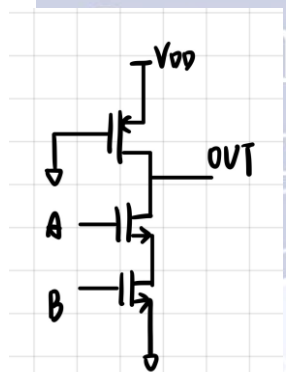
ha_bar:



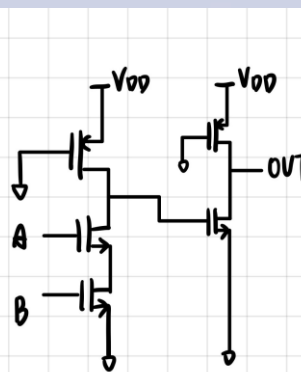
ha:



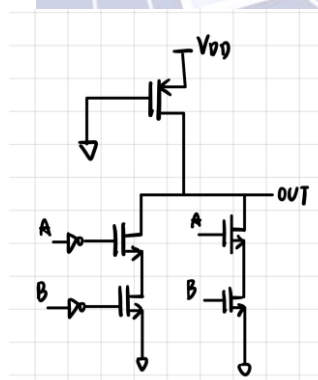
nand:



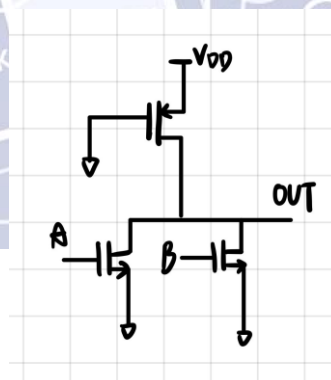
and:



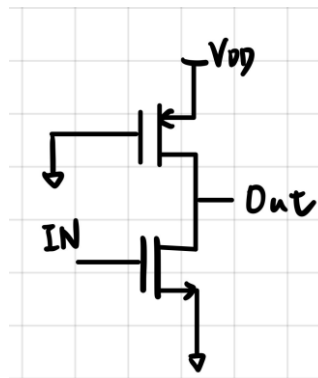
xor:



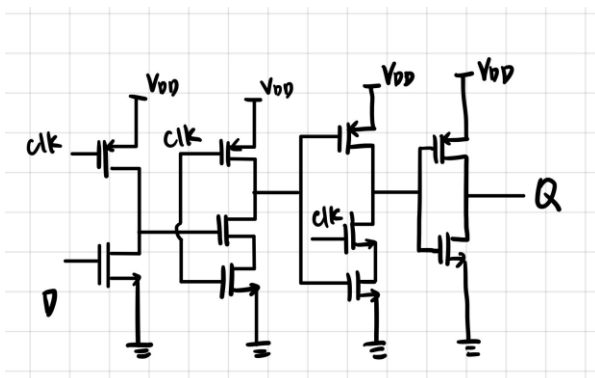
nor:



inv:



DFF:



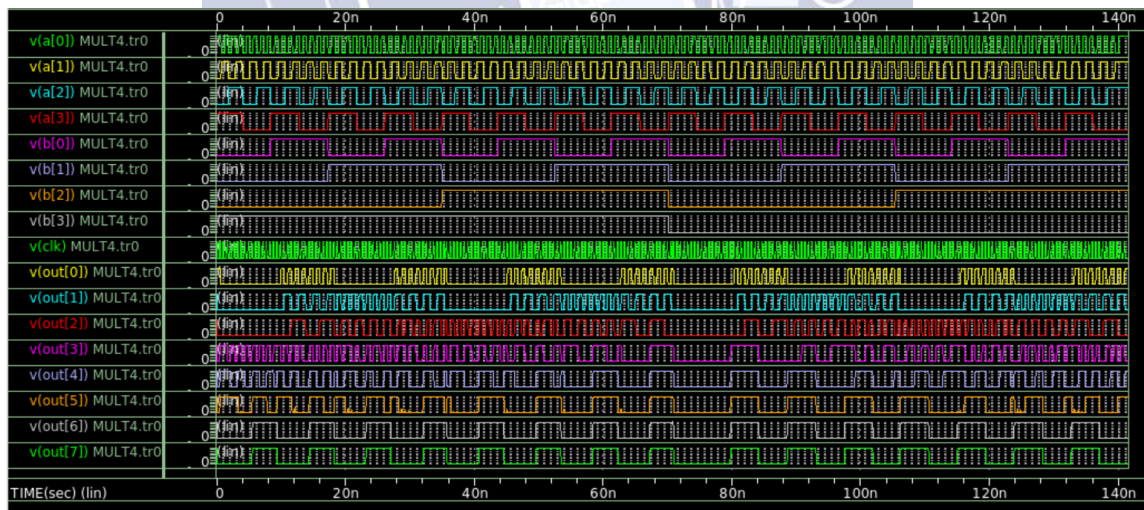
(2) Summary of structure (number of transistor / logic gate is used)

這次的 4bit multiplier 架構為 wallace tree，在第一層的 partial product 中，需要用到大量的 and，且需要讓他經過 full adder 以及 half adder，於是我們可以用 nand 來得到 full adder 的反向輸入訊號，且將 full adder 最後輸出的兩個 inverter 省下來，如此一來可以節省面積也可以減少 critical path 的 delay，而 half adder 需要再輸出加一個 inverter，根據 De Morgan's law，half adder_bar 可以用一個 xor 以及一個 nor 實現，而第二層的 half adder 以及 full adder 都是沒有拔掉 inverter 的結果，最後一層用到的 4bit CPA 是採用 lab3 所使用的 ripple carry adder with inversions。整個架構中，我用了共 16 個 DFF、4 個 and、12 個 nand、1 個 ha_bar、5 個 ha、3 個 fa_bar、2 個 fa 以及 1 個 fa4，除了 DFF 外，其他我都是使用 pseudo nmos 的架構來降低 delay，而 DFF、and、nand、ha_bar、ha、fa_bar、fa、fa4 分別用了 10、5、3、12、12、14、18、68 個 transistors，所以整個 4bit multiplier 用了 $10*16+5*4+3*12+12*1+12*5+14*3+18*2+68*1=434$ 個 transistors。

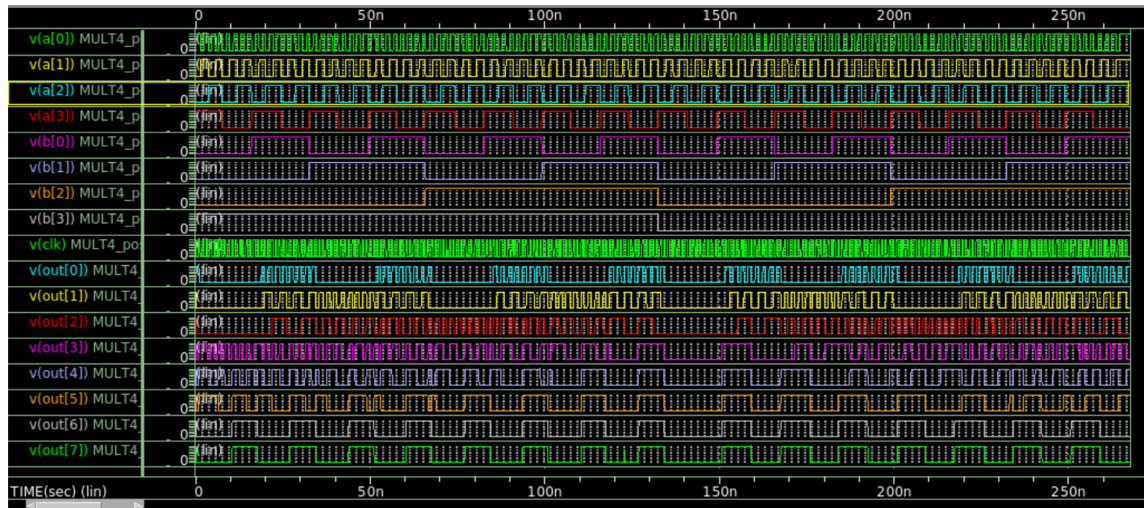
II. Simulation result

1. Output waveform (with input from MULT4.vec)

(1) Pre-sim



(2) Post-sim

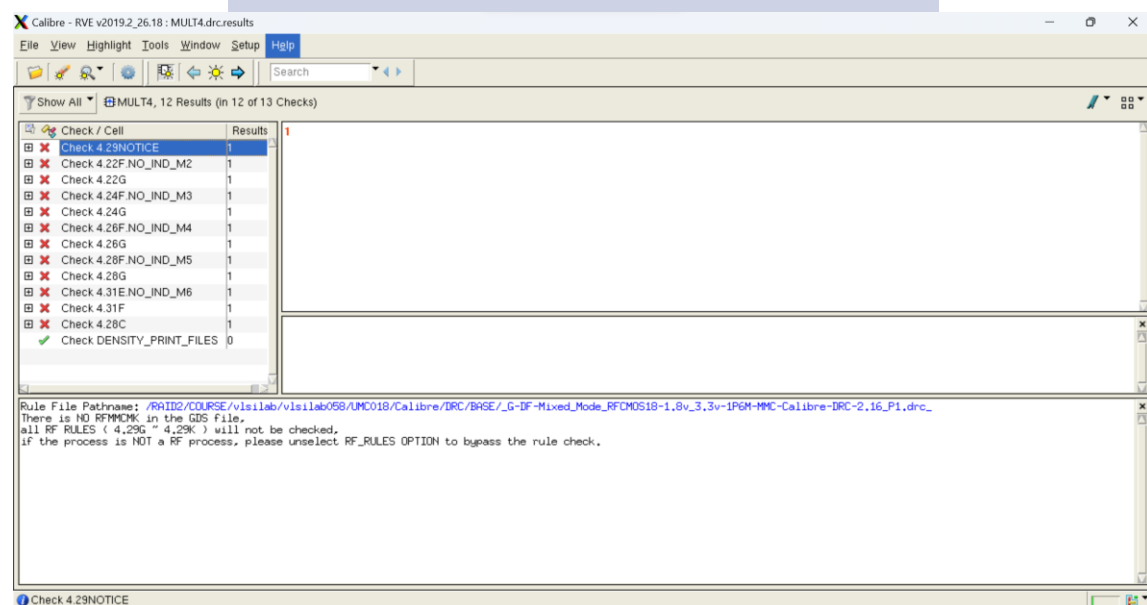


(3) Performance list (TT case under worst case input pattern)

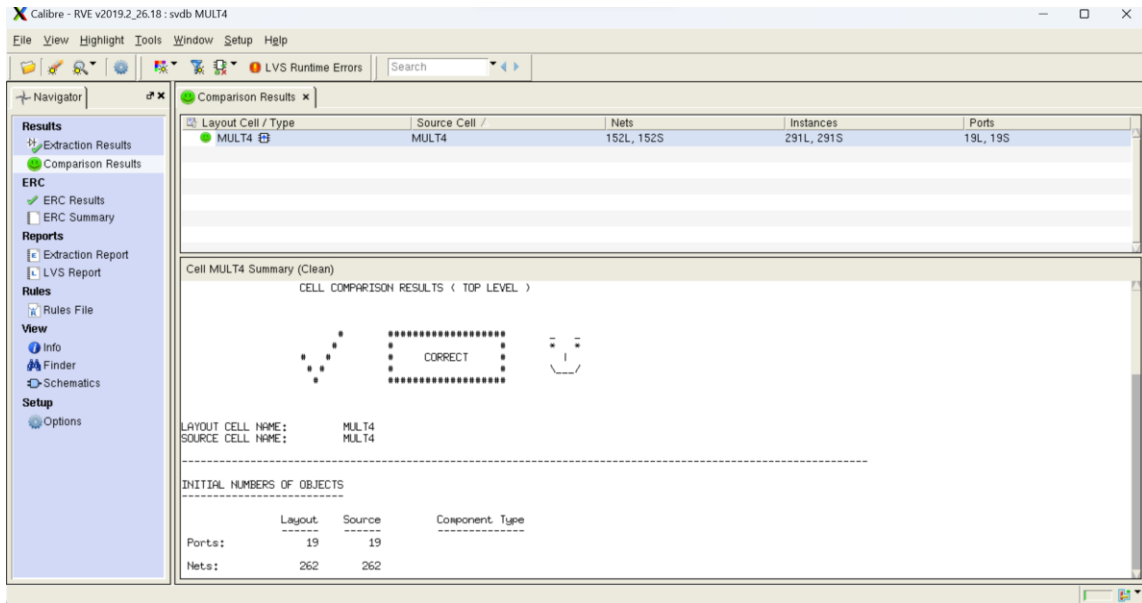
Maximum operation frequency	Pre-sim: 1.818GHz (period=0.55ns)
	Post-sim: 0.962GHz (period=1.04ns)
Average power	Pre-sim: 10.076mW
	Post-sim: 9.439mW
Layout area	43.16* 25.01 = 1079.432 (um^2)
Multiplier and adder structure	Wallace tree 、CSA
Glitch control (Yes/No)	No

III. Verification result

1. DRC



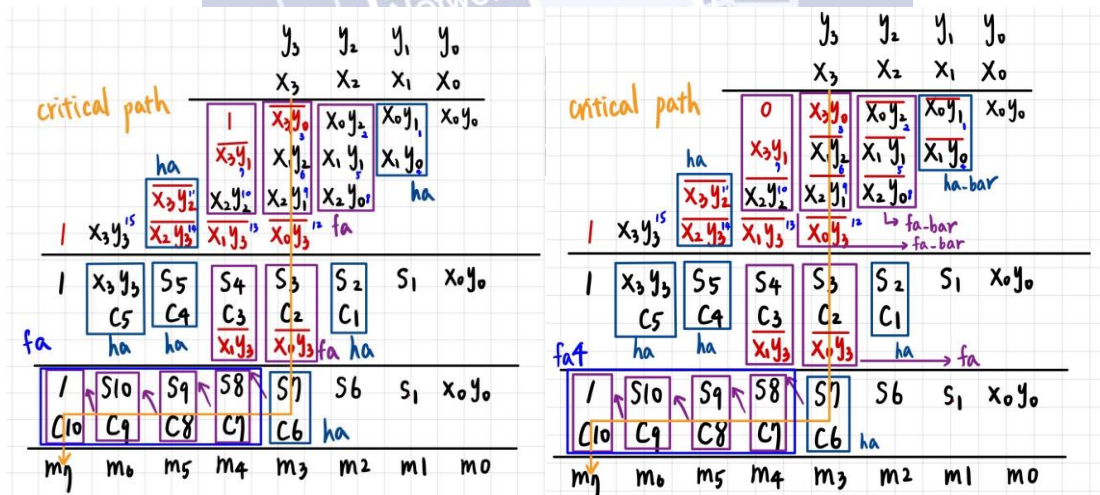
2. LVS



IV. Discussion

1. Sketch your partial product

左圖為沒經過化簡的結果，而右圖為將第一層的 1 個 ha 和 3 個 fa 換成 ha_bar 以及 fa_bar，並將輸入端反向，如此能讓大部分的 partial product 從 and gate 變成 nand gate。



2. Show your critical path

我的 critical path 為橘色那條，critical path 為 2 個 and(1 個為 x_3y_0 的 partial product、1 個為 ha 的 carry out)以及 6 個 fa_bar 的 carry out。

