

2023 NYCU EE VLSI Lab Report

Lab05 6-bit Multiplier and Accumulator

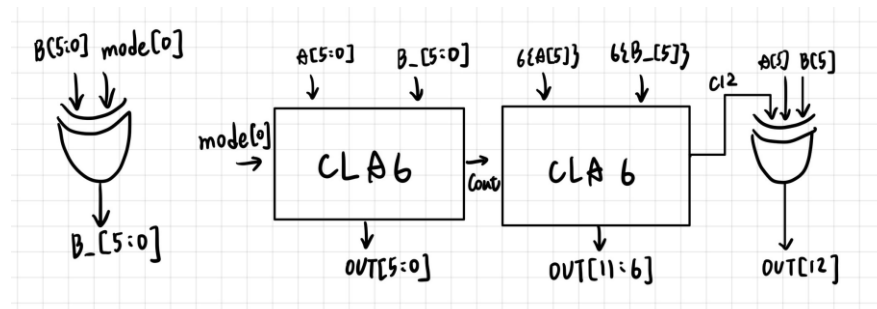
Student ID: 110511277

Name: 蔡東宏

Date: 2023/12/14

I. Architecture

1. Adder (3%)



我的 adder 架構是用兩個 CLA6 組合成的，先將 B 跟 mode[0] 做 xor 可以在 mode[0] 為 0 時得到同向訊號，而 mode[0] 為 1 時，得到反向訊號，因為 $A-B=A+B_{\text{bar}}+1$ ，所以一開始的 cin 可以直接給 mode[0]，在做加法時，mode[0] 為 0，不影響輸出結果，而在做減法時，mode[0] 為 1，可以當作二補數的加一部分。我先將 A 和 B 做 signed extension，再將 A[5:0] 和 B[5:0] 放進第一個 CLA6 得到 OUT[5:0]，並將 A[11:6]，B[11:6] 放進第二個 CLA6 得到 OUT[11:6]，最後再將第二個 CLA6 的輸出與 A[12] 和 B[12] 做 XOR 得到 OUT[12]，而 A[12:6] 與 B[12:6] 分別為 A[5:0] 和 B[5:0] 的 signed bit。

CLA6 架構:

$$C_0 = C_{in}$$

$$C_1 = G_0 + P_0 C_0$$

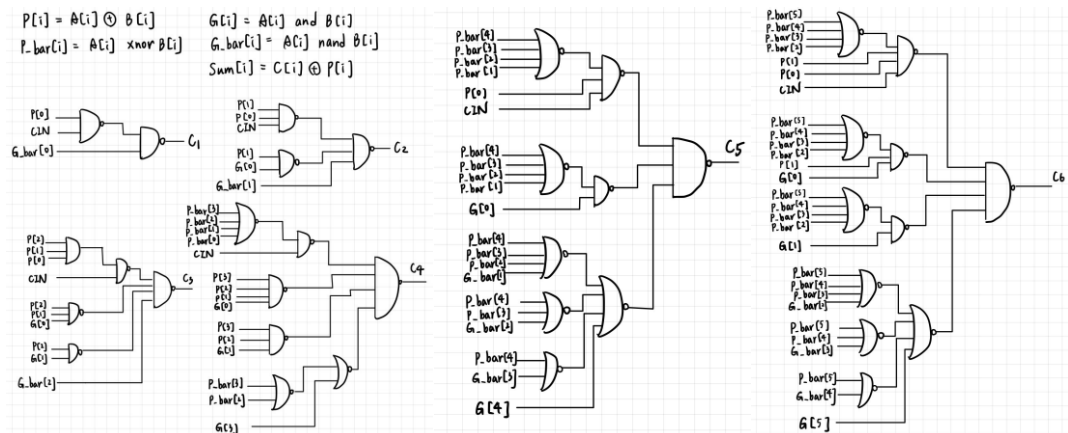
$$C_2 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$C_4 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

$$C_5 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 G_0 + P_4 P_3 P_2 P_1 P_0 C_0$$

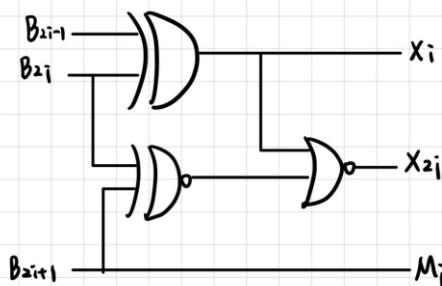
$$C_{out} = G_5 + P_5 G_4 + P_5 P_4 G_3 + P_5 P_4 P_3 G_2 + P_5 P_4 P_3 P_2 G_1 + P_5 P_4 P_3 P_2 P_1 G_0 + P_5 P_4 P_3 P_2 P_1 P_0 C_0$$



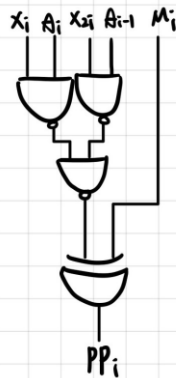
2. Multiplier (3%)

乘法的部分和 ACC 一起運算，ACC 的處理和上述加法同理。乘法的架構先用 Booth Encoding 以及 Booth Selector 來得到 partial product(硬體如圖一)，得到 partial product 後再利用 3 級的 CSA 以及 1 級的 CPA 來得到最後的結果，最後一級的 CPA 是將前面 6bit 丟進 CLA6 產生 OUT[6:1]，並同時將後面 6bit 丟進兩個 CLA6 (一個 cin 為 0，另一個 cin 為 1)，得到兩組不同的輸出結果後，再根據第一個 CLA6 的 cout 來決定最後的輸出要選哪一組輸出，整個乘法架構(不包含 booth 的部分)如圖二。

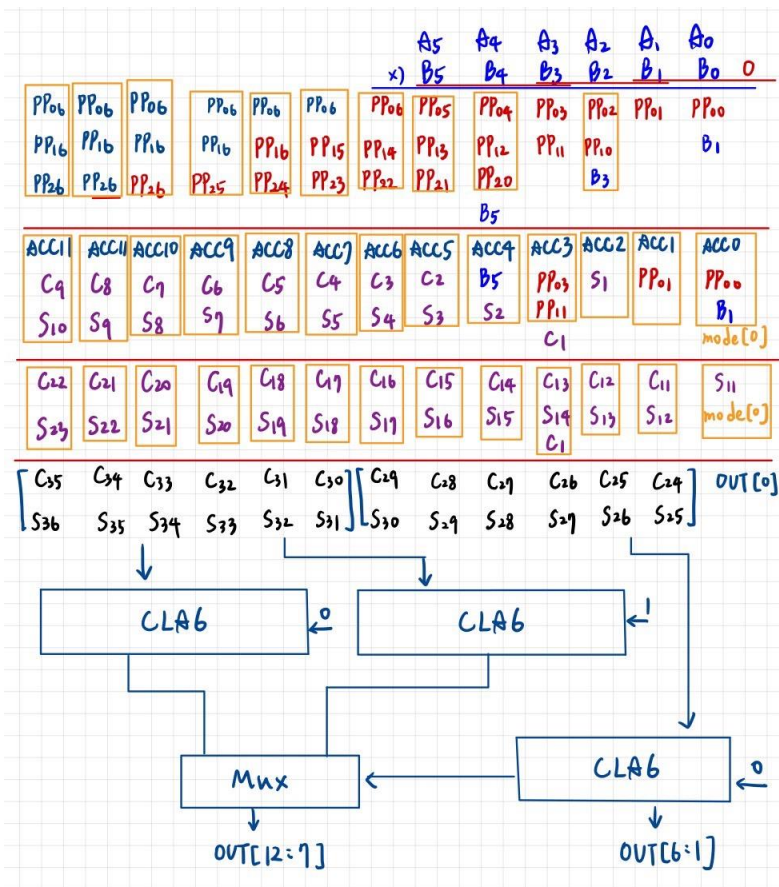
Booth Encoding:



Booth selector:

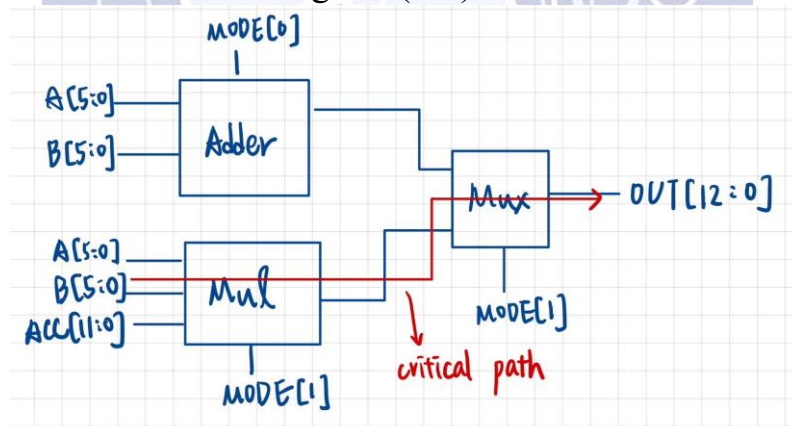


(圖一)



(圖二)

3. Whole Architecture Diagram (2%)



II. Critical Path

1. Theoretical (4%)

這次電路的 critical path 為 MODE0 和 MODE1，因為 MODE0 和 MODE1 要進行 6bit 的乘法後再進行 12bit 的加法，所以我們可以得知 critical 的部分會在這裡，A 和 B 一開始會先經過 booth Encoding 和 booth Selector 來產生 partial product，booth Encoding 和 booth Selector 的 delay 分別為 1.2ns 和 1.7ns，接著會經過三級的 CSA，而一級的 CSA delay 為 1.1ns，所以 CSA 總共 delay 3.3ns，接著是最後一級 CPA，因為 3 個

CLA6 都是同時執行，CLA6 的 critical delay 為 A 到 SUM[5]，總共為 3.4ns，而最後還需要前 6bit 的 COUT，來當作後 6bit 輸出的 MUX 的選擇訊號，但 COUT 只需要 2.8ns，經過 inverter 也只需要 3.1ns，所以 MUX 的 delay 需要 1ns，最後經過 mode0、1 以及 mode2、3 的 MUX，此 MUX 也需要 1ns 的 delay，所以總共需要 $(1.2+1.7+3.3+3.4+1+1)=11.6\text{ns}$ 的 delay。

2. 1000 pattern testing results (2%)

若用 1000 筆測資，我的 delay 為 11.5ns，而理論值為 11.6ns。

3. Difference between theoretical and testing results and why (3%)

理論值的 11.6ns 為 critical path delay，但如果只測了 1000 筆測資，這 1000 筆測資中 pattern 與 pattern 間的變換不一定是 critical path，若 pattern A 和 pattern B 之間的某些訊號是一樣的，會導致經過某些邏輯電路時，不需要經過 delay，而讓 critical delay 減少，所以 1000 筆測資的 delay 會比理論值來得快，隨著測資的數量增加會讓測試值更接近理論值。

III. Discussions (3%)

這次 Lab 的 performance 只考慮 speed，而不考慮面積，因此我在設計架構時，盡量減少 critical path 的 delay，所以加法我使用 CLA6 去實現，因為 final project 要畫 layout，要考慮面積，所以我沒有直接實現一顆 CLA12，除此之外，乘法器的最後一級 CPA，我後面 6bit 的用兩顆 CLA6 去實現，一個 CIN 為 0，一個 CIN 為 1，這兩個 CLA6 可以與前 6bit 的 CLA6 同時做，最後再根據前 6bit CLA 的 COUT 來決定要選擇哪個為後面 6bit 的輸出，如此一來可以減少後面 6bit CLA 等待前 6bit 算的時間，用來減少整個 critical path delay，但缺點是要多一個 CLA6 以及一個 6bit MUX 硬體，增加面積。