

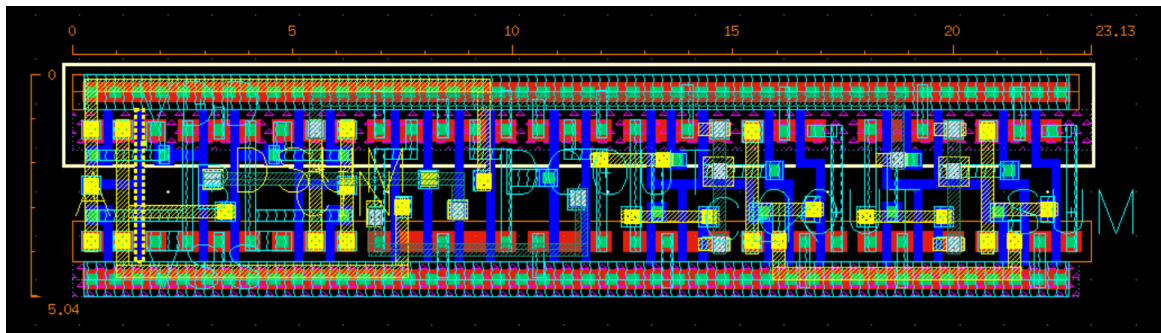
2023 NYCU EE VLSI Lab Report

Lab02 1-Bit Full Adder

Student ID: 110511277 Name: 蔡東宏 Date: 2023/10/23

I. Layout result

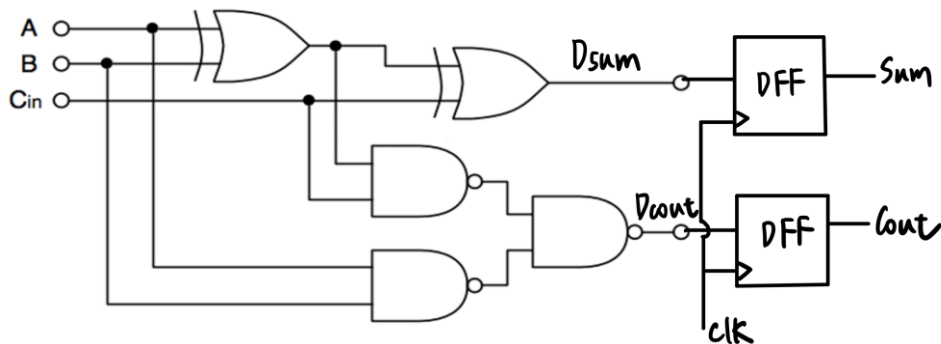
1. Layout picture with ruler



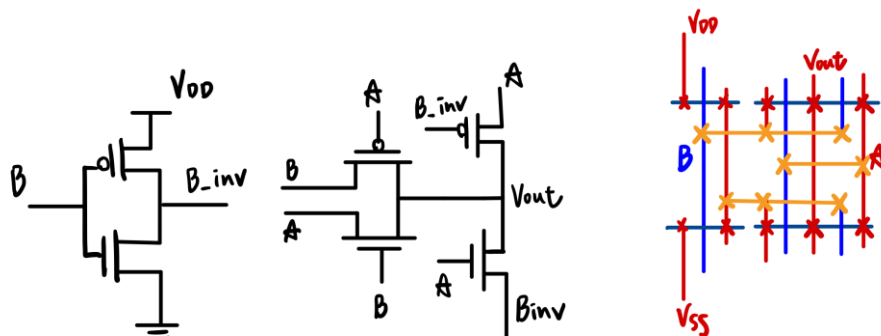
2. Design concept

(1) Stick Diagram / Circuit Schematic

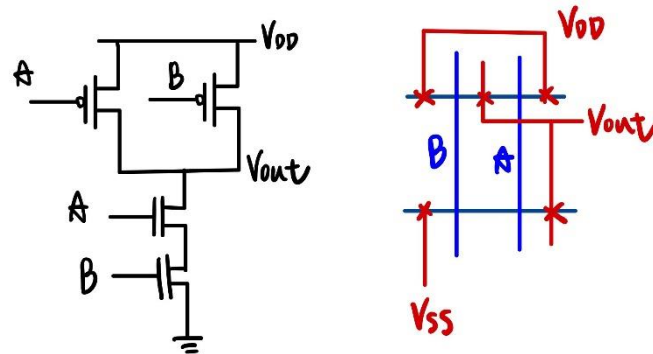
FA Circuit Schematic:



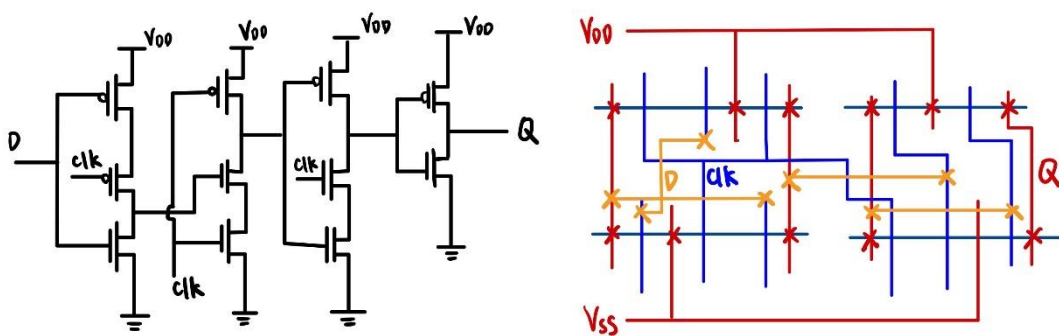
XOR Schematic and stick diagram:



NAND Schematic and stick diagram:



DFF Schematic and stick diagram:



(2) Summary of structure (number of transistor / logic gate is used)

這次 lab 的架構為 2 個 XOR、3 個 NAND 以及 2 個 D flipflop，首先是 XOR 的部分，我用了 6 顆 MOS 去組合而成，若使用更少 MOS 的 XOR，輸出的波型會跟預期的有極大的誤差，電路相對不穩定，而 NAND 是使用 4 顆 MOS 組成，D flip flop 的部分是使用 11 顆的 MOS。因此，我最後使用了 46 顆電晶體去組成 1-bit full adder 的架構。

在 layout 的部分，我先將每一個 gate 的 stick diagram，在畫的過程，我盡可能的將可以共用 diffusion 的地方共用，每一個 gate 的 stick diagram 都畫完之後就將它組合起來，組合的時候也會發現有些地方 diffusion 也是可以共用的，包括兩個 NAND 組在一起時可以共用 diffusion，以及兩個 XOR 組起來也可以共用 diffusion。

II. Simulation result

1. Timing report

Table 1: Post-sim of 1Bit Full Adder (Unit: ps)

Input	SUM _{td}	SUM _{tr}	SUM _{tf}	Cout _{td}	Cout _{tr}	Cout _{tf}
000→100	195.5	208.7	--	--	--	--
100→010	--	--	--	--	--	--
010→110	162.2	--	96.41	112	211.7	--
110→001	21.15	207.5	--	81.27	--	97.44
001→101	110.4	--	93.86	155.5	212.5	--
101→011	--	--	--	--	--	--
011→111	154.8	205.8	--	--	--	--
111→000	21.32	--	95.62	81.19	--	94.8

*Note 1: -- identify no value,

*Note 2: Remember to highlight worst case,

*Note 3: the value indicates A>B>CIN

*Note 4: Measure from A/B/CIN to DSUM/DCOUT

Table 2: Post Simulation Summary

	Spec.	Pre-sim	Post-sim
Worst Rise Time	< 0.3ns	198.5ps	212.5ps
Worst Fall time	< 0.3ns	82.32ps	97.44ps
Worst Propagation Delay	< 0.3ns	138.6ps	195.5ps
Average Power	< 300uw	44.87uW	56.01uW

(1) Pre-sim (*paste measurement result of hspice, i.e. .mt0)

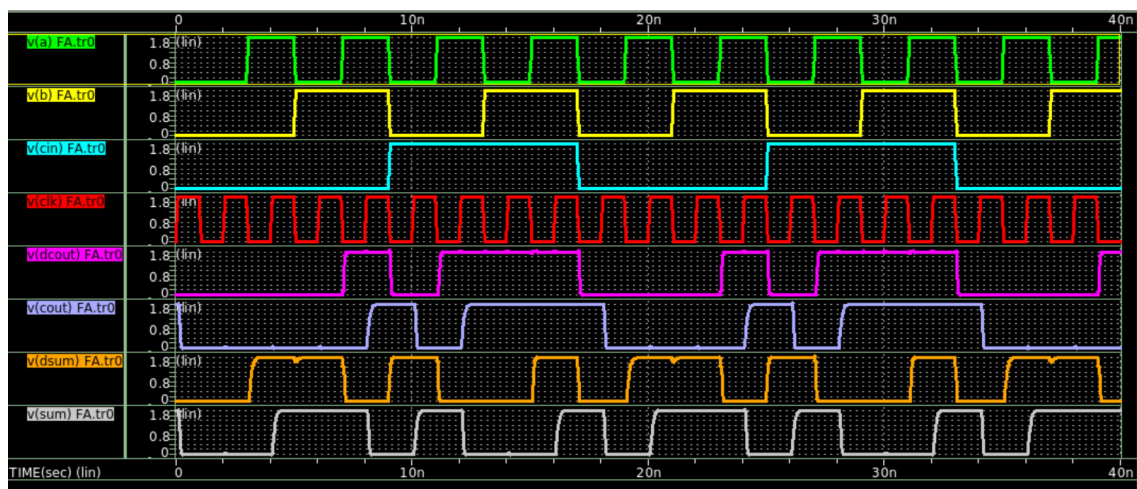
```
21:17 vlsilab058@ee24[~/UMC018/HSPICE/Lab02/PRE]$ cat FA.mt0
$DATA1 SOURCE='HSPICE' VERSION='Q-2020.03-SP2-2 linux64' PARAM_COUNT=0
.TITLE 'vlsi fa'
avg_power      tprop1_dsum      tprop2_dsum      tprop3_dsum
tprop4_dsum    tprop5_dsum      tprop6_dsum      tprop1_dcout
tprop2_dcout   tprop3_dcout      tprop4_dcout      tr1_sum
tr2_sum        tr3_sum          tf1_sum          tf2_sum
tf3_sum        tr1_cout         tr2_cout         tf1_cout
tf2_cout       temper          alter#
4.487e-05      1.386e-10        1.114e-10        1.393e-11
7.894e-11      1.074e-10        2.008e-11        7.998e-11
6.681e-11      1.254e-10        6.700e-11        1.984e-10
1.967e-10      1.953e-10        8.232e-11        8.167e-11
8.223e-11      1.985e-10        1.984e-10        8.232e-11
8.217e-11      25.0000         1
```

(2) Post-sim (*paste measurement result of hspice, i.e. .mt0)

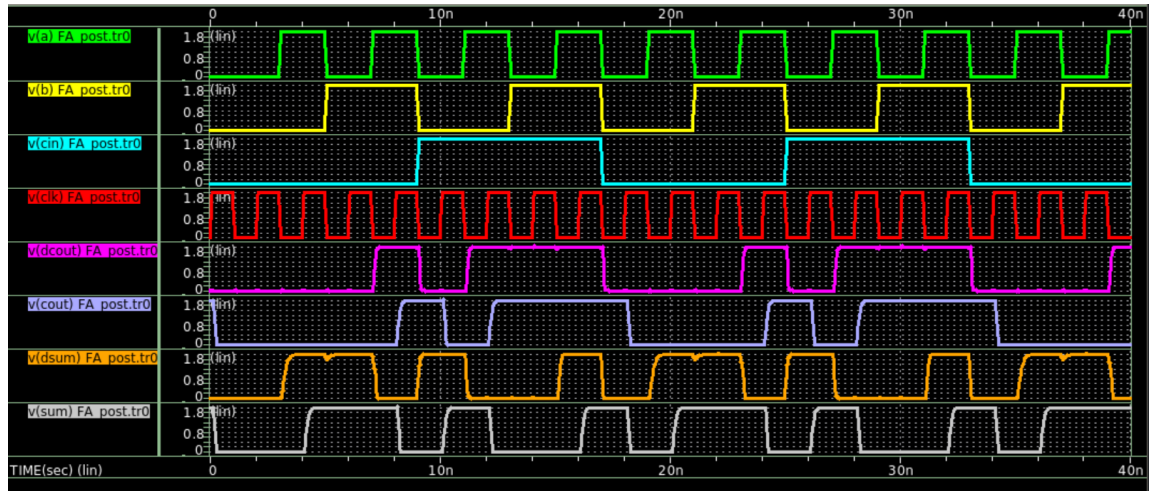
```
21:19 vlsilab058@ee24[~/UMC018/HSPICE/Lab02/POST]$ cat FA_post.mt0
$DATA1 SOURCE='HSPICE' VERSION='Q-2020.03-SP2-2 linux64' PARAM_COUNT=0
.TITLE 'vlsi fa'
avg_ckt_pwr    tprop1_dsum      tprop2_dsum      tprop3_dsum
tprop4_dsum    tprop5_dsum      tprop6_dsum      tprop1_dcout
tprop2_dcout   tprop3_dcout      tprop4_dcout      tr1_sum
tr2_sum        tr3_sum          tf1_sum          tf2_sum
tf3_sum        tr1_cout         tr2_cout         tf1_cout
tf2_cout       temper          alter#
5.601e-05      1.955e-10        1.622e-10        2.115e-11
1.104e-10      1.548e-10        2.132e-11        1.120e-10
8.127e-11      1.555e-10        8.119e-11        2.087e-10
2.075e-10      2.058e-10        9.641e-11        9.386e-11
9.562e-11      2.117e-10        2.125e-10        9.744e-11
9.488e-11      25.0000         1
```

2. Output waveform

(1) Pre-sim

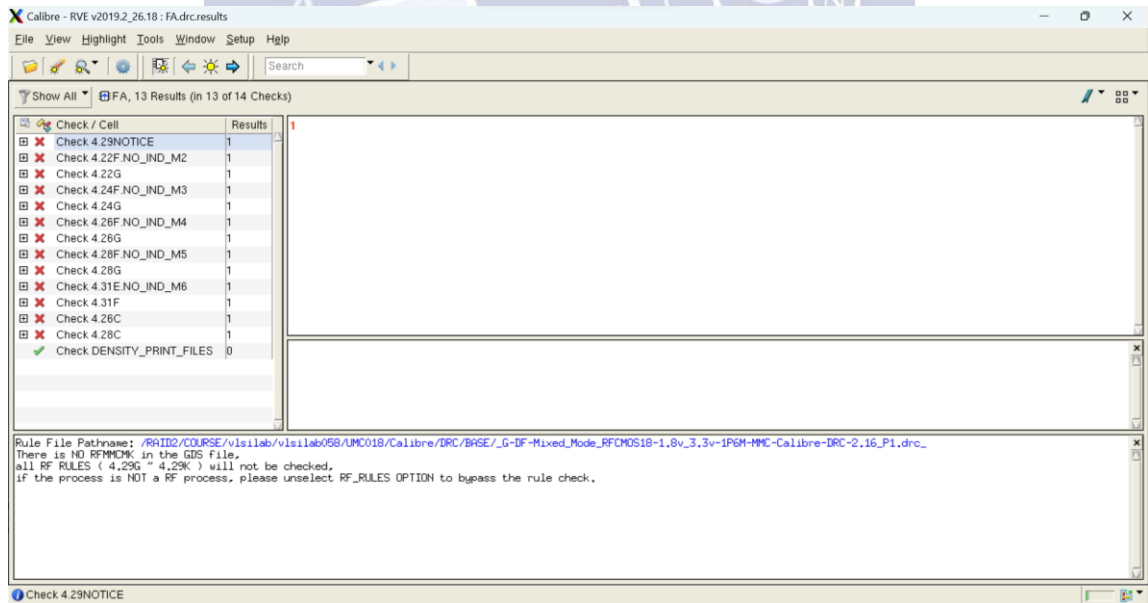


(2) Post-sim

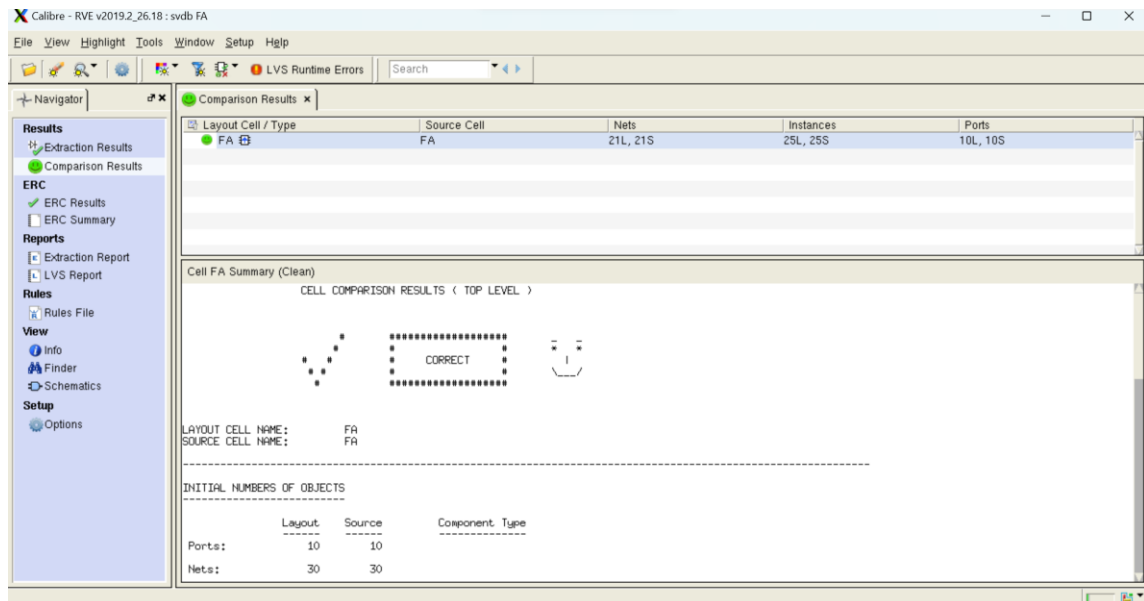


III. Verification result

1. DRC



2. LVS



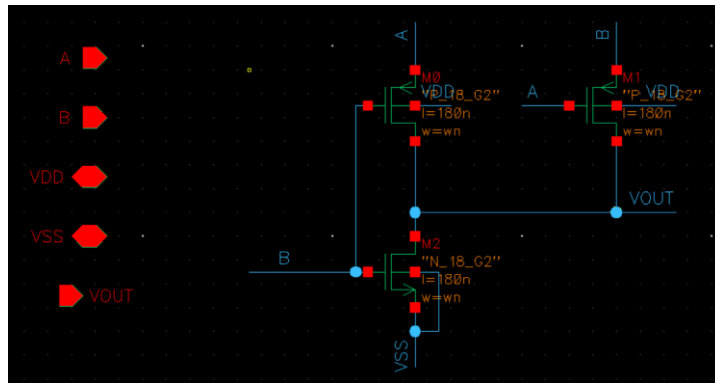
IV. Discussion

1. How to reduce your area of layout? What are advantages and disadvantages of reducing area?

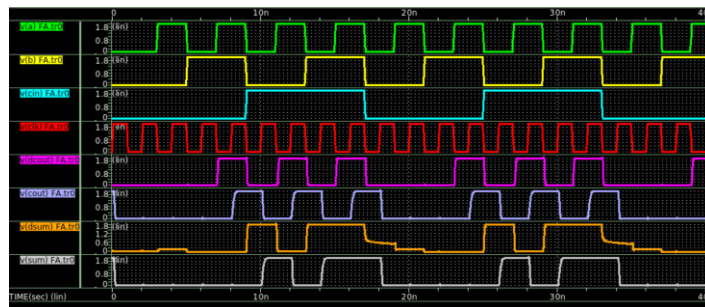
減少這次 LAB 的 layout 面積大致上有兩個方法。

1. 減少整個電路的電晶體數量：

因為這次 LAB 助教有規定整體上 full adder 的架構，所以我們能做的只有盡可能減少邏輯閘(XOR、NAND、DFF)所需要的電晶體數量，其中大部分的 NAND 都是使用 4 顆電晶體組成的，而上網查 XOR 的架構，發現 XOR 有很多版本的架構，有些只需要 3 顆電晶體即可組成，而有些則需要十幾顆電晶體去組成，因此，我一開始就使用 3 顆電晶體的 XOR(如附圖 1)，結果發現最後輸出的波行(如附圖 2)完全失真，與預期的 FA 結果不吻合，因此最後經過幾次嘗試後，找到與結果吻合並且用到最少電晶體的 XOR 數量是 6 顆，而 DFF 的部分，上網找了許多資料，發現很多用到比較少電晶體的都是 Latch，而我一開始也是因為沒有注意到而誤使用到 Latch，但所幸最後有發現用到 Latch，而在網路上找到最少的 DFF 是使用 11 顆電晶體，因此我選用了此類 DFF。所以整個 FA 我總共使用了 $6*2(\text{XOR}) + 4*3(\text{NAND}) + 11*2(\text{DFF}) = 46$ 顆電晶體。



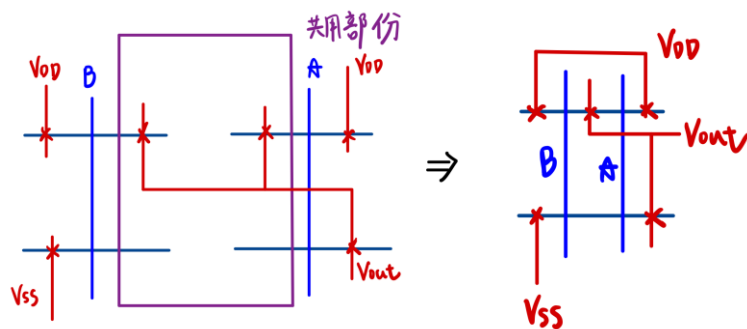
(圖 1)



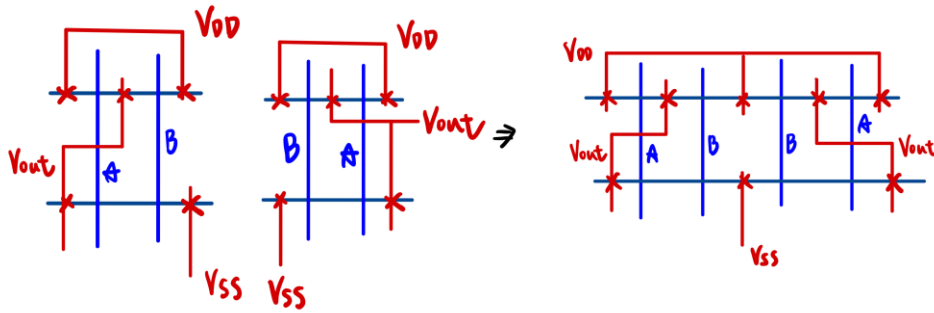
(圖 2)

2. 共用 Diffusion

共用 diffusion 可以大幅減少 layout 的面積，若兩顆 pmos 中其中一顆的 source 或 drain 與另一顆的 drain 或 source 等電位時，可以將他們合併，nmos 也同理。如附圖 3，我以 NAND 舉例，分開來畫如同附圖 3 左邊，但因為兩顆 pmos 的 drain 端都為 vout，所以可以將他們合併，而 nmos 的其中一顆 drain 與另一顆的 source 等電位，因此也可以將他們合併在一起，所以整體的 layout 圖的 stick diagram 就如附圖三右邊。除了一個邏輯閘內可以共用 diffusion 外，兩顆邏輯閘組在一起也可以共用 diffusion，使用與上述相同邏輯，我們可以將兩顆 NAND 組在一起時共用 diffusion，如附圖 4。



(附圖 3)



(附圖 4)

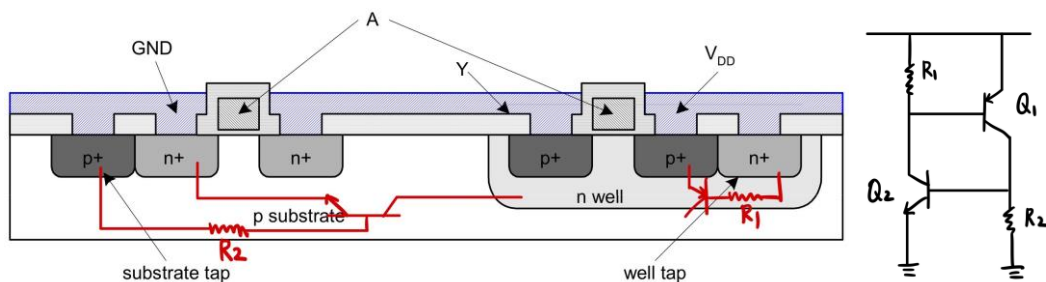
減少面積的優點和缺點:

優點: 減少晶片面積可以節省空間，發展出更高的性能，並降低製作成本，讓晶片能夠更廣泛的使用。除此之外，在共用 diffusion 時，能夠大幅度的減少寄生電容的產生，因為 S/D 面積共用時，會大幅減少 drain 和 source 的面積，因此減小 S/D 端的寄生電容。

缺點: 為了要減少 layout 的面積，我們會將 metal 靠得很近，這會導致寄生電容變大，因為平行版電容的間隔越大，電容值就越大。除此之外，我們還會將 metal 的寬度拉到極限以避免 DRC 不好解決，但將 metal 拉細會造成金屬的寄生電阻變大，因為電阻與長度成正比與截面積成反比。若寄生電阻和電容均變大時，造成 RC delay 也會跟著變大，因此延遲訊號的傳遞。

2. Why you need Avoid-Latch-Up contact and how it works?

Latch up 的產生是因為 CMOS 中寄生 BJT 的影響，造成 VDD 與 GND 產生短路的現象，進而讓整個晶片燒壞。而 BJT 的產生如同下圖，有一個 PNP(Q1)和一個 NPN(Q2)，而 R1 為 nwell 的等校電阻，R2 為 p-substrate 的等校電阻，當 VDD 有雜訊的影響時，會有電流經過 R1 形成壓降，讓 Q1 導通，同理，如果 GND 有雜訊的影響時，會有電流經過 R2，並讓 Q2 導通，如此一來，電流便會經過 Q1 和 Q2，直接從 VDD 流到 GND，而不是流經我們希望的 CMOS，如此一來，容易造成電流過大，而導致晶片燒壞。



如何防止 Latch up 的產生:

1. 在 body 端打多一點 conta，如此一來可以降低 p-substrate 以及 nwell 的等校電阻值(上述所說的 R1 和 R2)，因為電阻越小的話，在同樣的電流下，電壓差越小，即更不容易讓寄生的 BJT 導通，可以降低 Latch up 發生的機率。
2. 將 pmos 以及 nmos 圍上 guard ring，阻隔 pmos 以及 nmos，如此降低寄生 BJT 發生的可能性。
3. 將 pmos 以及 nmos 的距離拉遠一點也可以降低 Latch up 發生的機率。

3. What causes the difference between pre-sim and post-sim?

Pre-sim 和 post-sim 的最大差異在於 post-sim 有考慮到金屬寄生電阻和寄生電容的效應，金屬若拉的細且長的話，寄生電阻就會非常大，因為電阻正比於長度反比於截面積，而寄生電容又可分為兩種，一種是金屬對 substrate 的寄生電容，若面積越大的話，寄生電容就越大，另一種是金屬與金屬之間的耦合電容，若金屬靠得越近的話，寄生電容就越大。所以在觀察 Table 2 的時候，我們可以發現 delay、rising time 以及 falling time，post-sim 的結果都比 rising time 來的大，其原因就是因為金屬造成的寄生電容和電阻，導致 RC delay 變大所影響的，而觀察 power，我們也會發現 post-sim 的 power 比 pre-sim 的來得大，其原因是因為寄生電阻所造成額外的功率消耗。

4. Summary (optional)

這次的 Lab 我們學習如何跑整個 full-Custom 的 design 流程，從 schematic、pre-sim、layout 到最後的 post-sim，過程需要滿大的時間去完成。從一開始的 schematic design 開始，我就花了滿多時間去選擇架構，根據助教開的 spec 去找到適合的架構，經過 pre-sim 的驗證後，再進行 layout 的佈局，在佈局的過程，我也花滿多時間去研究如何盡可能共用 diffusion 來減少 layout 的面積，在畫 layout 之前先畫出 stick diagram 能夠幫助我更快知道那裡的 diffusion 可以共用，並且可以加快我畫 layout 的速度。