2023 NYCU EE VLSI Lab Report

**Final Project**

**6-Bit Multiplier and Accumulator Design**

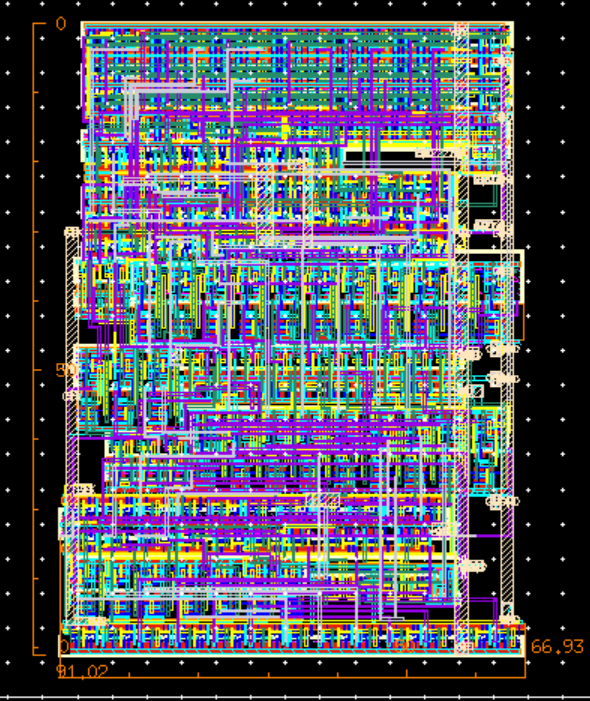
Student ID: 110511277 Name: 蔡東宏

Student ID: 110511142 Name: 張又仁

Student ID: 110511254 Name: 徐煜絨

Date: 2024/1/12

1. **Layout result**
2. **Layout picture with ruler**



1. **Design concept**
2. Pipeline multiplier design

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

1. Summary of structure (Roughly number of transistor / logic gate is used)

這次的6bit MAC架構如上圖，首先我們先利用booth encoding和 booth selecting產生三組7 bit的partial product，用booth來減少partial product的數量來減少critical path，同時利用XOR來產生ACC的訊號(mode = 0為加法，mode = 1為減法)，經過第一級DFF之後做三級CSA，最後要進行11bit 的Ripple Carry Adder，我們先做4級的Ripple Carry Adder後，經過第二級DFF再進行7級的Ripple Carry Adder，最後經過DFF將最後的13bit結果輸出。我們總共用到XOR BLOCK、BOOTH BLOCK、第一級DFF、CSA1、CSA2、CSA3、RCA4、第二級DFF、RCA7、第三級DFF，XOR BLOCK用到12個xor(6顆)，總共72個transistors，BOOTH BLOCK用到3個booth encoding(18顆)和21個booth selector(18顆)，總共432顆，第一級DFF用到37個DFF(11顆)，總共407顆transistors，CSA1用到11個FA(28顆)和2個HA(12顆)，總共332顆transistors，CSA2用到3個FA(28顆)和10個HA(12顆)，總共204顆transistors，CSA3用到9個FA(28顆)和3個HA(12顆)，總共288顆transistors，RCA4用到4個inverter(2顆)和4個Pseudo\_FA\_Bar(14顆)，總共64顆transistors，第二級DFF用到13個DFF(11顆)和8個DFF\_inverting(9顆)，總共215顆transistors，RCA4用到7個FA\_BAR(24顆)，總共168顆transistors，第三級DFF用到9個DFF(11顆)和4個DFF\_inverting(9顆)，總共135顆transistors，所以整個MAC6用到2317顆transistors

1. Circuit Schematic / Building Blocks

XOR BLOCK:

一張含有 螢幕擷取畫面, 鮮豔 的圖片

自動產生的描述

BOOTH BLOCK:

一張含有 螢幕擷取畫面, 鮮豔 的圖片

自動產生的描述

DFF\_stage1:

一張含有 螢幕擷取畫面, 鮮豔 的圖片

自動產生的描述

CSA1:

一張含有 螢幕擷取畫面, 文字 的圖片

自動產生的描述

CSA2:

一張含有 螢幕擷取畫面, 鮮豔 的圖片

自動產生的描述

CSA3: 一張含有 螢幕擷取畫面, 電路 的圖片

自動產生的描述

RCA4:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

DFF\_stage2:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

RCA7: 一張含有 螢幕擷取畫面, 電路 的圖片

自動產生的描述

DFF\_stage3:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

XOR:

一張含有 螢幕擷取畫面, space 的圖片

自動產生的描述

BE:

一張含有 螢幕擷取畫面, space, 黑暗, 天文學 的圖片

自動產生的描述

BS:

一張含有 螢幕擷取畫面, 黑暗, 夜晚, 光線 的圖片

自動產生的描述

XNOR:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

INV:

一張含有 螢幕擷取畫面, space, 黑暗, 星星 的圖片

自動產生的描述

NOR:

一張含有 螢幕擷取畫面, 文字 的圖片

自動產生的描述

NAND:

一張含有 螢幕擷取畫面, 地圖, space 的圖片

自動產生的描述

DFF:

一張含有 螢幕擷取畫面, 圖表 的圖片

自動產生的描述

DFF\_inverting:

一張含有 螢幕擷取畫面, 圖表 的圖片

自動產生的描述

HA:

一張含有 螢幕擷取畫面, space, 圖表, 天文學 的圖片

自動產生的描述

AND:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

FA:

一張含有 螢幕擷取畫面, 圖表 的圖片

自動產生的描述

pseudo FA\_BAR:

一張含有 螢幕擷取畫面, 圖表 的圖片

自動產生的描述

FA\_BAR:

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

1. **Simulation result**
2. **Output waveform**  (with input from MAC6.vec)
3. Pre-sim (Output waveform)

一張含有 鮮豔, 螢幕擷取畫面, 紫色, 藝術 的圖片

自動產生的描述

1. Post-sim (Output waveform)

一張含有 螢幕擷取畫面, 文字, 鮮豔 的圖片

自動產生的描述

1. Performance list (TT case under worst case input pattern)

|  |  |
| --- | --- |
| Maximum operation frequency | Pre-sim: 840.34MHz (1.19ns) |
| Post-sim 454.55MHz (2.22ns) |
| Average power | Pre-sim: 4.42mW |
| Post-sim: 3.63mW |
| Layout area | 91.02 \* 66.93 = 6091.97 (um^2) |
| Multiplier and adder structure | Wallace tree、CSA、RCA |
| Glitch control (Yes/No) | No |

1. **Verification result**
2. **DRC**

一張含有 螢幕擷取畫面, 文字, 軟體, 陳列 的圖片

自動產生的描述

1. **LVS**

一張含有 文字, 螢幕擷取畫面, 軟體, 電腦圖示 的圖片

自動產生的描述

1. **Discussion**
2. **Optimization or anything worth sharing**

這次的Lab為MAC6並且可以切4級pipeline，因此要讓每一級的pipeline的delay大約相同，才能有效率的壓低period，輸入訊號進來只有半個cycle可以做，所以我先讓輸入進入簡單的BOOTH BLOCK和XOR BLOCK，第二級做3級CSA和RCA4，第三級用RCA7，最後過為了讓輸出波行穩定所以第4級沒有加任何combination logic，後來觀察波行後發現，第二級的delay大於第三級的delay，所以我嘗試壓低第二級的delay，因為這次有限制power只能在5mW以內，所以不能全部用pseudo nmos，而我將第二級的RCA4的FA改成pseudo nmos，如此一來能夠將第二級的delay減少，並且power不會超過5mW。除此之外，我將所有的RCA都用inversion的方式，因此在某些輸入和輸出都需要加inverter，而我把某些DFF改成DFF inverting，因此就可以大量減少inverter的數量。

1. **Your thoughts about VLSI LAB course and exercises**
2. 110511277 蔡東宏

這學期的VLSI LAB是一堂需要畫數位電路layout的課，雖然暑假的時候已經修過需要畫layout的課，但類比電路的layout與數位電路的layout還是有很大的差別，在Lab3和Lab4的時候，花了滿多時間在壓presim的period，在畫layout的時候也花了滿多時間在研究怎麼畫可以讓面積以及postsim的period。最後在final project的時候，我們一起討論如何改善我們的performance，這此的電路非常龐大，需要花費不少時間和精力，好在有隊友一起分擔，才讓我們最後有辦法完成這份final project。

1. 110511142 張又仁

這學期的VLSI Lab也是我第一次接觸有關要畫layout的課程，原本也沒用過Hspice，但多虧了這堂課讓我從中學到了很多新工具和使用方法。從Lab02開始從頭摸索，到Lab04時已日漸熟練，其中Lab03有點太晚開始作業，最後沒有趕上1de有點小可惜，但也讓我知道以後不要把時間算的那麼緊，Lab05的時候就有提前一個禮拜開始。這堂課和VLSI同時修，也幫助我們可以配合實作清楚的看見調size的重要性，對於performance的影響可說是非常之大，每次因為改變架構或不同size進而使得period變小時，都會獲得滿滿的成就感。很快地，在這次final project完課程也將邁向尾聲，過程可謂艱辛，但好在有兩位神隊友，我們分工合作最後總算看到難能可貴的笑臉，受益良多。

1. 110511254 徐煜絨

謝謝當初選課的自己選擇禮拜五的VLSI lab，在實作時和其他人一起交流寫法或競爭performance，讓我學到很多。感謝這堂課的助教們用心規畫課程，讓我的大三上生活過得如此充實。由於sizing的調法和VLSI導論教的方法有出入，所以調出更快的period時會有很大的成就感。但lab4忘記可以用metal4，導致雖然提早超過一個禮拜開始，但因為線繞不出來，而來不及在1de前繳交，不過最後面積第四名，算是有給進2de的自己一個交代。在期末project上感謝有兩位隊友的互相幫忙和想法交流。這門課讓我有所收穫，我一定會大力推薦給學弟妹們。