

---

# 電源管理晶片設計與實作

## *Final Project & HW3*

---

TA: 溫晨羽, 劉子寧

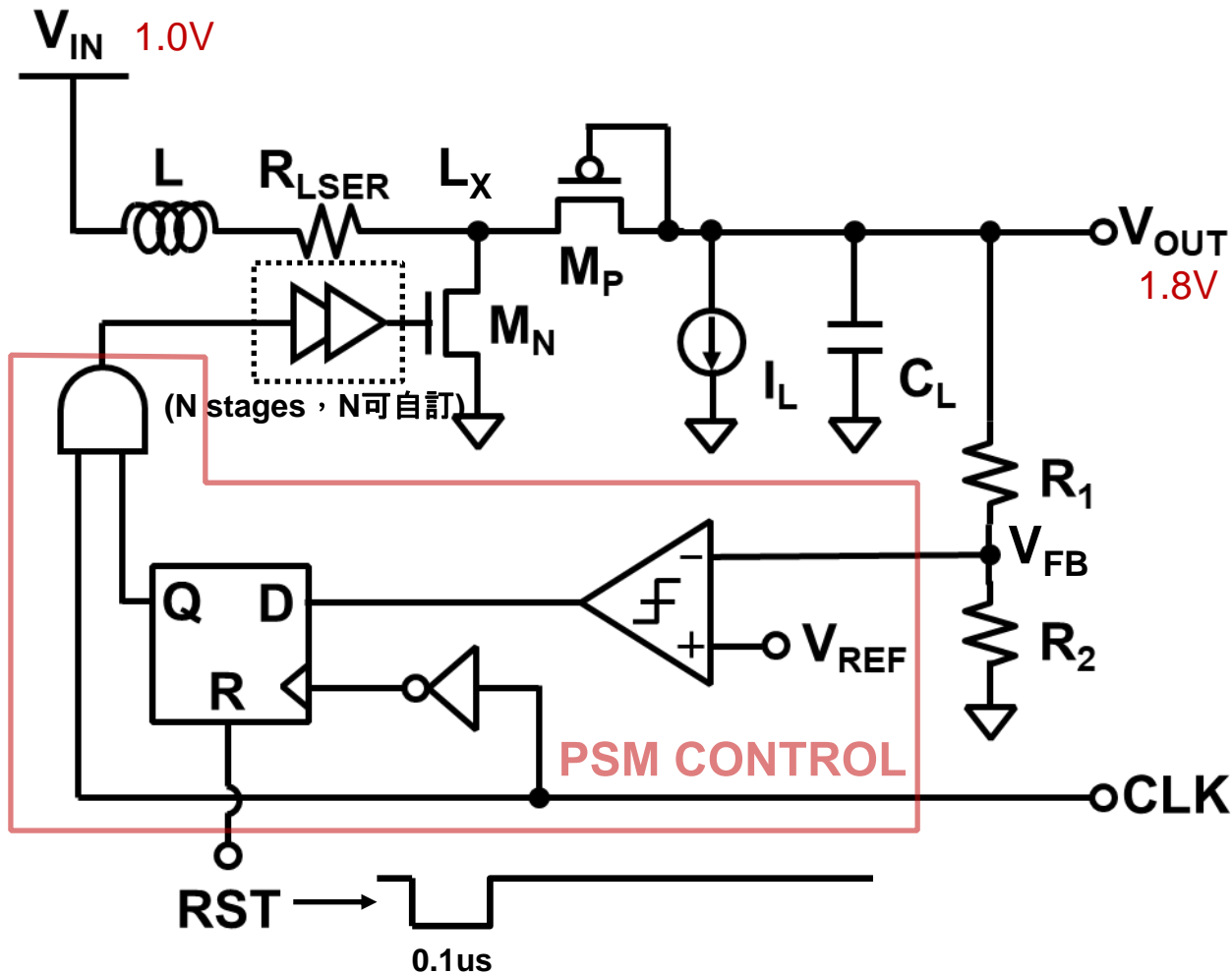
August 15th, 2023

*National Yang Ming Chiao Tung University*



# Close-loop Boost Converter

## ◆ Architecture and specification



### □ Power Stage:

$M_P$ : ?mm/0.18 $\mu$ m

$M_N$ : ?mm/0.18 $\mu$ m

$L$ : 1 $\mu$ H

$R_{LESR}$ : 0.07 $\Omega$

$C_L$ : 1 $\mu$ F

$I_L$ : 0.1mA, 1mA, 5mA

} Off Chip

### □ Feedback:

$R_1$ : 800k $\Omega$  [RNNPO\_MM]

$R_2$ : 1M $\Omega$  [RNNPO\_MM]

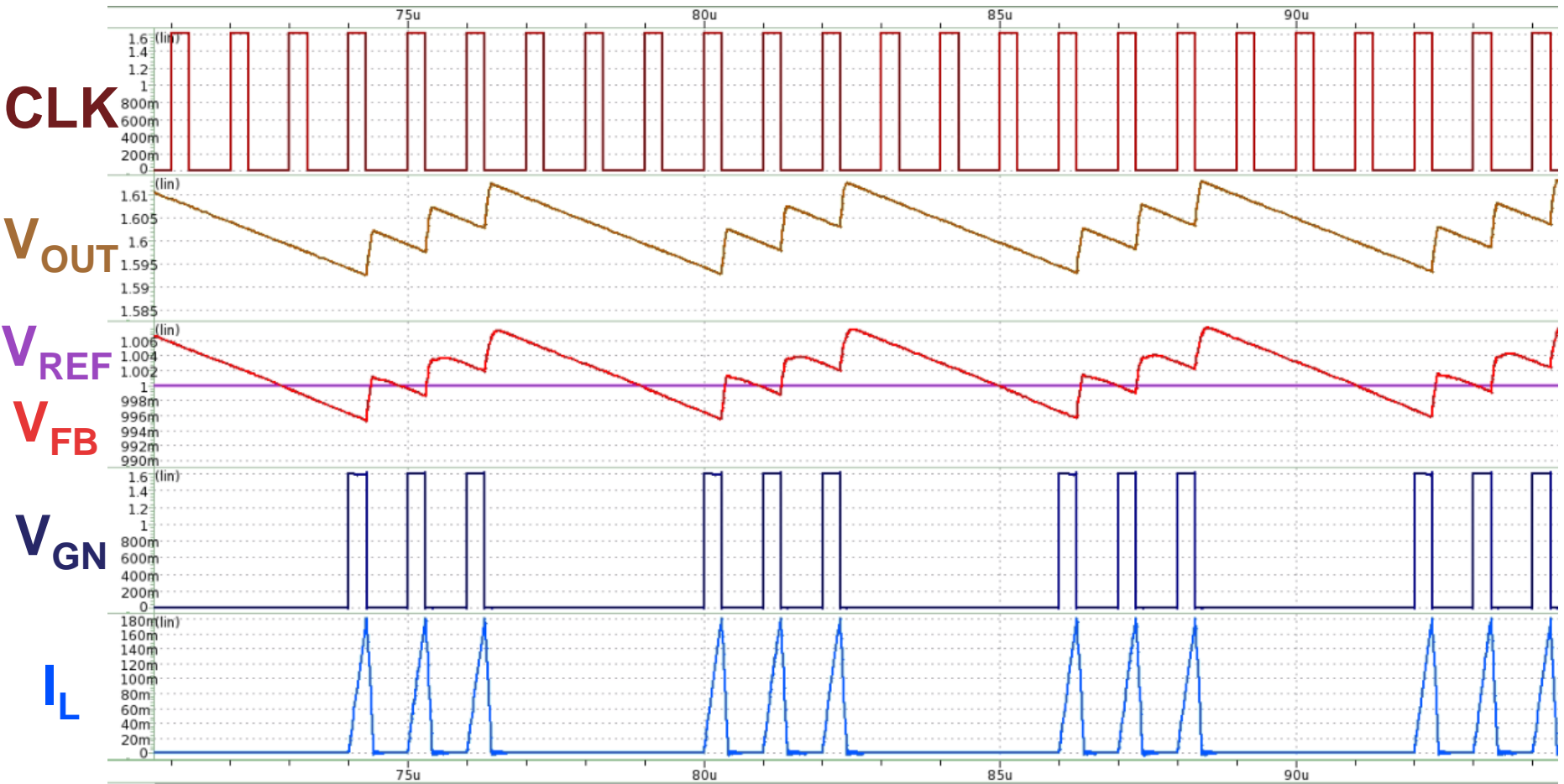
$V_{REF}$ : 1V

CLK: Freq=1MHz

$T_{on}$ =0.2us

# Simulation Result

## ◆ Steady state simulation waveform (示意圖)



# Design Specification

## ◆ Final Project

Design Specification		
Input Voltage ( $V_{IN}$ )	1.0V	
Switching Frequency ( $F_{SW}$ )	1 MHz	
Output Voltage ( $V_{OUT}$ )	1.8V	
Output Loading ( $I_L$ )	0.1mA/1mA/5mA	
Efficiency ( $\eta$ ) @0.1mA	Pre-layout Simulation	Post-layout Simulation
		$\Delta\eta < 2.5\%$
Efficiency ( $\eta$ ) @1mA	Pre-layout Simulation	Post-layout Simulation
		$\Delta\eta < 2.5\%$
Efficiency ( $\eta$ ) @5mA	Pre-layout Simulation	Post-layout Simulation
		$\Delta\eta < 2.5\%$
Chip Area( $\mu\text{m}^2$ )		
FOM ( $\%/ \mu\text{m}^2$ )	(請填寫Post-layout Simulation結果)	



# Layout Notice

- ◆ 每種製程都有各自的假錯表，從CIC網站即可搜尋到。
- ◆ 而U18跑DRC驗證時，若出現以下錯誤，則視為假錯。

## Base Rule

Off_Grid	佈局走線與圖型未在 0.01um 之最小格線上。 可允許錯誤。
SkewEdge	佈局走線角度非 0°、45°與 90 度。 可允許錯誤。
4.1M	局部區域之 Density Rule。 可允許錯誤，請盡量符合其 Rule。
4.20G	
4.22G	
4.24G	
4.26G	
4.28G	
4.31F	M1、M2、M3、M4 與 M5 之最大間距，不得超過 500um。 可允許錯誤，請盡量符合其 Rule。
4.20C	
4.22C	
4.24C	
4.26C	
4.28C	
4.29NOTICE	如無使用 RF 元件，則會提醒您關閉 RF_Rule Group。 可允許錯誤。

Final Project  
需練習解掉

## ESD Rule

IO5.5.4.Note	缺少 IOID Layer 為驗證 ESD 需要之 Layer， 可允許錯誤。
--------------	--

## PAD Rule

5.2.2_M1	PAD_RF 之 P-Cell 元件。 可允許錯誤。
5.2.2_M2	
5.2.2_M3	
5.2.2_LTM	
5.2.2_LSM	
5.2.3	

Source: <http://www2.cic.org.tw/~shuttle/drc/all/U18.pdf>

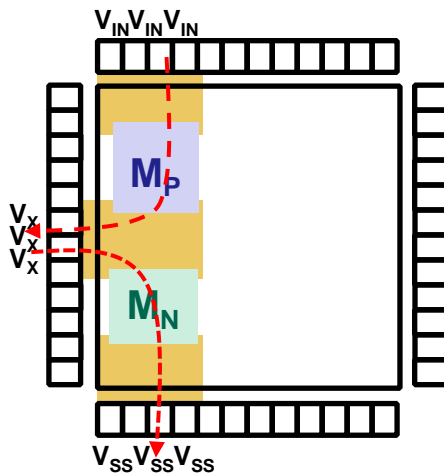


# Chip Layout with Power MOS & PAD

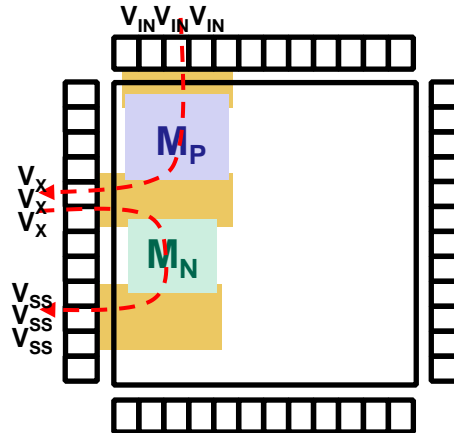
## ◆ Consider the input/output points with I/O PAD

- Power path (power line) indicates a **large current flow**
- **Power line** as short as possible  $\rightarrow I_{IN} \times R^2$
- **Power MOS** need to be placed **closer to I/O PAD**
- Keep power path **flowing in same direction** as possible

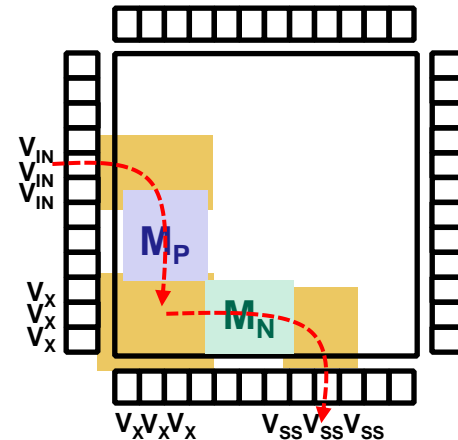
- For example:  $M_P$  is power PMOS of buck converter  
 $M_N$  is power NMOS of buck converter



Case 1



Case 2

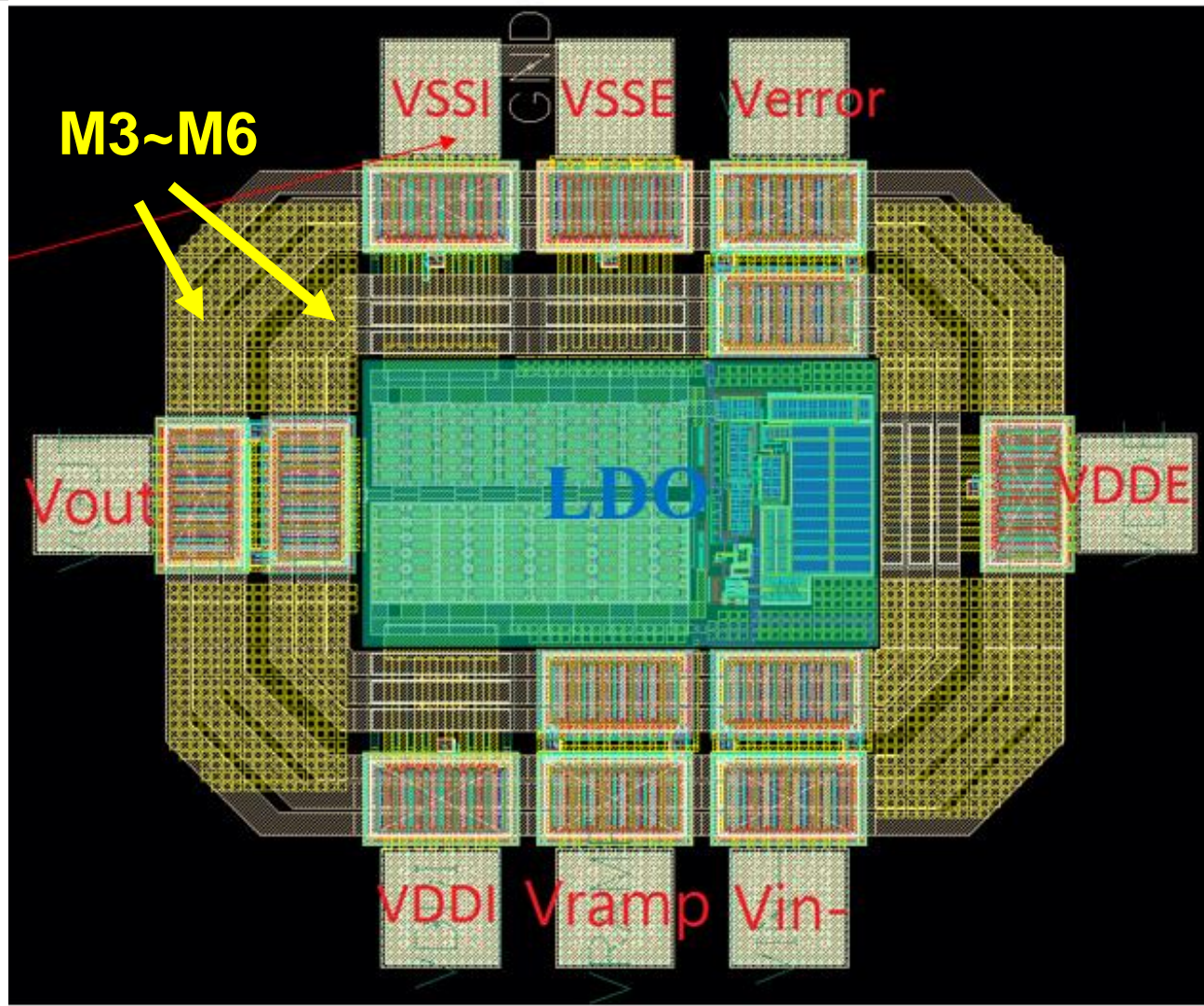


Case 3



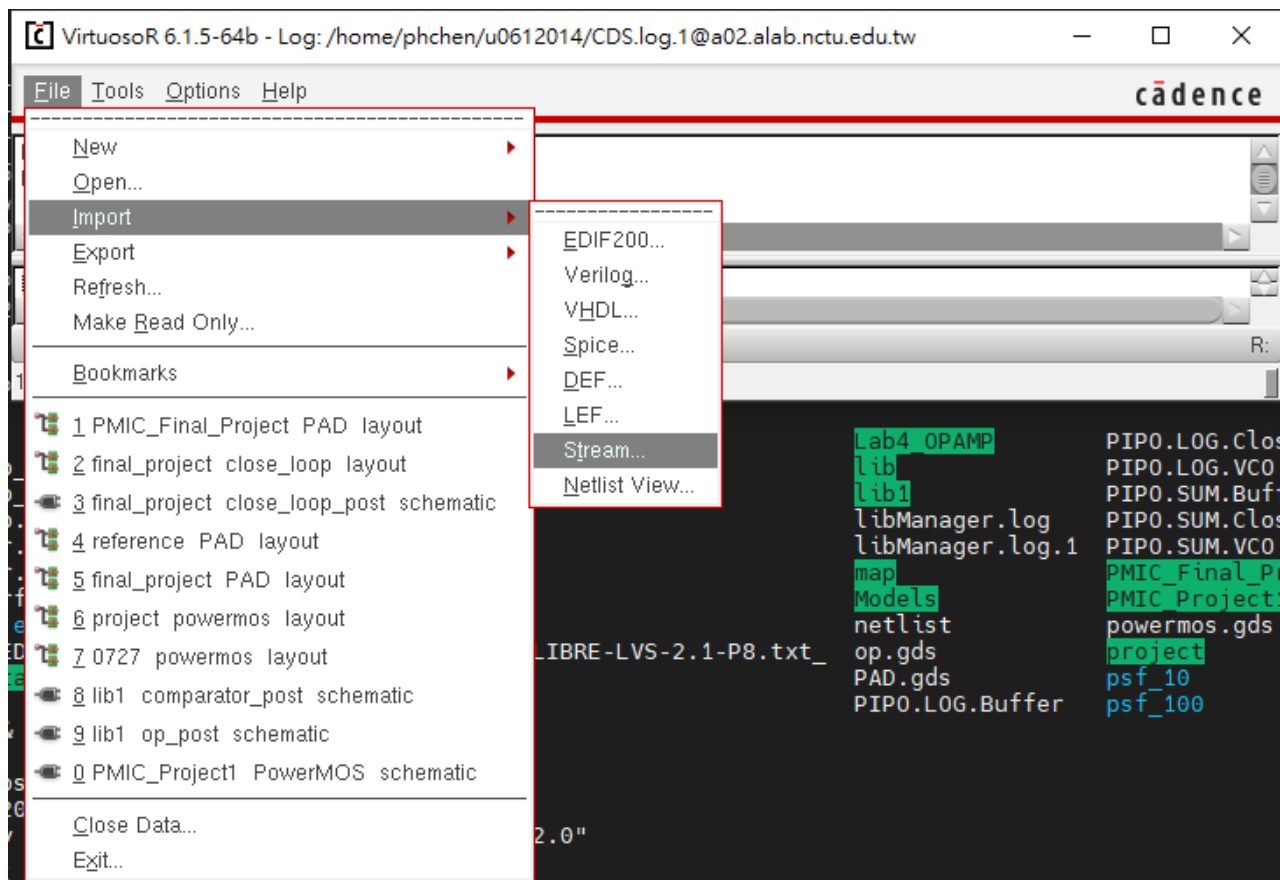


# Chip Layout Example



# PAD Import(1)

## ◆ 在CIW界面选择Import → Stream





# PAD Import(2)

- ◆ 在Stream File欄內選擇需要匯入的gds檔，填寫好Library Name, Top Level Cell 和 Tech File之後點擊Translate即可

Virtuoso (R) XStream In@a02.alab.nctu.edu.tw

Stream File: /home/phchen/u0612014/UM180FDKMFC\_C05\_PB/PAD.gds

Library: PMIC\_Final\_Project

Top Level Cell: PAD

Attach Technology Library:

Load ASCII Tech File: /home/phchen/u0612014/UM180FDKMFC\_C05\_PB/0.18um\_techfile.tf

☐ Generate Technology Information From Stream File

Stream Tech File:

Show Options Save Template Load Template

Number of Threads: 1

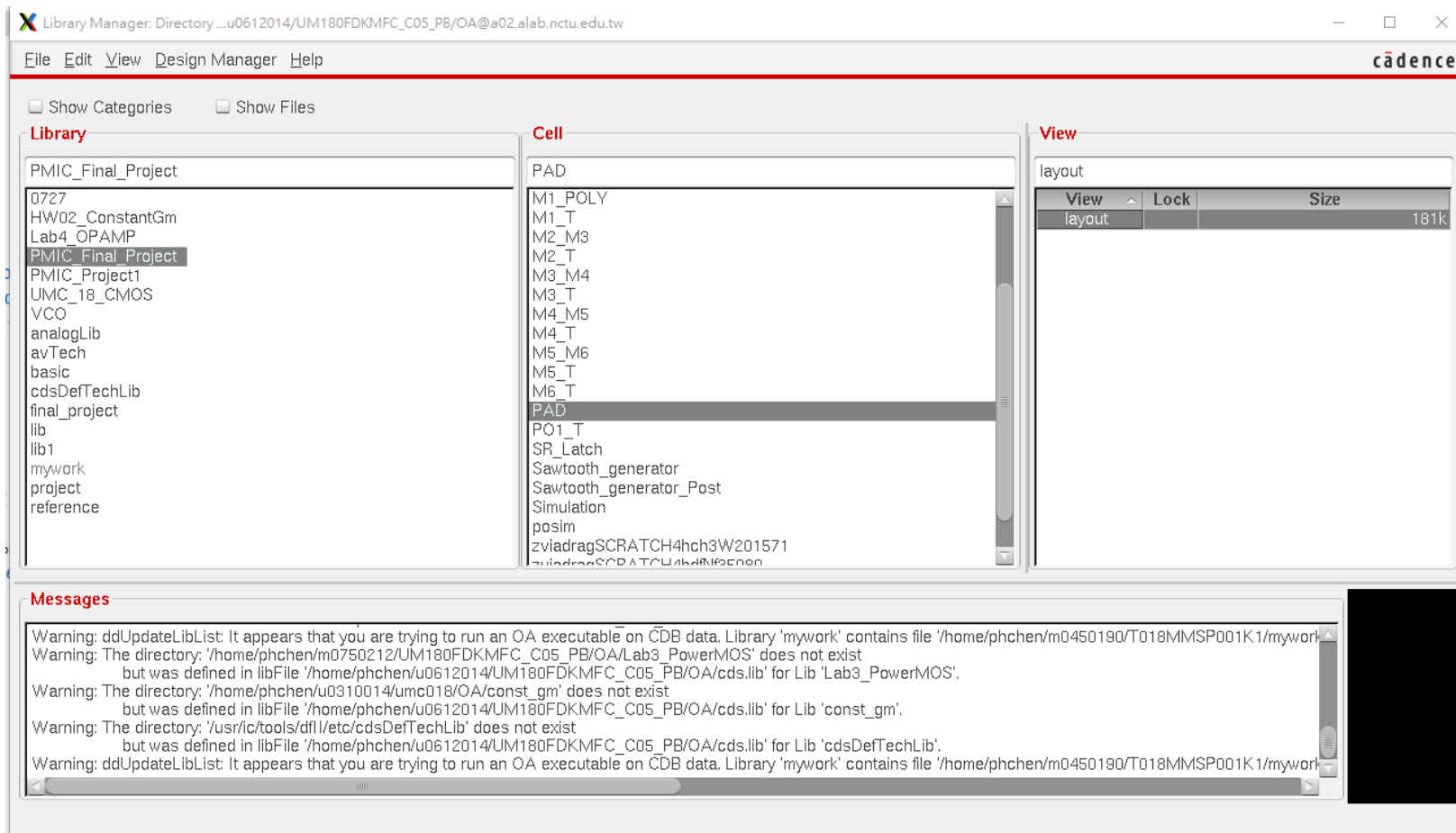
☐ Stream In to Virtual Memory

☒ Show Completion Message Box

Translate Cancel Apply Reset All Fields Help

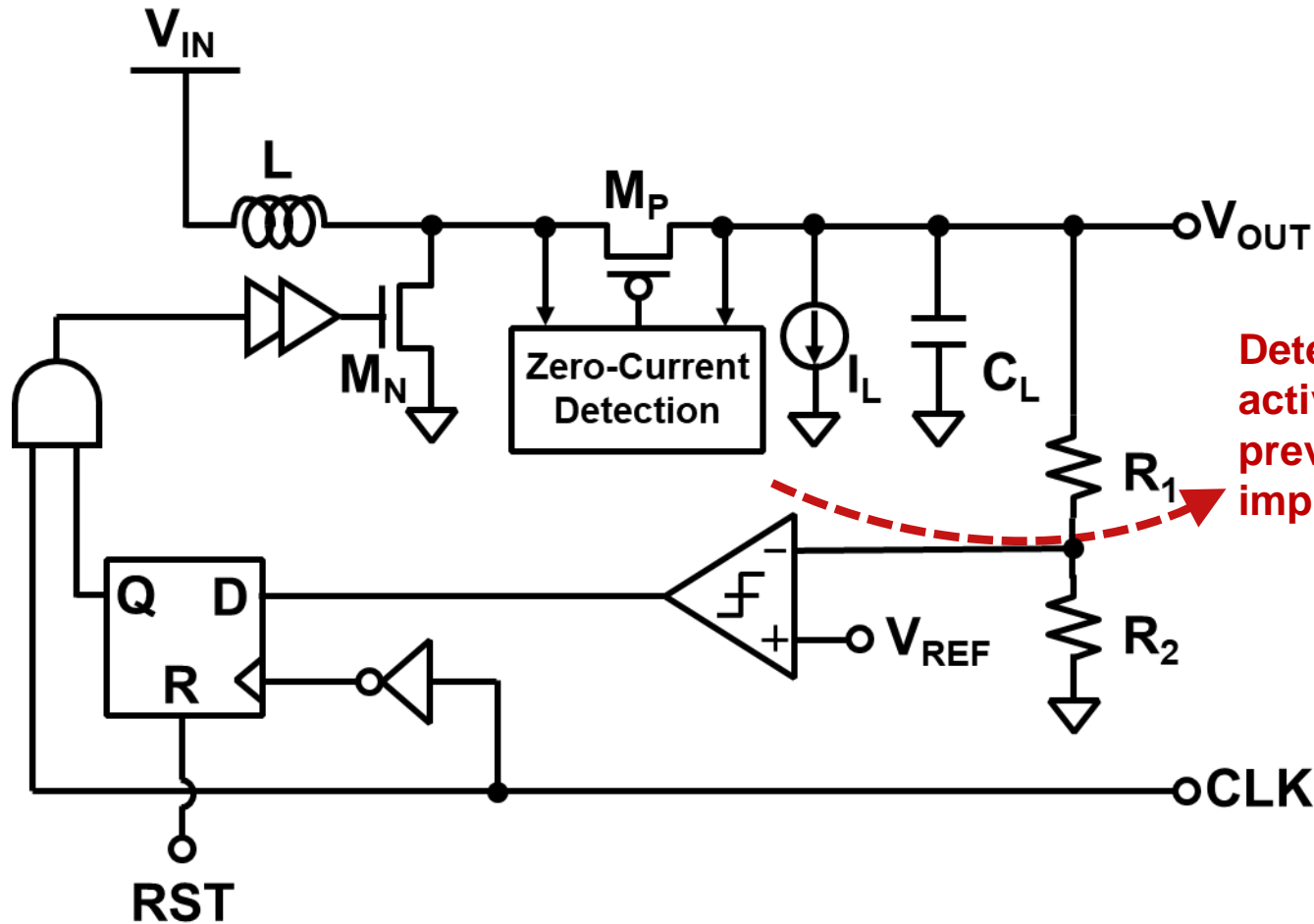
# PAD Import(3)

## ◆ 匯入完成後就可以在Library中找到Layout



# Bonus (pre-layout simulation)

## ◆ Close-loop Boost Converter with ZCD:



Detect  $V_{DS}$  of  $M_P$  and switch active diode  $M_P$  properly to prevent reverse current and improve PCE

# Final Project Notice

- ◆ 本次上機作業為Final Project的pre-layout simulation 部分。
- ◆ 請在報告中加入三個不同負載的Pre-sim.和Post-sim.模擬結果，Layout圖（並標註晶片長寬），DRC及LVS結果。報告中的波形圖請改用白底，並將線條加粗。
- ◆ 報告中請加入 $V_{OUT}$ ,  $V_{REF}$ ,  $V_{FB}$ ,  $V_{GN}$ ,  $I_L$  的波形圖，並註明清楚各波型名稱。
- ◆ 所有控制電路的VDD皆為 $V_{OUT}$ ，**控制電路的VDD不出PAD**（ $V_{OUT}$ 與控制電路的VDD需在電路內部相連）
- ◆ 使用initial condition功能設 $V_{OUT}$ 初始值為1.78V。
- ◆ 晶片面積以覆蓋全晶片（包括pad）的最小矩形面積進行計算。
- ◆ 晶片的**四周都需要圍pad**，且PAD與PAD之間不可以擺放電路，但可以補Metal, Diffusion或是Poly的Density，請各位同學在計算面積時用Layout的左右**最長**及上下**最長**距離相乘。
- ◆ 請萃取全晶片的**R+C+CC**進行post-layout simulation。



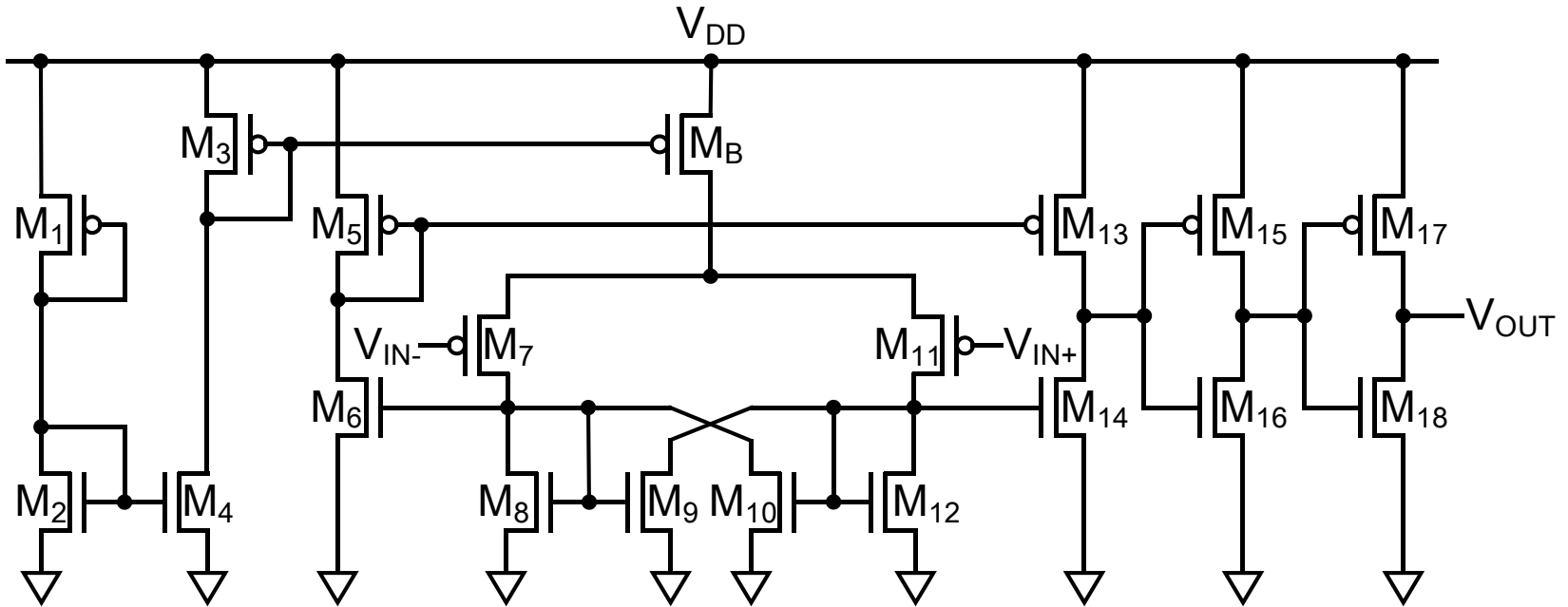
# Final Project Notice

- ◆ 若完成bonus電路，請在報告中說明電路實現方式並提供模擬結果驗證，bonus只要有完成（提供ZCD的功能驗證結果及與原版的效率比較），期末專題成績就直接加10分。
- ◆ 計算效率  $I_L=0.1\text{mA}$ : 取第2個充電cycle後的6個整數cycles的平均功率進行計算  
 $I_L=1\text{mA}$ ,  $5\text{mA}$  : 請取50us至1ms的完整整數週期(亦即僅扣除頭尾週期)的平均功率進行計算
- ◆ 效率誤差計算方法  $\rightarrow \text{Error} = \text{abs}(\text{presim效率} - \text{postsim效率}) < 2.5\%$
- ◆ 評分標準：
  1. DRC、LVS通過，分數為60分
  2. 通過三個負載的spec，分數為70分(若未通過spec則不計排名分數)
  3. 剩下30分評比FOM大小，按名次給分(排序從0分至滿分依序給分)
$$\text{FOM} = (\text{0.1mA的效率} + \text{1mA的效率} + \text{5mA的效率}) / \text{晶片面積}$$
- ◆ 作業繳交時間為**2023/09/04(一)晚上12點前**，請將作業報告寄至e3平台
- ◆ 請額外上傳Final project的gds檔，未上傳者期末專題0分。助教將會確認期末專題的模擬結果是否與報告內容一致，若數據有誤也同樣計0分。



# HW3 - Comparator

## ◆ Architecture and specification



### □ Comparator:

$M_1$ : (1 $\mu$ m/0.5 $\mu$ m)

$M_2$ : (1 $\mu$ m/0.5 $\mu$ m)

$M_3$ : (2 $\mu$ m/0.5 $\mu$ m)\*4

$M_4$ : (1 $\mu$ m/2 $\mu$ m)

$M_5$ : (2 $\mu$ m/0.5 $\mu$ m)

$M_6$ : (1 $\mu$ m/0.5 $\mu$ m)

$M_7$ : (2 $\mu$ m/0.5 $\mu$ m)\*4

$M_8$ : (2 $\mu$ m/0.18 $\mu$ m)

$M_9$ : (2 $\mu$ m/0.18 $\mu$ m)

$M_{10}$ : (2 $\mu$ m/0.18 $\mu$ m)

$M_{11}$ : (2 $\mu$ m/0.5 $\mu$ m)\*4

$M_{12}$ : (2 $\mu$ m/0.18 $\mu$ m)

$M_{13}$ : (2 $\mu$ m/0.5 $\mu$ m)

$M_{14}$ : (1 $\mu$ m/0.5 $\mu$ m)

$M_{15}$ : (2 $\mu$ m/0.18 $\mu$ m)

$M_{16}$ : (1 $\mu$ m/0.18 $\mu$ m)

$M_{17}$ : (2 $\mu$ m/0.18 $\mu$ m)\*2

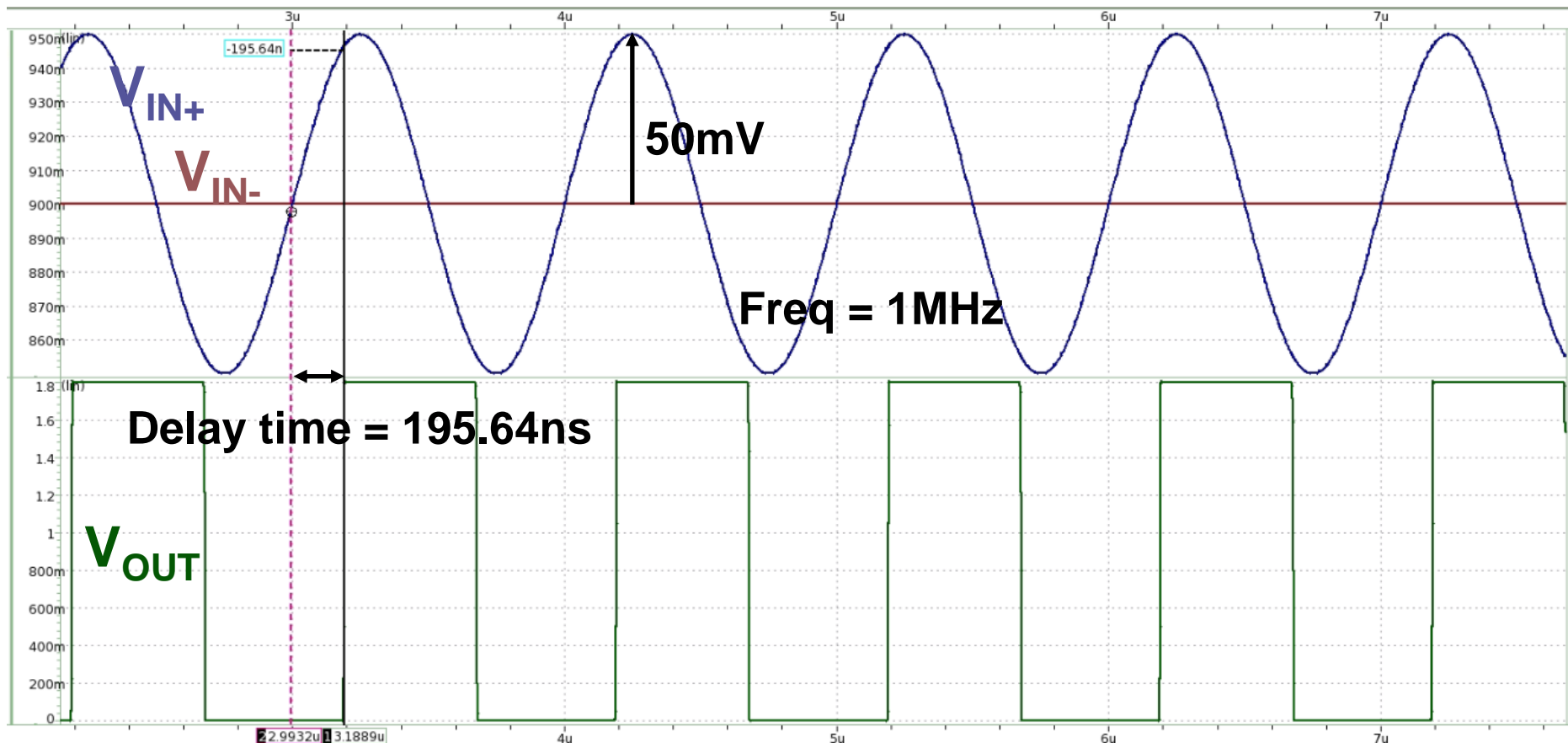
$M_{18}$ : (1 $\mu$ m/0.18 $\mu$ m)\*2

$M_B$ : (2 $\mu$ m/0.5 $\mu$ m)\*2



# HW3 - Comparator

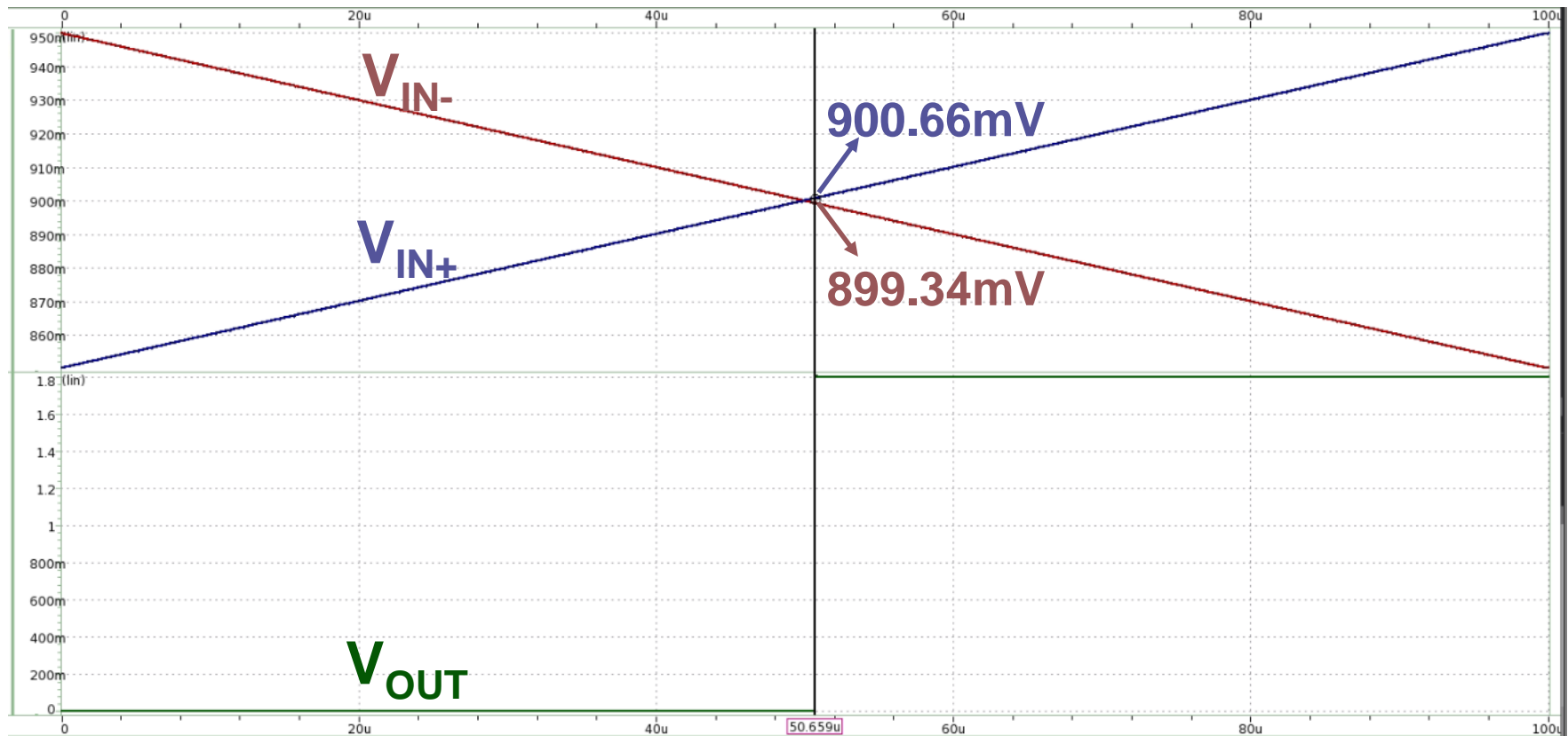
## ◆ Simulation Result(I): Delay time



# HW3 - Comparator

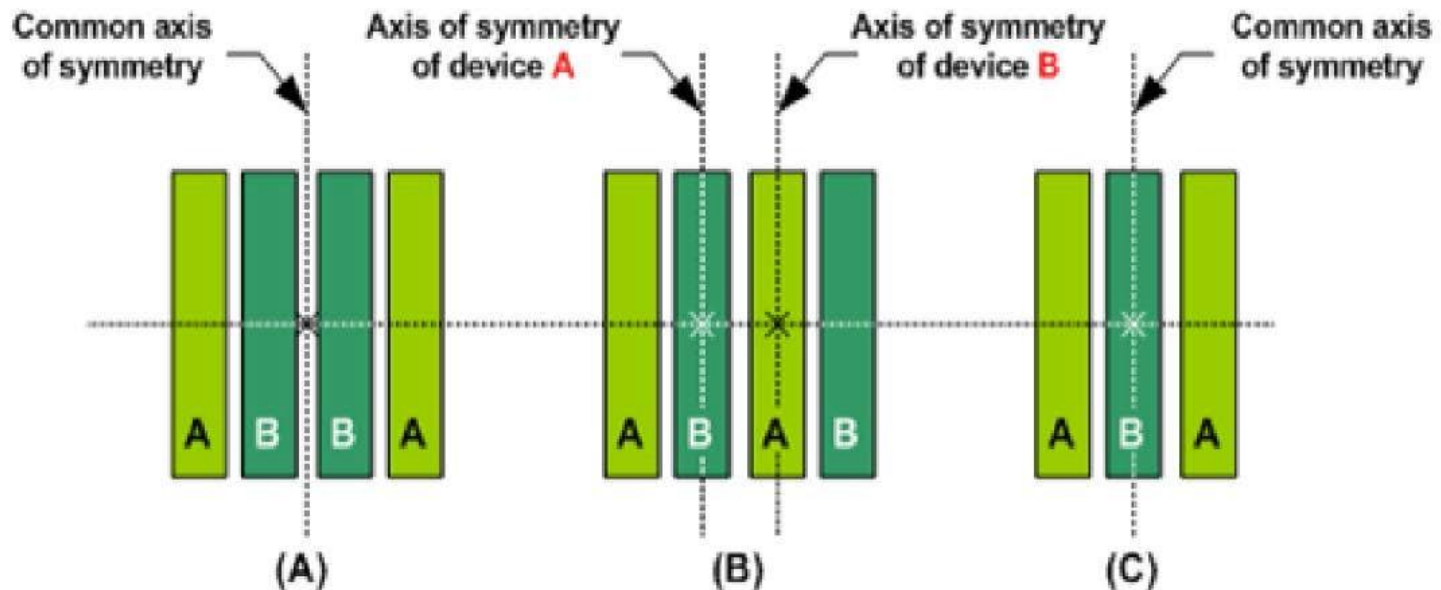
## ◆ Simulation Result(II): Offset voltage:

- ◆ Tran: stop time=100us, Vin+:950mV→850mV, Vin-: 850mV→950mV
- ◆ Offset voltage = 900.66mV- 899.34mV = 1.32mV



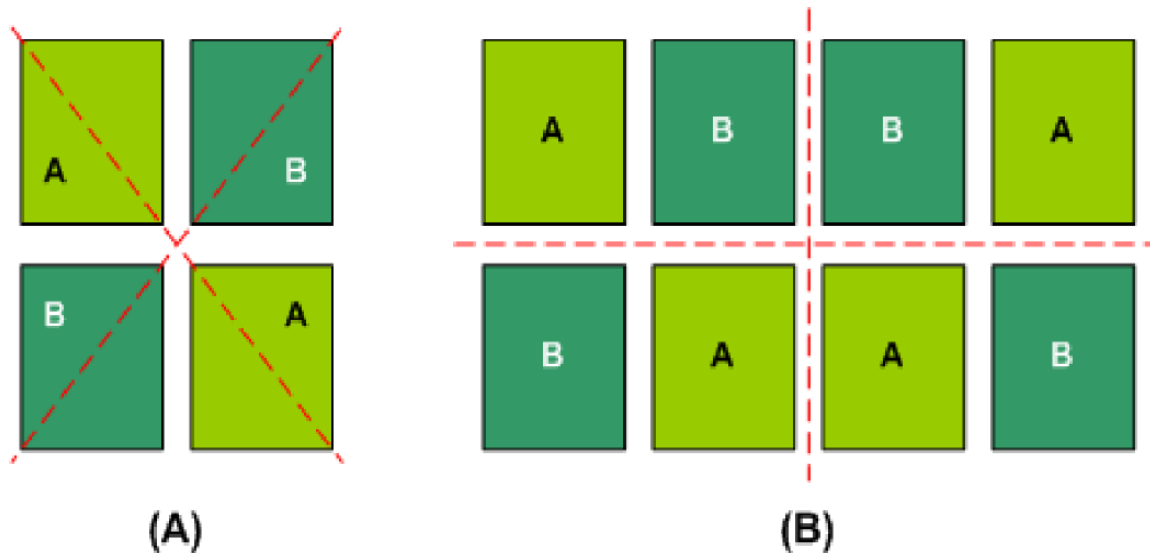
# Layout Skill

## ◆ 1-Dimensional Common-Centroid Arrays



# Layout Skill

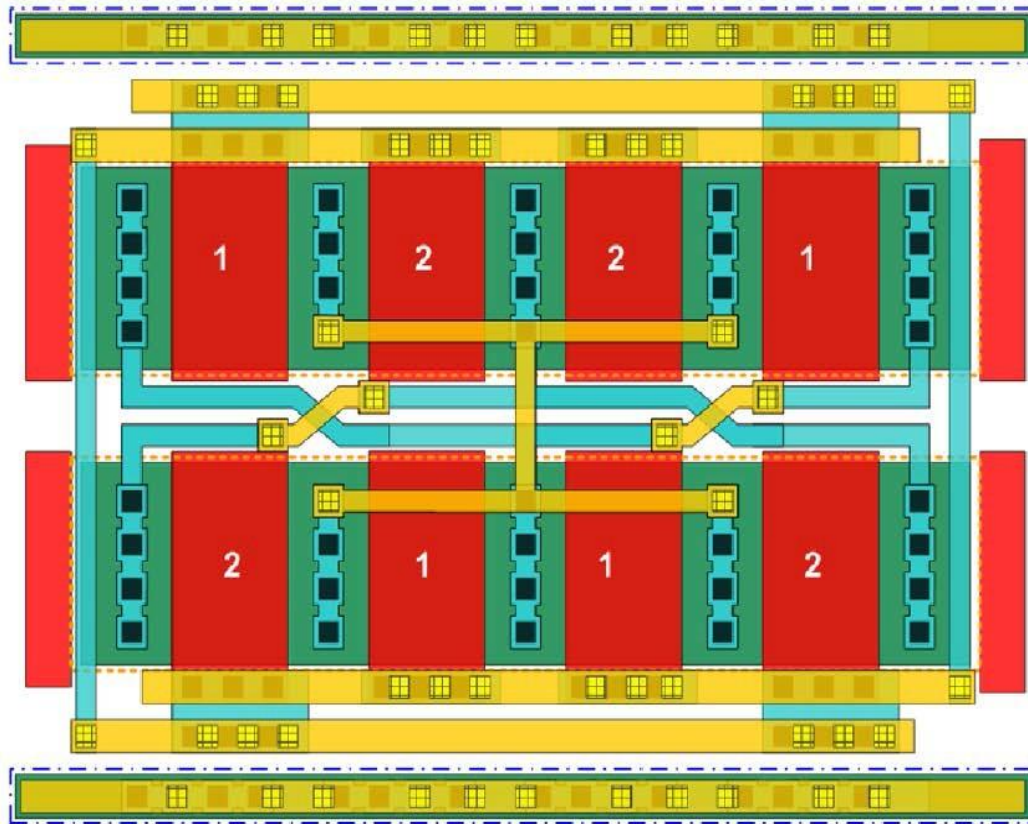
## ◆ 2-Dimensional Common-Centroid Arrays



# Layout Skill

## ◆ Differential Pair Layout Example

- Make sure the parasitic capacitors are also matched.



# HW3 – Comparator Layout

## ◆ Specification

Parameters	Pre-sim.	Post-sim.	Error(%)
VDD	1.8V	1.8V	
Offset voltage			
Delay time			

• Error計算：  
$$\frac{|POST - PRE|}{PRE} \times 100\%$$

- 繳交一份電子檔。
- 請在報告中加入Pre-sim.和Post-sim.模擬結果(Offset voltage及Delay time)，上表，Layout圖，DRC及LVS結果。報告中的波形圖請改用白底，並將線條加粗。
- Schematic及Layout所使用的finger/multiplier數請相同。
- 請在V<sub>OUT</sub>端加入**0.1pF**的電容（正端接V<sub>OUT</sub>，負端接地）進行模擬。
- Bonus:請設計比較器以達到遲滯的功能，spec請參考下一頁。(完成者HW3+25%)
- 若完成bonus電路，請在報告中附上設計結果並提供模擬結果驗證，並簡單敘述設計觀念，若無敘述設計觀念不給分。
- 作業繳交時間為**2023/08/21(一)晚上12點前**，請將作業報上傳至e3平台。

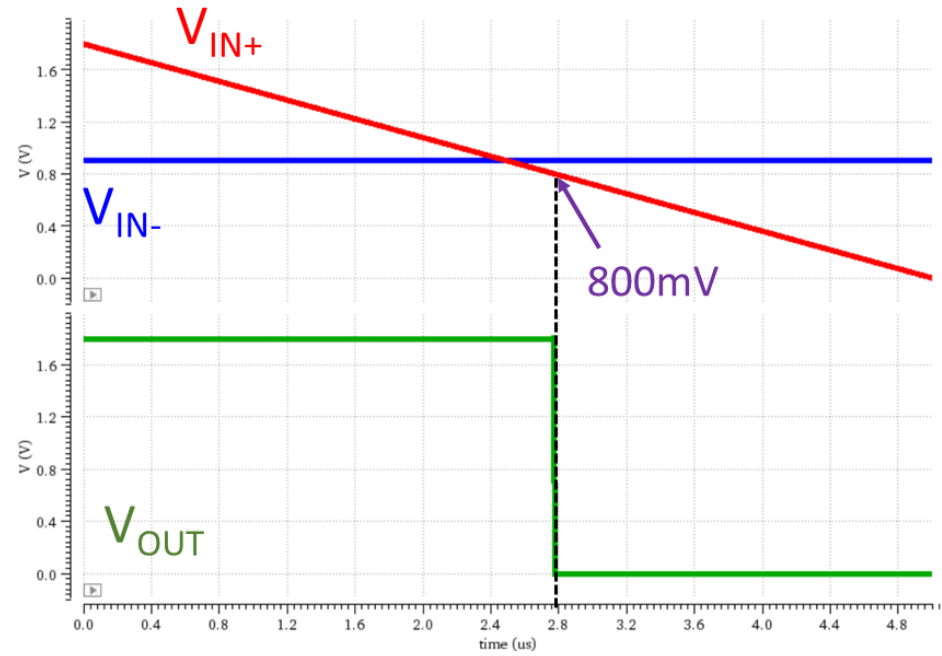
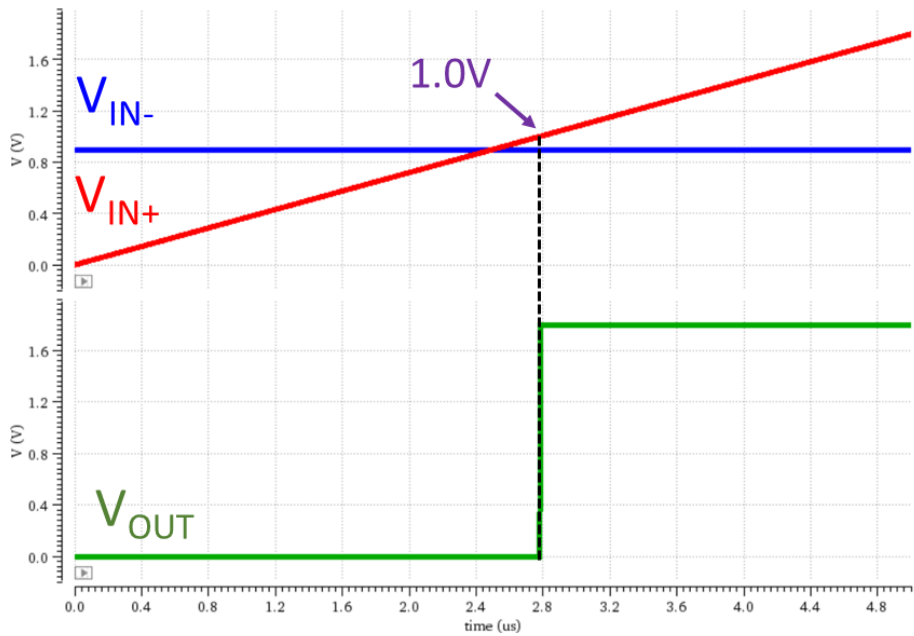




# HW3 - Bonus

## ◆ Design of a CMOS Comparator with Hysteresis

- ◆ Tran: stop time=5us,  $V_{in+}$ : 0V  $\leftrightarrow$  1.8V,  $V_{in-}$ : 0.9V
- ◆ For  $V_{in+}$  from 0V to 1.8V,  $V_{out}$  should rise @  $V_{in+}$  = 0.995V~1.005V (左圖)
- ◆ For  $V_{in+}$  from 1.8V to 0V,  $V_{out}$  should fall @  $V_{in+}$  = 795mV~805mV (右圖)
- ◆ Hint: 調整M9/M10的尺寸
- ◆ 模擬結果請參考下圖格式呈現, 並註明清楚切換的電壓分別為何



---

---

***Thank You !***



# Appendix

## ◆ D Flip-Flop Circuit:

