

IC Lab Formal Verification

Bonus Report 2024 Fall

Name: 蔡東宏

Student ID: 110511277

Account: iclab108

(a) What is Formal verification?

Formal verification 使用數學方法去驗證電路的正確型，它會在每一個 cycle 都檢查所有可能的組合測資，也會在第一個 cycle 檢查所有沒有給初始值的 register 的組合。類似於跑過所有的 input 和 register 的組合，並且檢查他們的數值。

What's the difference between **Formal** and **Pattern** based verification?

Formal verification 和 Pattern based verification 是兩種不同的驗證的方式，他們最主要的差別是 Formal verification 是透過數學的方法去窮舉所有的可能去檢查電路，而 Pattern based verification 是透過餵大量不同測資並且檢查答案是否與正確答案相同的方式去進行驗證。在大部分的情況下，像 AXI 這種 protocol 的電路比較適合使用 Formal verification 進行驗證，然而，像 Lab4 這種需要大量運算的電路比較適合用 Pattern based 進行驗證。

And list the pros and cons for each.

Formal verification pros: 因為 Formal verification 是利用窮舉的方法，所以它能夠確保所有的組合情況都檢查過，不會漏掉特定的 case 沒有檢查到。

Formal verification cons: 利用窮舉的方法雖然可以檢查到所有組合情況，但這就代表驗證的時間需要非常長，花費太久的時間在驗證。

Pattern based verification pros: Pattern based verification 相對於 Formal verification 更省時間，因為在餵完特定數量的測資之後，便能確保電路的正確性，不用等到所有情況都驗完。

Pattern based verification cons: 在特定情況下，Pattern based verification 會漏掉 corner case 的檢查，若 corner case 有錯誤的話，會造成晶片做出來之後，corner case 的輸入沒有辦法正確輸出。

(b) Explain SVA (SystemVerilog Assertions) and the roles of Assertion, Cover, and Assumption.

SVA 是一種驗證工具，它可以檢查電路的行為有沒有滿足 spec 以及檢查答案有沒有符合預期，也能夠檢查 pattern 的測資有沒有 cover 所有情況。

The roles of Assertion：用來檢查電路有沒有出現違反 spec 的現象發生，例如：檢查輸出訊號有沒有 rst。

The roles of Cover：用來檢查 pattern 給的側資或是電路上特定的點有沒有滿組所有可能的組合。

The roles of Assumption：Assumption 是用來告訴 tool 某些的輸入組合是不合法的，不用考慮這種情況。

What is glue logic?

在某些情況下，有些 property 的判斷式會非常複雜，因此就會使用 glue logic 去簡化 property 的判斷式，透過 glue logic，我們就能夠更簡化 property 裡面的邏輯，讓 property 裡面的 code 看起來更簡單。而這些 glue logic 通常不會被合成，所以不會有額外的 price。

Why will we use **glue logic** to simplify our SVA expression?

使用 glue logic 簡化 SVA expression 的目的是為了讓 code 的可讀性增加。

(c) What is the difference between **Functional coverage** and **Code coverage**?

Functional coverage 是根據設計者的需求去撰寫的，設計者需要去告訴 tool 此電路需要達到哪些 cover，且這些 cover 可以組成一個 covergroups，然而，這需要設計者花時間去手動產生。

Code coverage 會將 code 拆成 branch、statement 以及 expression，Tool 會檢查每一段 code 是否都有被執行，而 Code coverage 的好處是它可以讓 Tool 去自動生成，但缺點是有時候會產生不必要的警告。

What's the meaning of 100% code coverage, could we claim that our assertion is well enough for verification? Why?

No. 因為 code coverage 100% 只代表每一行的 code 都有被執行到，但不代表 code 的 function 正確，也不一定代表沒有違反任何 spec。

- (d) What is the difference between **COI coverage** and **proof coverage** for realizing checker's completeness? Try to explain from the meaning, relationship, and tool effort perspective.

Meaning : COI coverage 是根據 code 去慢慢往前找到甚麼 item 會影響到這個 cover point，意思就是根據 code 所寫出來的電路，慢慢回推哪些訊號會影響到最終的 outcome。而 proof coverage 是透過 formal engine 的方式，在給定所有組合的 input 下，去檢查每個週期所有的可能情況。

Relationship : Proof coverage 是 COI coverage 的一個子集合，因為 COI coverage 會慢慢往前去尋找哪些訊號影響到結果，而 Proof coverage 只會檢查是否有滿足所有可能的情況。

Tool effort : Proof coverage 需要更多的 Tool effort，因為 proof coverage 需要跑 formal engine 去驗證在所有組合的 input 下，結果是否有達到所有情況，而 COI coverage 比較類似於 structural analysis。因此，proof coverage 需要比 COI coverage 更多的 tool effort。

- (e) What are the roles of **ABVIP** and **scoreboard** separately?

Try to explain the definition, objective, and the benefit.

Definition : ABVIP(Assertion Based Verification Intellectual Properties)代表已經寫好的驗證 IP，在特定的 function 或 protocol，它的 spec 都是固定的情況下，我們就會使用別人寫好的驗證 IP 去驗證我們的電路，如此一來，可以節省寫驗證的時間，也增加驗證的可靠性。Scoreboard 的功能類似於 monitor，它會比較電路的輸出以及正確答案是否一致，是用來監測電路的 function 有沒有出錯的工具。

Objective : ABVIP 的目的是提升驗證的速度，使用先前已經寫好的驗證 IP 不僅能節省時間，也能增加驗證的可靠性。而 Scoreboard 的目的是用來監測電路的 function 是否正確。

Benefit : 使用 ABVIP 的好處是它能夠節省時間並增加嚴謹性以及可靠性，而 Scoreboard 的好處是能夠快速檢查電路的 function 有沒有出錯。

- (f) Among the JasperGold tools (Formal Verification, SuperLint, Jasper CDC, IMC Coverage), which one do you think is the most effective based on its functionality and typical application scenarios? Please explain your reasoning by describing a hypothetical scenario where this tool would be particularly beneficial, and discuss any potential challenges or limitations that might arise when using it.

我認為 Formal Verification 是一個非常好的工具，因為它能夠跑過所有的可能性，如此一來，就不會漏掉一些 case 沒有驗到，也能夠幫我檢查出電路是否有違反任何的 spec，在這種如此嚴謹的驗證下，我就能 100% 的確定電路沒有出問題，若等到晶片下線才發現問題，要修改便會非常麻煩，因此確定電路沒有問題是非常重要的。雖然能夠有效的驗證電路沒有問題，但在驗證的過程會花費非常多時間，因為它必須跑過所有的 case。