



vhdl-irdecoder

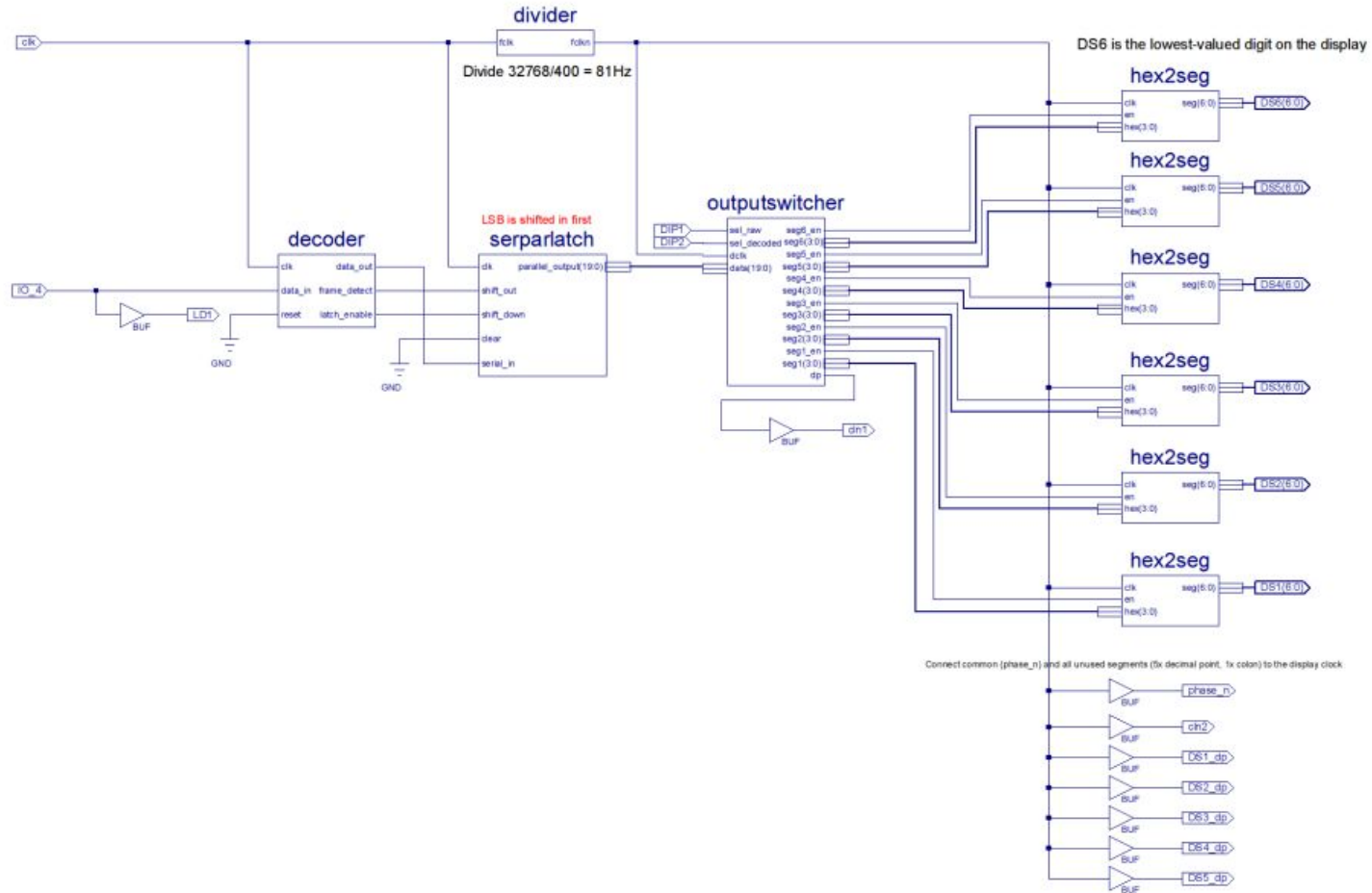
Miniprojekt Elektronische Systeme

Timo Lang

Aaron Schmocker

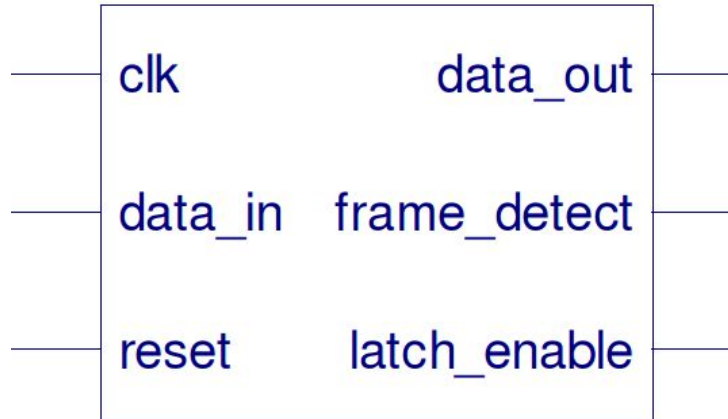


Grundidee



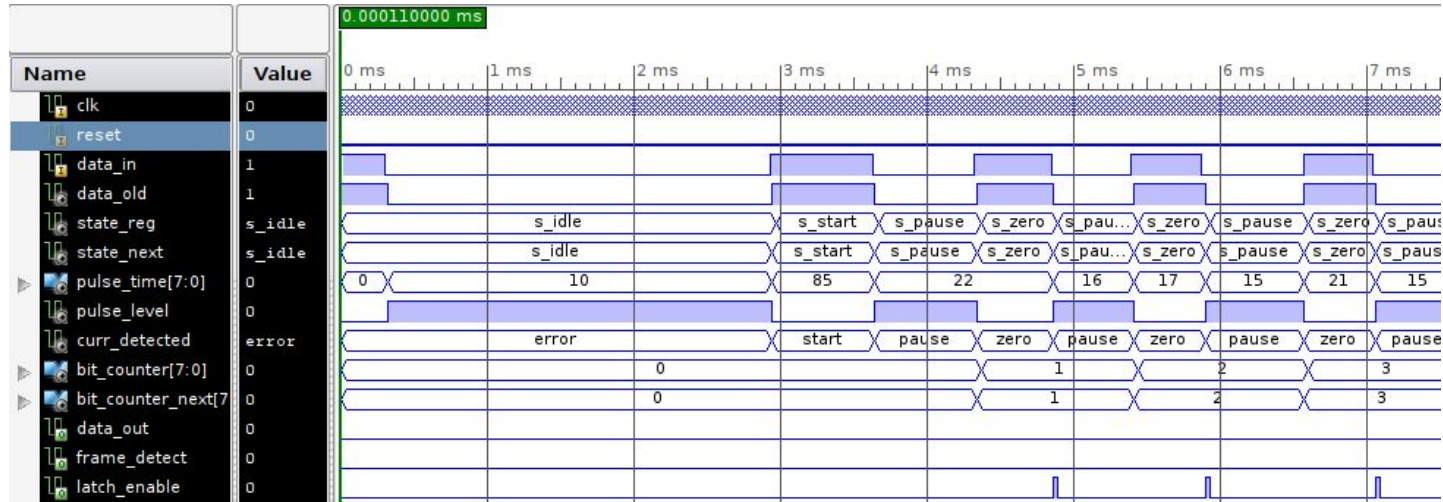
Decoder

decoder



- Messung der Puls-Breiten
- Umwandlung zu 'start', 'one', 'zero' mit Toleranzen
- Error detection
- Steuert Latch
- Steuer Schieberegister

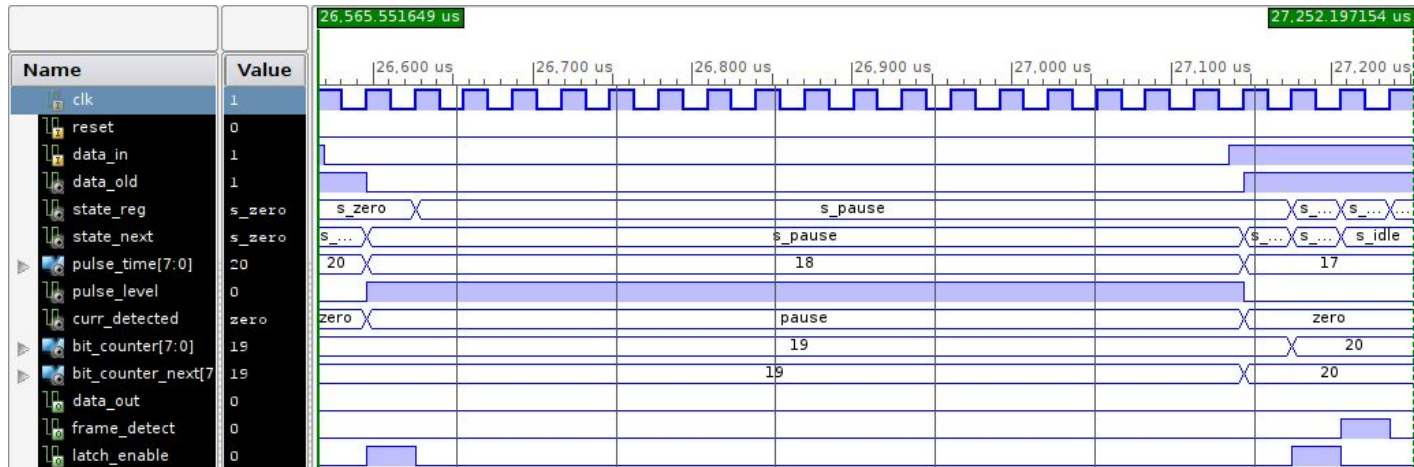
Decoder Testbench



- latch_enable jeweils nur 1 Clock-Zyklus aktiv
- Randomisierte Zeiten, um Toleranz zu prüfen

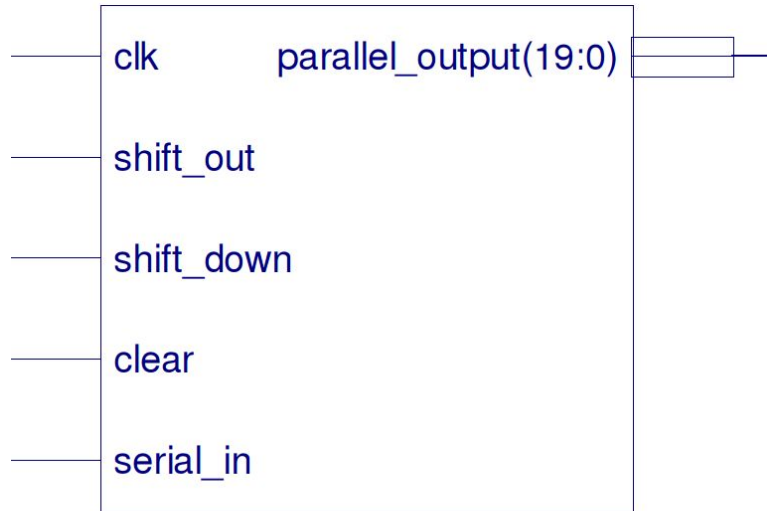
Decoder 2

- Timing bei/nach Empfang des 20. Bits



Seriell/Parallel Wandlung mit Buffer

serparlatch



- Serieller Eingang (LSB First)
- Paralleler Ausgang
- Latch-Ausgangsstufe (`shift_out`)
- Bitbreite durch Generic Parameter wählbar

Clock Divider

divider

clk

clk_n

- Teilt die Eingangsfrequenz
- 50/50 Duty-Cycle Ausgang
- Teilungsverhältnis durch generic Parameter wählbar

Divide $32768/400 = 81\text{Hz}$

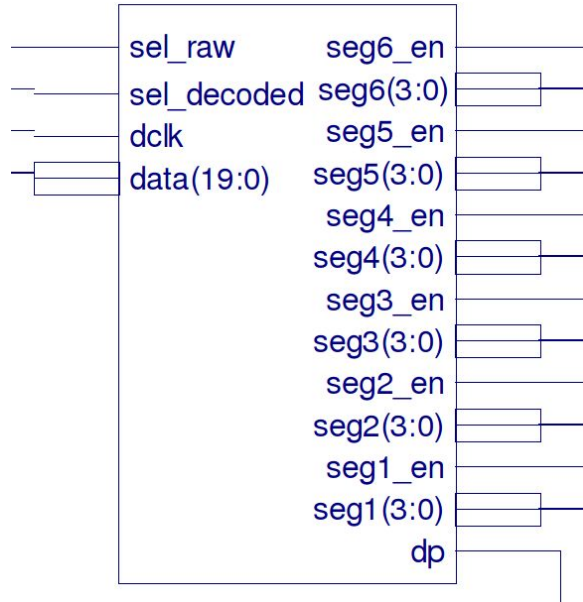
Output

DIP2	DIP1	Ausgabe
0	0	Display ausgeschaltet
0	1	Anzeige des 20 bittigen Komandos in Hex-Form (5 Ziffern)
1	0	Anzeige des decodierten Codes (siehe --->) oder "EE" bei Error. Die Darstellung erfolgt Dezimal (2 Ziffern)
1	1	Anzeige des decodierten Codes (2 Dezimalziffern), Trennzeichen und die 16 niederwertigsten Bits des empfangen Kommandos in Hex-Form (4-Ziffern).

Switch Nr.	Switch Name	Binary Data	Hex Data
1	Bright Down	00001001110100011111	09d1f
2	Bright Up	00001001110100011110	09d1e
3	Vertical Down	00001001110100001111	09d0f
4	Vertical Up	00001001110100001110	09d0e
5	Height Down	00001001110100101001	09d29
6	Height Up	00001001110100101000	09d28
7	Convergence Down	00001001110100101101	09d2d
8	Convergence Up	00001001110100101100	09d2c
9	Tilt left Down	00001001110100010001	09d11
10	Tilt right Down	00001001110100010000	09d10
11	Contrast Down	00001001110100011001	09d19
12	Contrast Up	00001001110100011000	09d18
13	Horizontal Left	00001001110100001101	09d0d
14	Horizontal Right	00001001110100001100	09d0c
15	With Left	00001001110100100111	09d27
16	With Right	00001001110100100110	09d26
17	Convergence Left	00001001110100101011	09d2b
18	Convergence Right	00001001110100101010	09d2a
19	Size Down	00001001110100111000	09d38
20	Size Up	00001001110100111011	09d37

Output Switcher

outputswitcher



- Eingänge zur Moduswahl (via Dip-Switch)
- Displayclock => für Trennzeichen (dp)
- Für jedes der 6 Segmente
 - Enable (High aktiv)
 - Anzuzeigende Hexzahl (0-F), unmoduliert

LCD Driver

hex2seg



- LCD muss mit Wechselsignal betrieben werden
- Moduliert CLK auf Ausgang
- Encodiert 4-bit Zahl auf 7-Segmente

Demonstration und Fragen