Organización del Computador 1

Práctica 2

1er cuatrimestre 2022

Índice

1. Ejercicio 1

Calculando las tablas de verdad podemos ver la equivalencia de las fórmulas booleanas.

1.a.

$p = (p.q) + (p.\overline{q})$

p	q	$(p.q)$	$+$	$(p.\overline{q})$
0	0	0	0	0
0	1	0	0	0
1	0	0	1	1
1	1	1	1	0

1.b.

$x.z = (x + y).(x + \overline{y}).(\overline{x} + z)$

x	y	z	$x.z$	$(x+y)$	.	$(x+\overline{y})$	.	$(\overline{x}+z)$
0	0	0	0	0	0	1	0	1
0	0	1	0	0	0	1	0	1
0	1	0	0	1	0	0	0	1
0	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	0	0
1	0	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	0
1	1	1	1	1	1	1	1	1

2. Ejercicio 2

Resolviendo mediante propiedades llegamos a 2 fórmulas que a priori no parecen ser equivalentes. Notar en la última línea que a la izquierda tenemos $\overline{y.z}$ mientras que a la derecha tenemos $\overline{y}.\overline{z}$.

$$x \oplus (y.z) = (x \oplus y).(x \oplus z)$$
$$\overline{x}.y.z + x.\overline{y.z} = (\overline{x}.y + x.\overline{y}).(\overline{x}.z + x.\overline{z})$$
$$\overline{x}.y.z + x.\overline{y.z} = (\overline{x}.y + x.\overline{y}).\overline{x}.z + (\overline{x}.y + x.\overline{y}).x.\overline{z}$$
$$\overline{x}.y.z + x.\overline{y.z} = \overline{x}.y.\overline{x}.z + x.\overline{y}.\overline{x}.z + \overline{x}.y.x.\overline{z} + x.\overline{y}.x.\overline{z}$$
$$\overline{x}.y.z + x.\overline{y.z} = \overline{x}.y.z + x.\overline{y}.\overline{z}$$

Calculamos la tabla de verdad para verificar.

x	y	z	x	$\oplus$	$(y.z)$	$(x \oplus y)$	.	$(x \oplus z)$	
1	1	1	1	0	1	0	0	0	
1	1	0	1	1	0	0	0	1	✖
1	0	1	1	1	0	1	0	0	✖
1	0	0	1	1	0	1	1	1	
0	1	1	0	1	1	1	1	1	
0	1	0	0	0	0	1	0	0	
0	0	1	0	0	0	0	0	1	
0	0	0	0	0	0	0	0	0	

Conclusión: la propiedad planteada es falsa.

3. Ejercicio 3

3.a.

Verdadero, con el operador NAND ($p|q = \overline{p.q}$) podemos representar todas las funciones booleanas: AND, OR, NOT.

Recordemos la tabla de verdad del NAND.

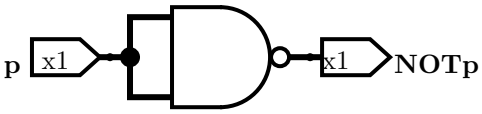
p	q	$p.q$	$p\|q = \overline{p.q}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

3.a.1. NOT

Utilizando la misma entrada 2 veces en un NAND podemos obtener un NOT.

$p|p = \overline{p}$

p	$p\|p$	$\overline{p}$
0	1	1
1	0	0

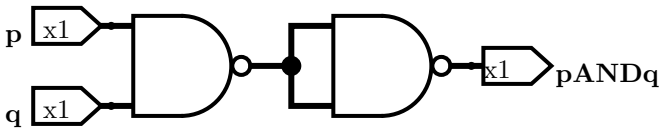


3.a.2. AND

Utilizando el NOT ya construido, podemos encadenarlo a la salida de un NAND para cancelar su negación y así obtener el resultado original del AND.

$(p|q)|(p|q) = p.q$

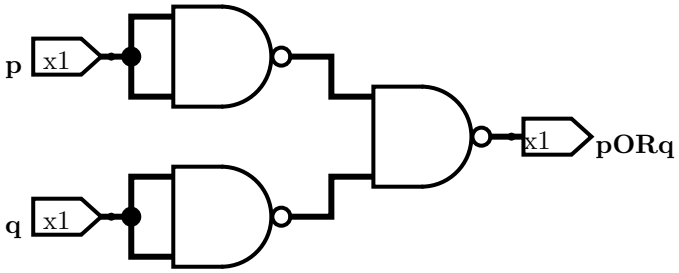
p	q	$p\|q$	$(p\|q)\|(p\|q)$	$p.q$
0	0	1	0	0
0	1	1	0	0
1	0	1	0	0
1	1	0	1	1



3.a.3. OR

$(p|p)|(q|q) = \overline{p}|\overline{q} = \overline{\overline{p}.\overline{q}} = \overline{\overline{p}} + \overline{\overline{q}} = p + q$

p	q	$(p\|p)$	$\|$	$(q\|q)$	$p+q$
0	0	1	0	1	0
0	1	1	1	0	1
1	0	0	1	1	1
1	1	0	1	0	1



3.b.

Verdadero, con el operador NOR ($p \downarrow q = \overline{p+q}$) podemos representar todas las funciones booleanas: AND, OR, NOT.

Recordemos la tabla de verdad del NOR.

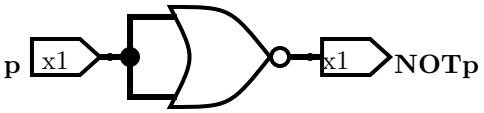
p	q	$p+q$	$p \downarrow q = \overline{p+q}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Observemos que los circuitos para armar las funciones booleanas utilizando solo la compuerta NOR son análogos a los utilizandos con la compuerta NAND.

3.b.1. NOT

$p \downarrow p = \overline{p}$

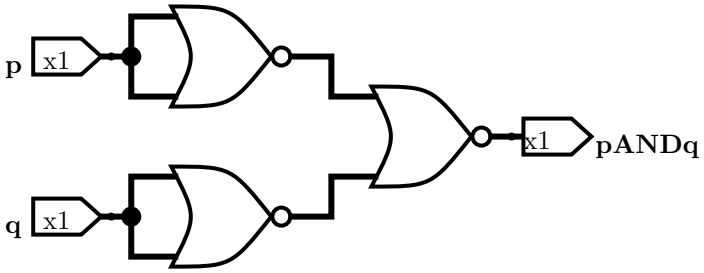
p	$p \downarrow p$	$\overline{p}$
0	1	1
1	0	0



3.b.2. AND

$(p \downarrow p) \downarrow (q \downarrow q) = \overline{p} \downarrow \overline{q} = \overline{\overline{p}+\overline{q}} = \overline{\overline{p}}.\overline{\overline{q}} = p.q$

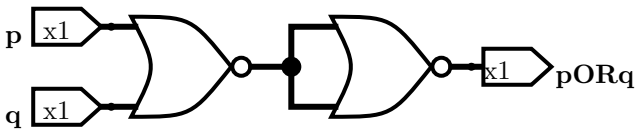
p	q	$(p \downarrow p)$	$\downarrow$	$(q \downarrow q)$	$p.q$
0	0	1	0	1	0
0	1	1	0	0	0
1	0	0	0	1	0
1	1	0	1	0	1



3.b.3. OR

$(p \downarrow q) \downarrow (p \downarrow q) = (\overline{p+q}) \downarrow (\overline{p+q}) = \overline{\overline{p+q}} = p+q$

p	q	$p \downarrow q$	$(p \downarrow q) \downarrow (p \downarrow q)$	$p + q$
0	0	1	0	0
0	1	0	1	1
1	0	0	1	1
1	1	0	1	1

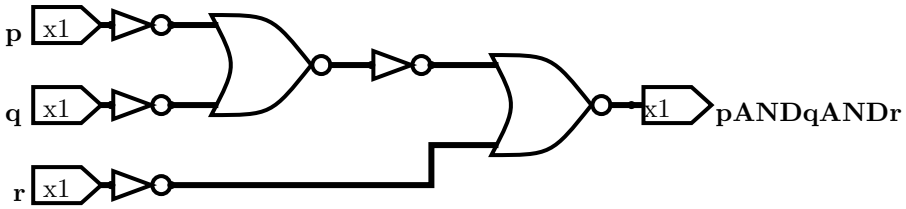


4. Ejercicio 4

Resuelto en el ejercicio 3.

5. Ejercicio 5

p	q	r	$p.q.r$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



6. Ejercicio 6

A	B	C	$F(A,B,C)$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Nota: La tabla de verdad fue ordenada para una lectura más fácil.

6.a.

$F(A,B,C) = \overline{A}.B.C + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.C$

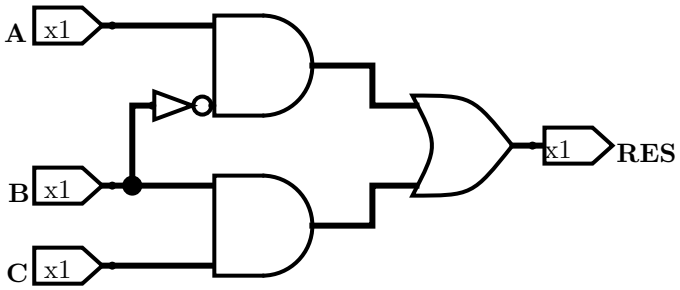
La implementación literal requiere un total de 15 compuertas: 3 OR, 8 AND y 4 NOT.

6.b.

$F(A,B,C) = \overline{A}.B.C + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.C = B.C(A + \overline{A}) + A.\overline{B}(\overline{C} + C) = B.C + A.\overline{B}$

La implementación optimizada requiere un total de 4 compuertas: 1 OR, 2 AND y 1 NOT.

A	B	C	$B.C$	$+$	$A.\overline{B}$
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	1	1	0
1	0	0	0	1	1
1	0	1	0	1	1
1	1	0	0	0	0
1	1	1	1	1	0



7. Ejercicio 7: demultiplexor

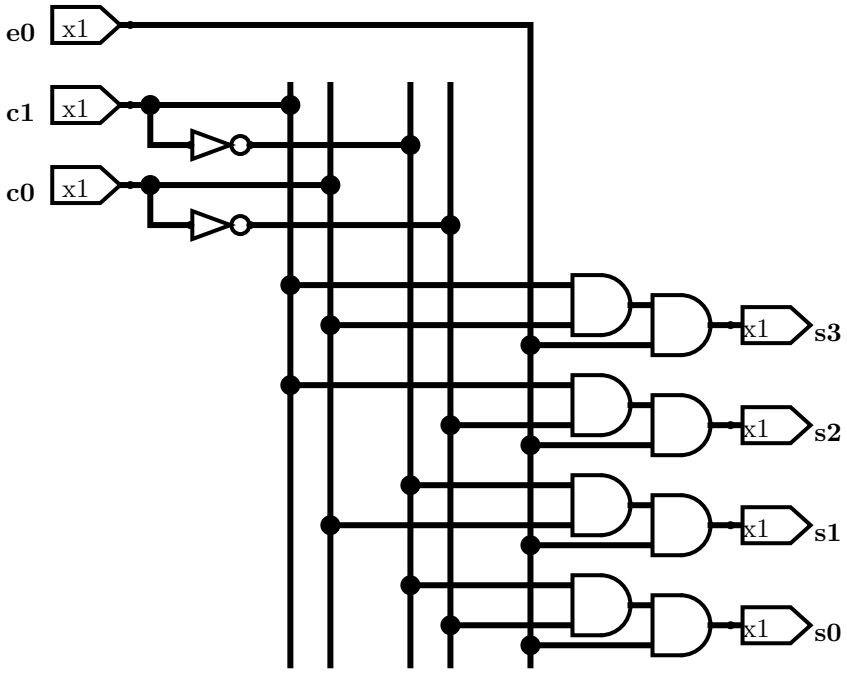
En la primer tabla de verdad planteamos una columna para los valores explícitos de e_0. En la segunda tabla eliminamos esta columna y en cambio planteamos e_0 como el valor de salida cuando las líneas de control computan a 1 para esa fila. Es decir, dada la fórmula booleana para cada salida, primero vemos si el AND entre las 2 líneas de control daría 1, y solo en ese caso el resultado final va a ser determinado por e_0. En todos los otros casos, como el AND entre las líneas de control da 0, es indistinto el valor de e_0 y la salida va a ser siempre 0.

c_1	c_0	e_0	s_3	s_2	s_1	s_0
0	0	0	0	0	0	0
0	1	0	0	0	0	0
1	0	0	0	0	0	0
1	1	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

c_1	c_0	s_3	s_2	s_1	s_0
0	0	0	0	0	e_0
0	1	0	0	e_0	0
1	0	0	e_0	0	0
1	1	e_0	0	0	0

Podemos plantear las siguientes fórmulas booleanas para cada una de las salidas.

$s_3 = c_1.c_0.e_0$ $s_2 = c_1.\overline{c_0}.e_0$ $s_1 = \overline{c_1}.c_0.e_0$ $s_0 = \overline{c_1}.\overline{c_0}.e_0$



8. Ejercicio 8: codificador

8.a.

e_0	e_1	e_2	e_3	s_1	s_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

$s_1 = \overline{e_0}.\overline{e_1}.e_2.\overline{e_3} + \overline{e_0}.\overline{e_1}.\overline{e_2}.e_3$

$s_0 = \overline{e_0}.e_1.\overline{e_2}.\overline{e_3} + \overline{e_0}.\overline{e_1}.\overline{e_2}.e_3$

Nota: Consideramos s_1 como el bit más significativo de la representación binaria del número i.

8.b.

Para determinar si el estado de la entrada es válido necesitamos que $v = 1$ únicamente cuando hay una sola entrada en 1.

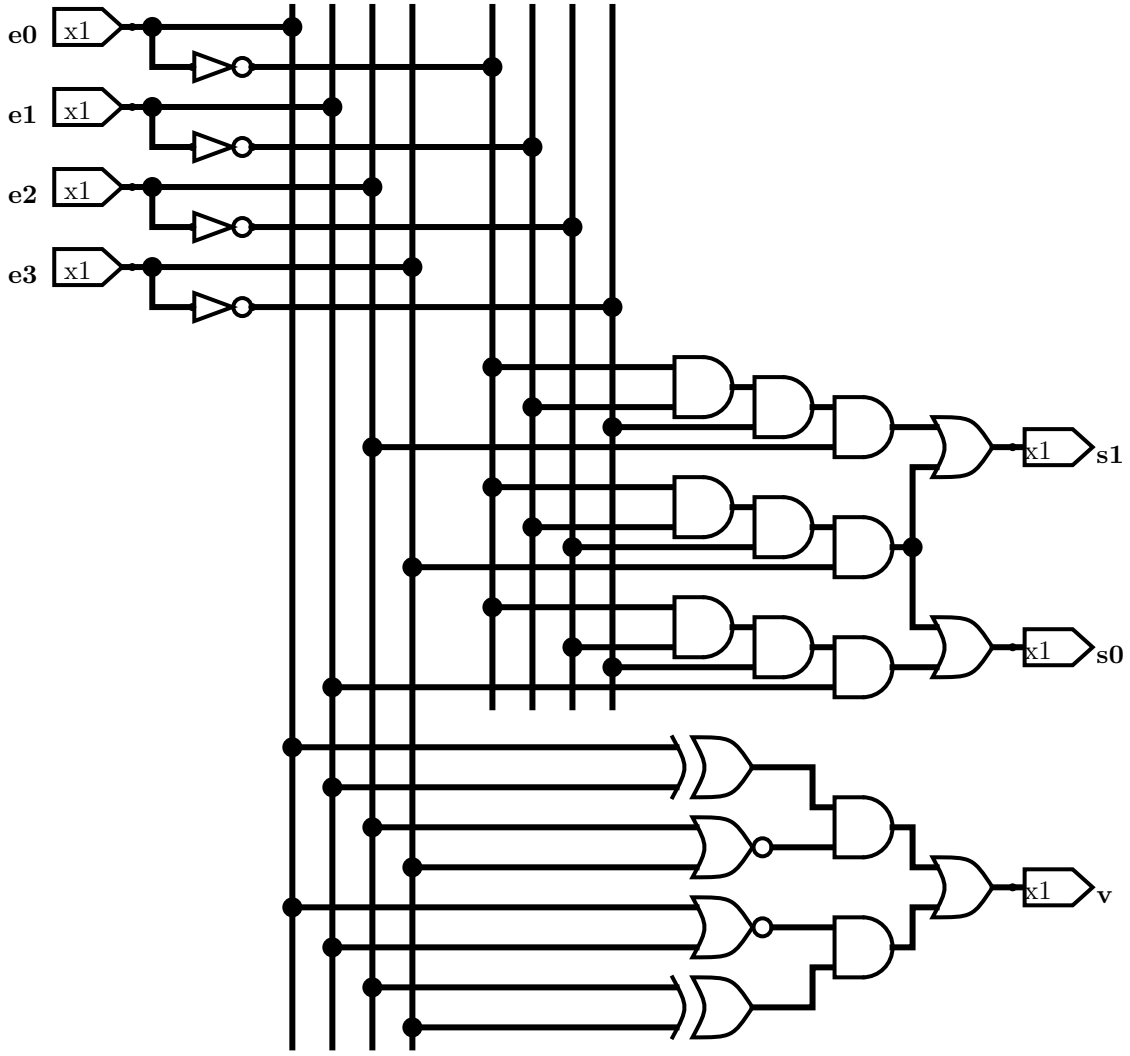
e_0	e_1	e_2	e_3	v
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Traducimos la tabla de verdad a una fórmula booleana literal y simplificamos usando propiedades.

$$
\begin{aligned}
v &= e_0.\overline{e_1}.\overline{e_2}.\overline{e_3} + \overline{e_0}.e_1.\overline{e_2}.\overline{e_3} + \overline{e_0}.\overline{e_1}.e_2.\overline{e_3} + \overline{e_0}.\overline{e_1}.\overline{e_2}.e_3 \\
&= (e_0.\overline{e_1} + \overline{e_0}.e_1).\overline{e_2}.\overline{e_3} + \overline{e_0}.\overline{e_1}.(e_2.\overline{e_3} + \overline{e_2}.e_3) \\
&= (e_0 \oplus e_1).(e_2 \downarrow e_3) + (e_0 \downarrow e_1).(e_2 \oplus e_3)
\end{aligned}
$$

La fórmula se puede describir de la siguiente forma: la salida v será 1 si e_0 o e_1 son 1 (pero no ambos al mismo tiempo) y a su vez e_2 y e_3 son ambos 0. O, de forma análoga, si e_2 o e_3 son 1 (pero no ambos al mismo tiempo) y a su vez e_0 y e_1 son ambos 0.

Planteamos un único circuito para el codificador con la salida que indica si la entrada está en un estado válido.

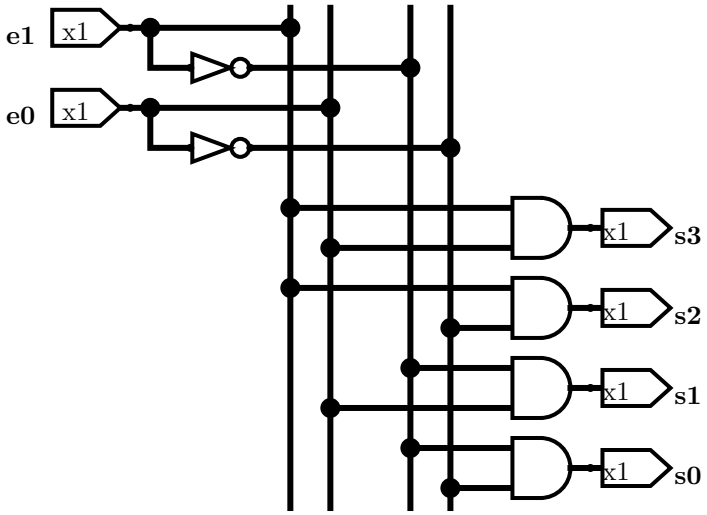


9. Ejercicio 9: decodificador

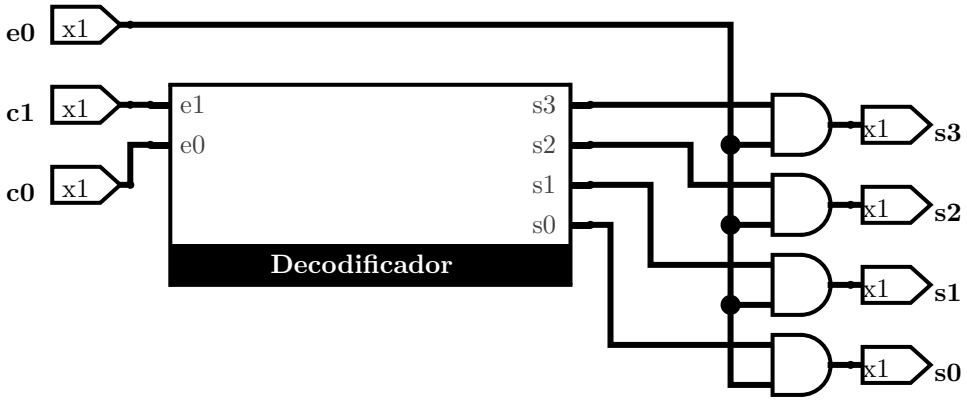
9.a.

e_1	e_0	s_3	s_2	s_1	s_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$s_3 = e_1.e_0$ $s_2 = e_1.\overline{e_0}$ $s_1 = \overline{e_1}.e_0$ $s_0 = \overline{e_1}.\overline{e_0}$



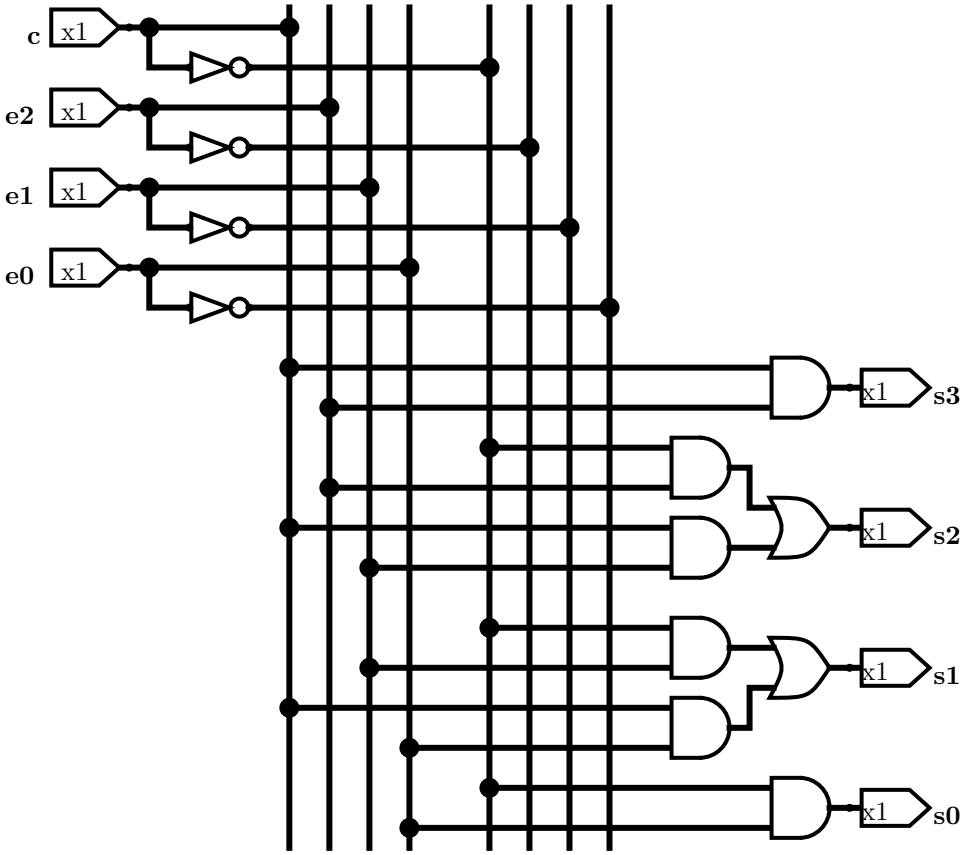
9.b.



10. Ejercicio 10: carry left shifter 3-4

10.a.

$s_3 = c_0.e_2 \qquad s_2 = \overline{c_0}.e_2 + c_0.e_1 \qquad s_1 = \overline{c_0}.e_1 + c_0.e_0 \qquad s_0 = \overline{c_0}.e_0$



10.b.

El shift a la izquierda equivale a multiplicar por 2. El shift a la derecha equivale a la división entera por 2 (es decir, dividir por 2 redondeado hacia abajo).

$0110_2 = 6_{10}$
$0110_2 \ll 1 = 1100_2 = 12_{10}$
$0110_2 \gg 1 = 0011_2 = 3_{10}$

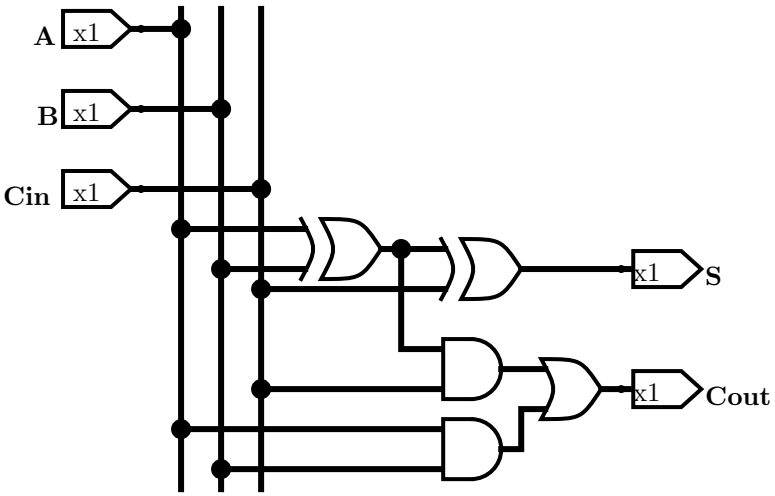
$0101_2 = 5_{10}$
$0101_2 \ll 1 = 1010_2 = 10_{10}$
$0101_2 \gg 1 = 0010_2 = 2_{10}$

11. Ejercicio 11: full adder de 1 bit

11.a.

$$
\begin{aligned}
S &= \overline{A}.\overline{B}.C_{in} + \overline{A}.B.\overline{C_{in}} + A.\overline{B}.\overline{C_{in}} + A.B.C_{in} \\
&= (\overline{A}.\overline{B} + A.B).C_{in} + (\overline{A}.B + A.\overline{B}).\overline{C_{in}} \\
&= (\overline{A \oplus B}).C_{in} + (A \oplus B).\overline{C_{in}} \\
&= (A \oplus B) \oplus C_{in}
\end{aligned}
$$

$$
\begin{aligned}
C_{out} &= \overline{A}.B.C_{in} + A.\overline{B}.C_{in} + A.B.\overline{C_{in}} + A.B.C_{in} \\
&= (\overline{A}.B + A.\overline{B}).C_{in} + (\overline{C_{in}} + C_{in}).A.B \\
&= (A \oplus B).C_{in} + A.B
\end{aligned}
$$



11.b.

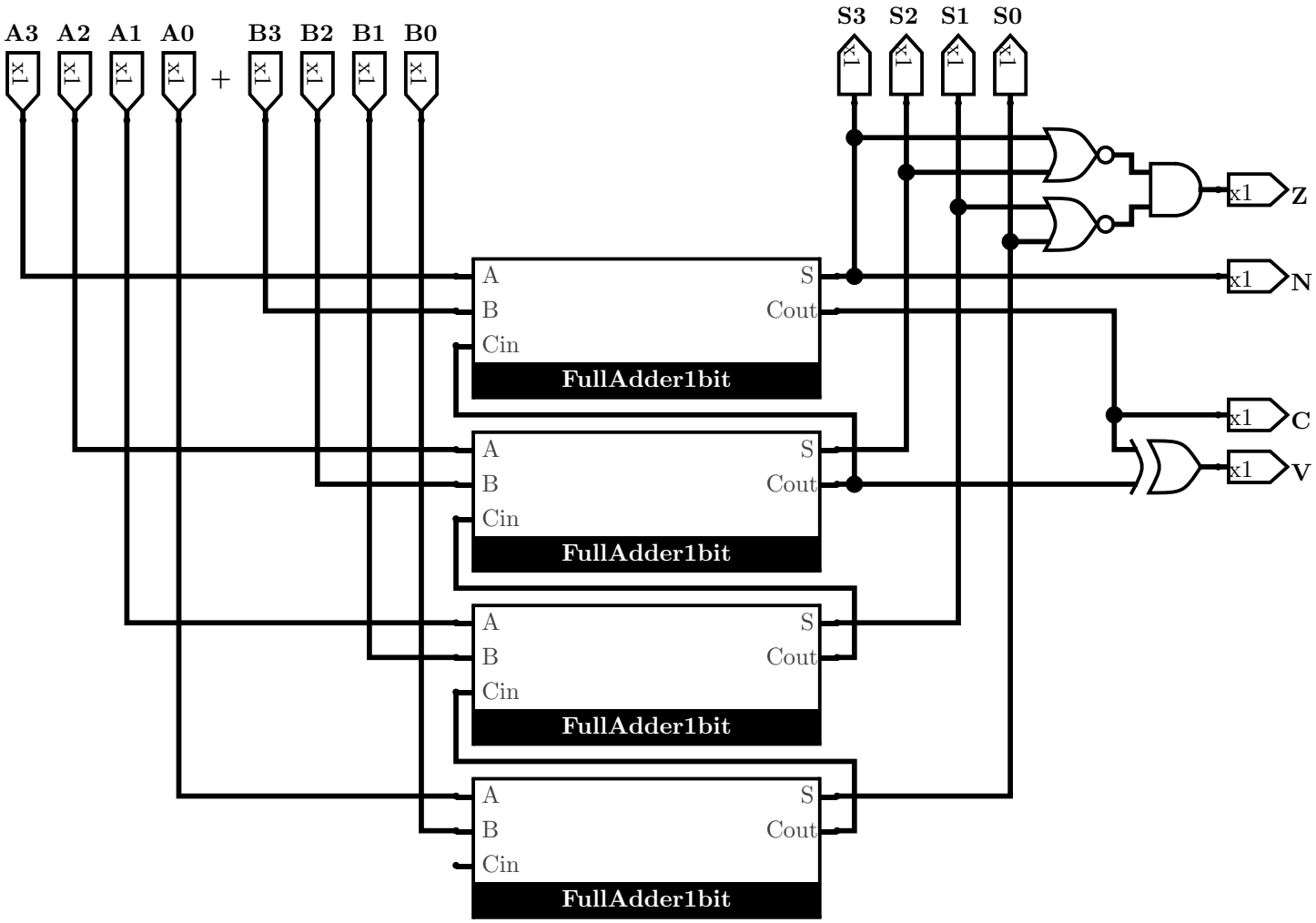
El retardo total del circuito será $max\{\text{retardo}(S), \text{retardo}(C_{out})\}$. La salida S utiliza 2 compuertas mientras que C_{out} utiliza 4. Nos concentramos entonces en ver el retardo de C_{out} para cada instante.

1. Se activan las compuertas para las operaciones: $A \oplus B$ y $A.B$
2. Se activa la compuerta para la operación AND: $(A \oplus B).C_{in}$
3. Se activa la compuerta para la operación OR: $(A \oplus B).C_{in} + A.B$

Por lo tanto, el retardo total del circuito para producir todas su señales de salida es de $3t$.

12. Ejercicio 12: full adder de 4 bits

12.a.



Nota: Este circuito ya incluye los flags del item b.

12.b.

- Negative: $N = S_3$
- Overflow: $V = C_{in3} \oplus C_{out3}$
- Carry: $C = C_{out3}$
- Zero: $Z = (S_0 \downarrow S_1).(S_2 \downarrow S_3)$

12.c.

Sí, el circuito funciona para sumar números codificados en notación sin signo. Pero habría que ajustar los flags de la siguiente forma:

- Negative: no aplica ya que estamos sumando números sin signo
- Overflow: se ignora
- Carry: es el nuevo flag de overflow
- Zero: sin cambios