

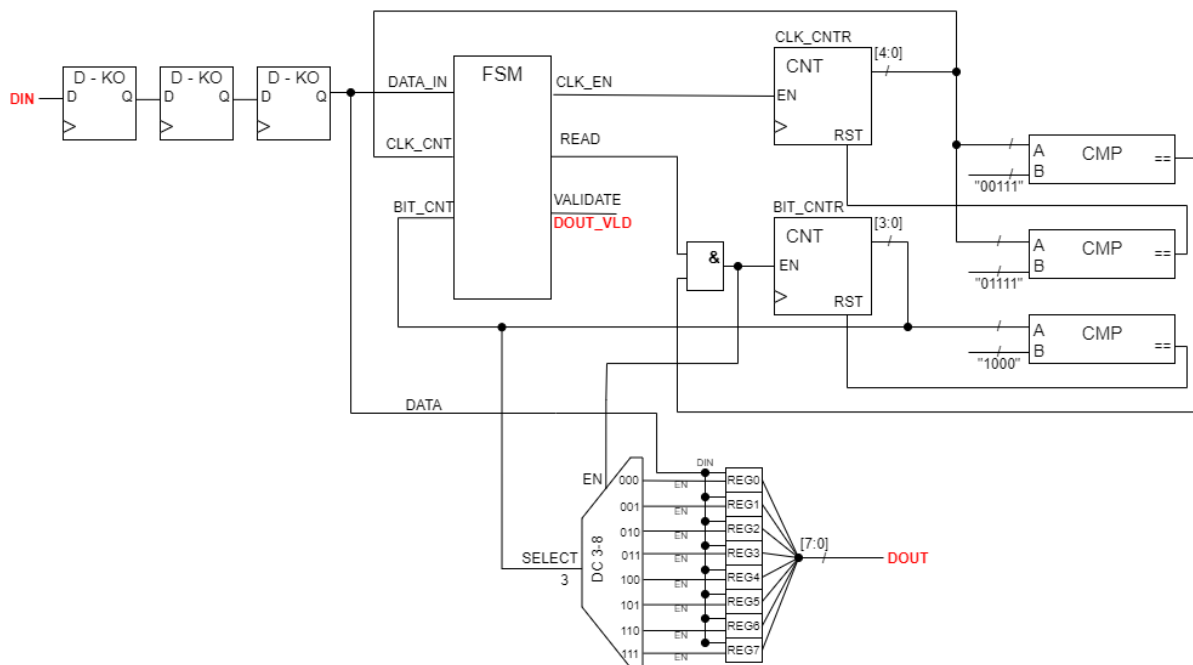
# Výstupní zpráva

**Jméno:** Jan Štefan Hodák

**xlogin:** xhodakj00

## Architektura navrženého obvodu

### Schéma obvodu



### Popis funkce

Vstup dat DIN je proveden skrz stabilizační obvod, aby se zabránilo metastabilním stavům. Na základě DIN upravuje FSM jednotlivé výstupní signály. Počítadlo CLK\_CNTR počítá cykly hodin a při hodnotě 15 se resetuje. Hodnota na výstupu BIT\_CNTR se zvyšuje pokaždé, kdy je na výstupu CLK\_CNTR hodnota 8 a zároveň je aktivní výstup READ z FSM. (Tímto se předejde zvýšení hodnoty, kdy je na vstupu ještě Start-bit.)

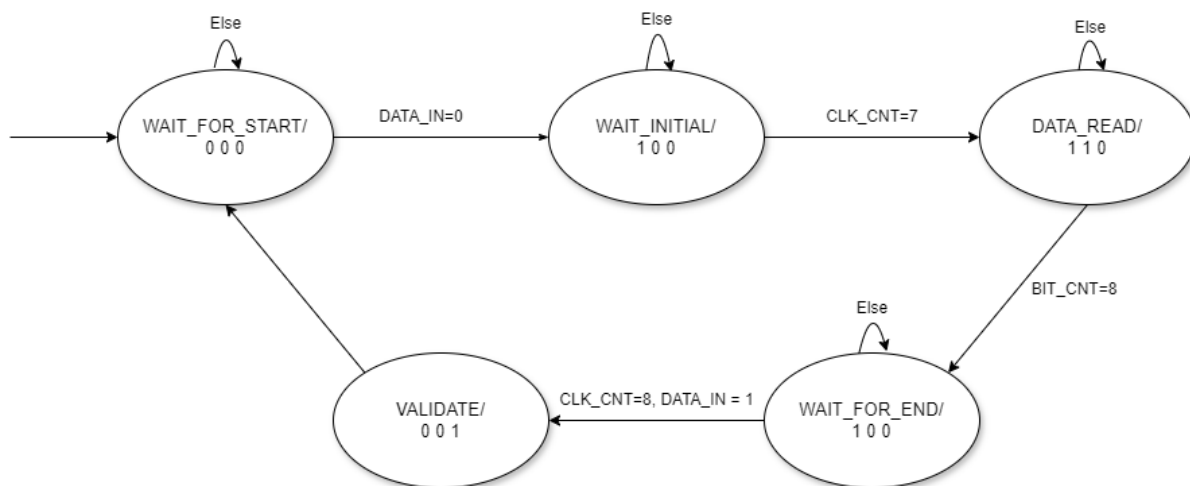
Při přechodu do stavu WAIT\_INITIAL se přepne signál CLK\_EN a počítadlo CLK\_CNTR se spustí. Po 8 cyklech hodin FSM nastaví signál READ na 1. Dekodér určuje, do kterého registru se má hodnota zapsat pomocí signálu BIT\_CNT. Když signál CLK\_CNT má hodnotu 7 a zároveň je aktivní signál READ, DIN se zapíše do registru, který je právě odemčen pomocí dekodéru. Po každém zápisu bitu do registru se hodnota BIT\_CNTR zvýší, tzn. po zápisu všech osmi bitů zprávy se hodnota zvýší na 8 a tím FSM přechází do stavu, kde čeká na stop-bit. Po obdržení stop-bitu FSM vyšle signál DOUT\_VLD a přejde do stavu, kde opět čeká na příchod start-bitu.

# Návrh automatu (Finite State Machine)

## Schéma automatu

Legenda:

- Stavy automatu: WAIT\_FOR\_START, WAIT\_INITIAL, DATA\_READ, WAIT\_FOR\_END, VALIDATE
- Vstupní signály: DATA\_IN, CLK\_CNT, BIT\_CNT
- Moorovy výstupy: CLK\_EN, READING, VALID



## Popis funkce

Automat začíná ve stavu WAIT\_FOR\_START, kde čeká na Start-bit (log. 0). Když přijde log. 0 automat se přepíná do stavu WAIT\_INITIAL, kde čeká 7 cyklů hodin do mid-bitu startbitu zprávy. V DATA\_READ se načtou mid-bity všech bitů. Když je načteno 8 bitů, automat se přepne do stavu WAIT\_FOR\_END, kde čeká na end-bit (log. 1). po načtení end-bitu automat přechází do stavu VALIDATE, kde potvrdí výstup a poté přejde do počátečního stavu WAIT\_FOR\_START.

