



آزمایشگاه مدارهای منطقی

دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف

تابستان ۱۴۰۲



گروه شماره ۱

۴۰۱۱۰۶۲۹۹	-	سعید فراتی کاشانی
۴۰۱۱۰۵۵۶۱	-	معین آعلی
۴۰۱۱۰۶۲۰۹	-	حورا عابدین

فهرست عناوین

۱.	عنوان آزمایش:.....	۲
۲.	هدف از انجام آزمایش:.....	۲
۳.	قطعات:.....	۲
۳.۱.	لیست قطعات:.....	۲
۳.۲.	دیتاشیت تراشه‌های استفاده شده:.....	۲
۴.	شرح آزمایش:.....	۳
۴.۱.	انواع سیگنال های ورودی:.....	۳
۴.۲.	مدار پیاده‌سازی شده در پروتئوس:.....	۴

۱. عنوان آزمایش:

آشنایی با ALU، ثبات‌ها و گذرگاه داده.

۲. هدف از انجام آزمایش:

هدف از انجام این آزمایش آشنایی با ALU، ثبات‌ها و گذرگاه داده می‌باشد.

۳. قطعات:

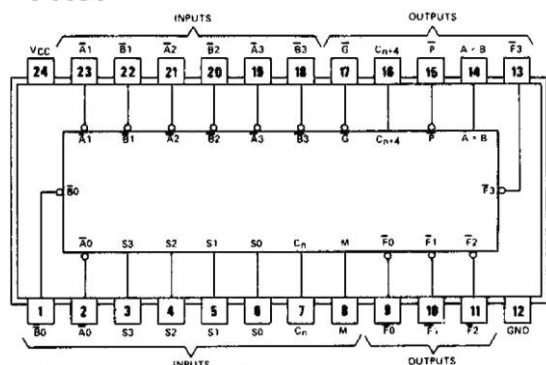
۳/۱. لیست قطعات:

- یک عدد تراشه ۷۴۱۸۱ - ALU
- دو عدد تراشه ۷۴۱۷۵ - Register
- دو عدد تراشه ۷۴۱۵۷ - MUX
- گیت‌های AND, OR, XOR, XNOR
- گیت NOT
- دوازده عدد LED
- هفت عدد Push Button

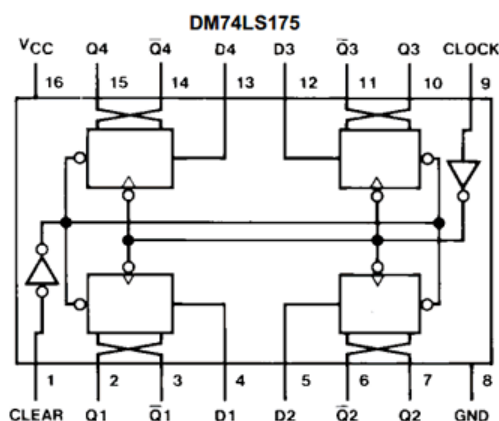
۳/۲. دیتاشیت تراشه‌های استفاده شده:

- تراشه‌ی ۷۴۱۸۱:

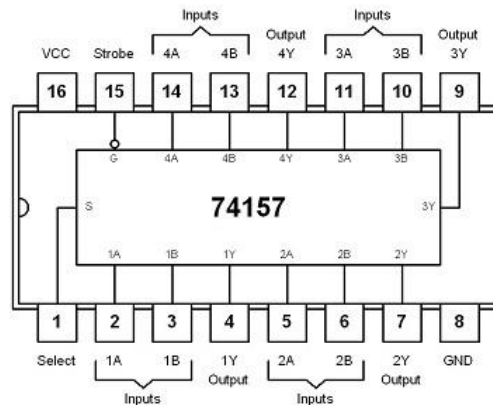
74181



- تراشه‌ی ۷۴۱۷۵:



• تراشه‌ی ۷۴۱۵۷:



۴. شرح آزمایش:

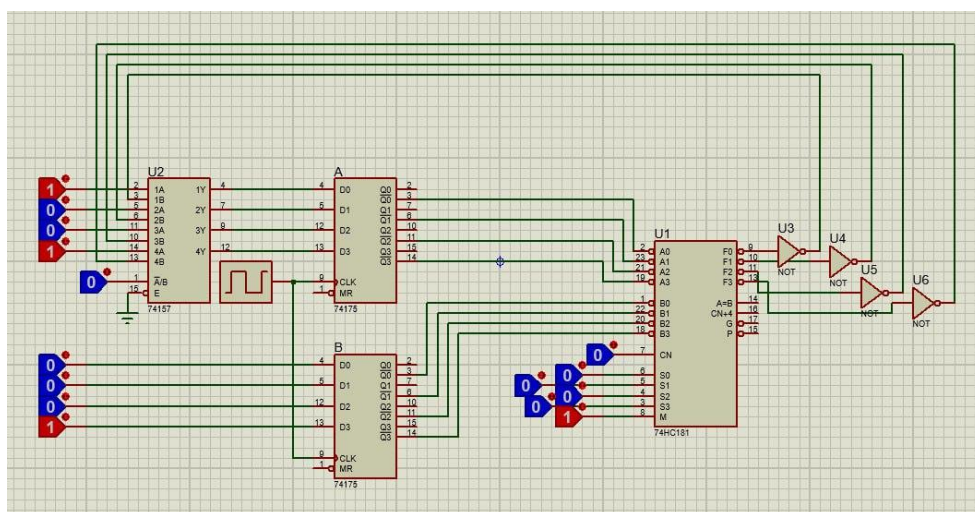
می‌خواهیم مداری طراحی می‌کنیم که دارای دو ثبات A , B ، یک ALU و یک کنترل‌کننده است و با دادن کدهای مختلف به کنترل‌کننده، اعمال مختلفی روی ثبات‌های A و B انجام می‌شود.

۴/۱. انواع سیگنال‌های ورودی:

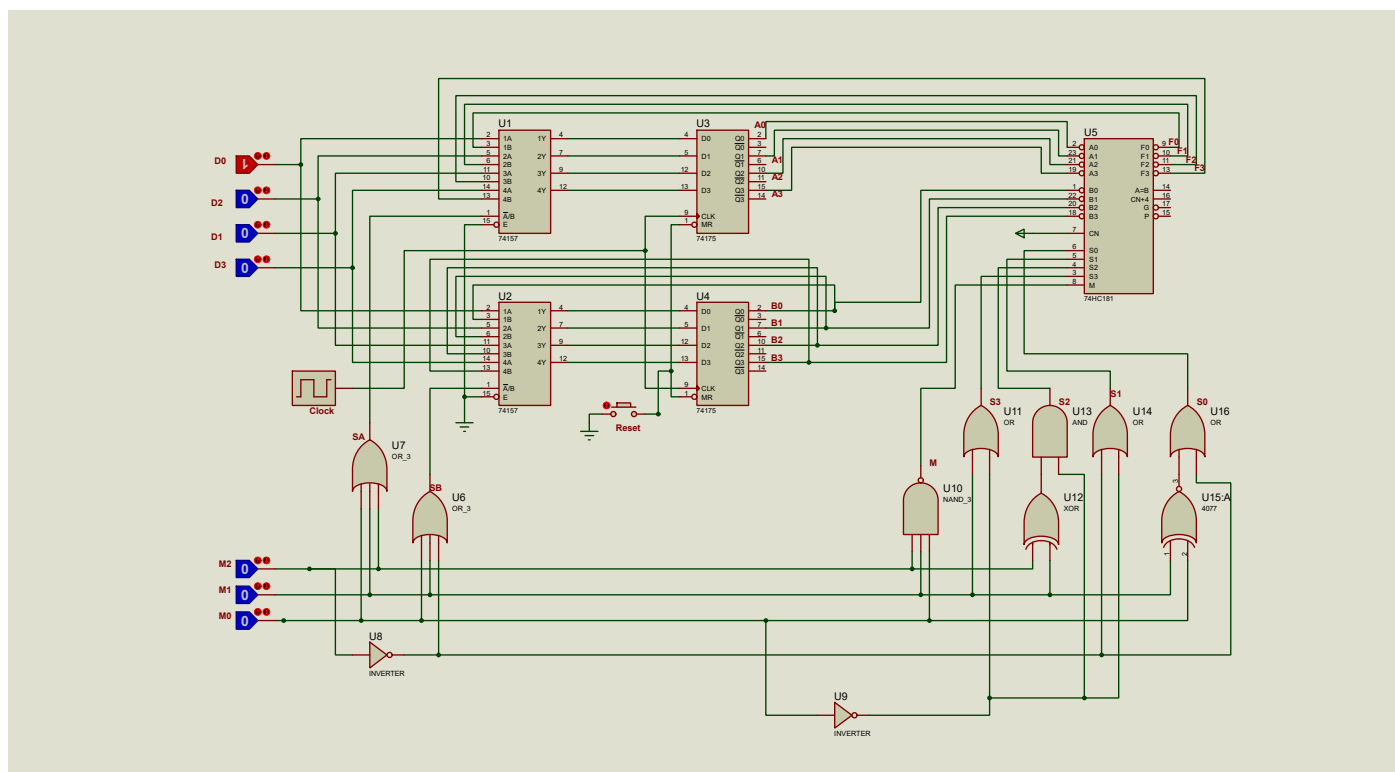
کدهای سیگنال‌های ورودی را با استفاده از Push Button و به صورت یک عدد ۳ بیتی $D^2D^1D^0$ ورودی می‌دهیم.

- کد ۱ : لود کردن ورودی در ثبات A
- کد ۲ : لود کردن ورودی در ثبات B
- کد ۳ : خروجی دادن ثبات A
- کد ۴ : پاک کردن ثبات A
- کد ۵ : NOT کردن ثبات A
- کد ۶ : AND دو ثبات A , B را خروجی می‌دهد.
- کد ۷ : SUM دو ثبات A , B را خروجی می‌دهد.

۴/۲. مدار پیاده‌سازی شده در پروتئوس:



برای ترشه‌های استفاده شده ۲ نوع دیتاشیت پیدا کردیم که با اولی مدار بالا را پیاده‌سازی کردم، اما در پروتئوس کار نمی‌کرد! ناچاراً از دیتاشیت دوم استفاده کردیم و مدار زیر را پیاده‌سازی کردیم:



پین‌های D_0 تا D_3 ورودی‌های ما هستند و M_2 تا M_0 ورودی سیگنال‌های دستورات ما هستند. کلاک قرار داده شده در این مدار به صورتی دستی عمل می‌کند، در صورت لزوم میتوان آن را با کلاک سنکرون تعویض کرد. یک عدد دکمه‌ی Reset نیز برای برگرداندن ثبات‌ها به حالت پایه (۰۰۰۰) وجود دارد. سیگنال‌های SA و SB که به ورودی A و B و مالتیپلکسرها متصل می‌شوند، تعیین‌کننده این هستند که خروجی MUX در ثبات اول بر حسب $D_0D_1D_2D_3$ و یا $F_0F_1F_2F_3$ باشد و در ثبات دوم بر حسب $D_0D_1D_2D_3$ و یا محتویات رجیستر B باشد.