

**آزمایشگاه مدارهای منطقی**

**دانشکده مهندسی کامپیوتر دانشگاه صنعتی شریف**

تابستان 1402



**گروه شماره 1**

**سعید فراتی کاشانی - 401106299**

**معین آعلی - 401105561**

**حورا عابدین - 401106209**

**فهرست عناوین**

[**1. عنوان آزمایش: 2**](#_Toc140299194)

[**2. هدف از انجام آزمایش : 2**](#_Toc140299195)

[**3. تراشه و قطعات استفاده شده : 2**](#_Toc140299196)

[**4. شرح آزمایش : 2**](#_Toc140299197)

[**4.1. طراحی شمارنده با قابلیت شمارش رو به پایین: 2**](#_Toc140299198)

[**4.2. طراحی شمارنده با قابلیت مقداردهی موازی: 3**](#_Toc140299199)

[**4.3. ساخت شمارنده BCD مود 64 (0 تا 63): 4**](#_Toc140299200)

[**4.4. طراحی شمارنده سنکرونی که اعداد 0 تا 7 را سه تا سه تا بشمارد: 4**](#_Toc140299201)

## عنوان آزمایش:

هدف از این آزمایش ساخت شمارنده ها با استفاده از تراش های 7476 و 7490 میباشد .

## هدف از انجام آزمایش :

هدف از انجام این آزمایش پیاده سازی شمارنده دودوئی و BCD می باشد. در این آزمایش یک شمارنده با استفاده از فلیپ فلاپ JK (JKFF) ساخته و سپس مدار را تست می نماییم.

**پ.ن: با توجه به این‌که تعداد قابل توجهی از قطعات استفاده شده در این آزمایش در فریتزینگ موجود نبودند، مدارها صرفا با پروتئوس رسم شده اند.**

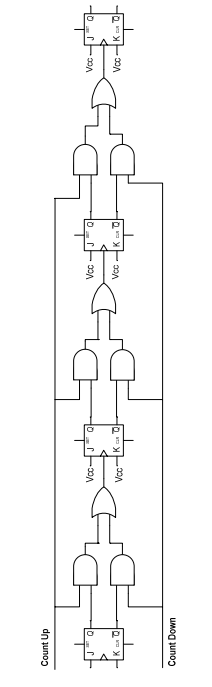
## تراشه و قطعات استفاده شده :

* برد بورد
* تراشه 7476
* تراشه 74ls90
* گیت AND
* گیت OR
* گیت XOR
* گیت NOT
* 7SEG-BCD

## **شرح آزمایش :**

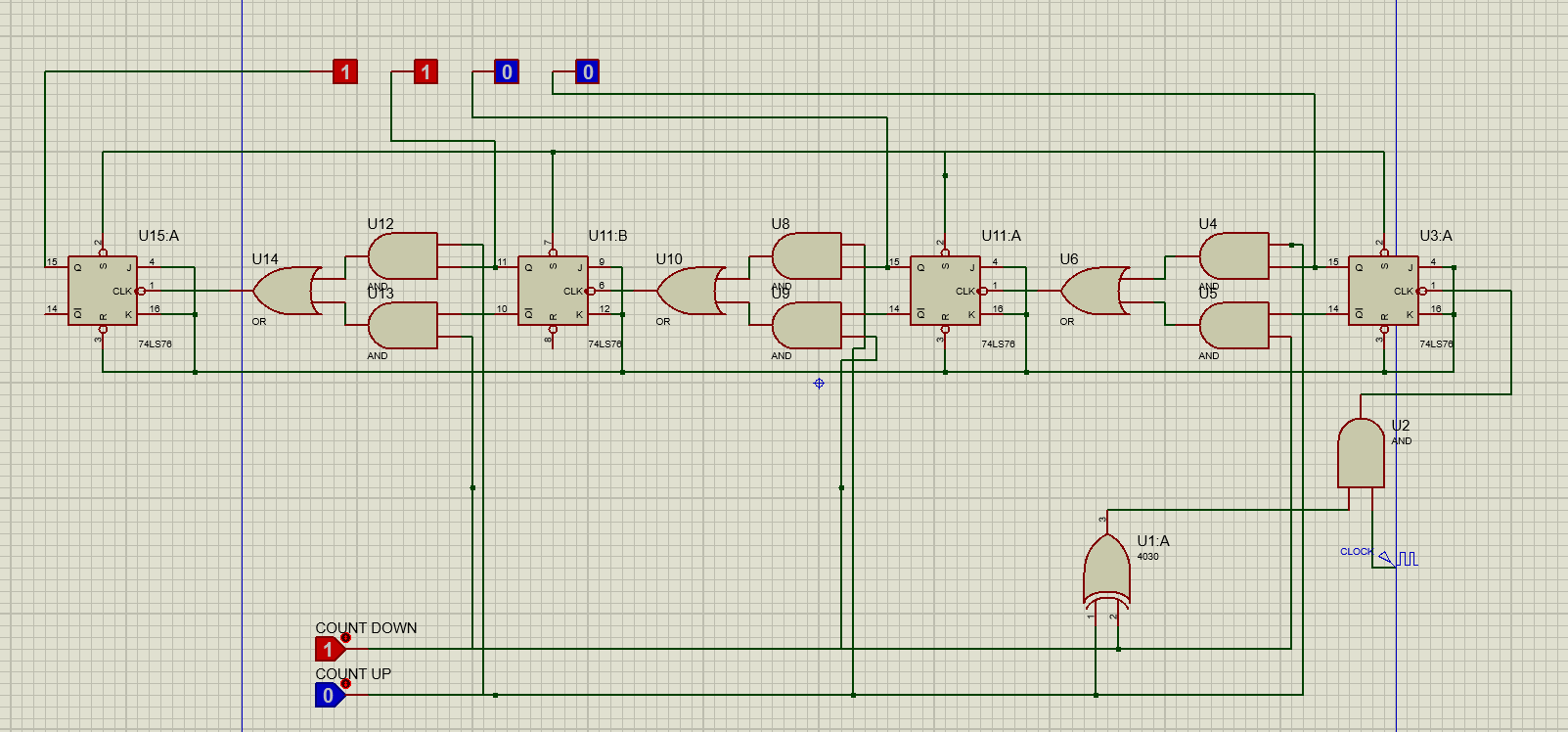
### **طراحی شمارنده با قابلیت شمارش رو به پایین:**

با استفاده از 4 فلیپ فلاپ JK، مدار را مانند شکل 2 طراحی می‌کنیم(کلاک برای لود کردن مقدار جدید و فلیپ فلاپ ها برای ذخیره‌ی مقادیر استفاده شده اند)



مدار طراحی شده، قابلیت شمارش رو به بالا و پایین را دارد؛ زیرا 2 ورودی COUNT DOWN و COUNT UP با یکدیگر XOR شده اند و به طور مثال اگر ورودی COUNT DOWN = 1 و ورودی COUNT UP = 0 باشد، مدار طراحی شده پایین شمارنده است و بالعکس، اگر ورودی COUNT DOWN = 0 و ورودی COUNT UP = 1 باشد، مدار طراحی شده بالا شمارنده است.

اکنون، مدار طراحی شده را در پروتئوس رسم می کنیم:

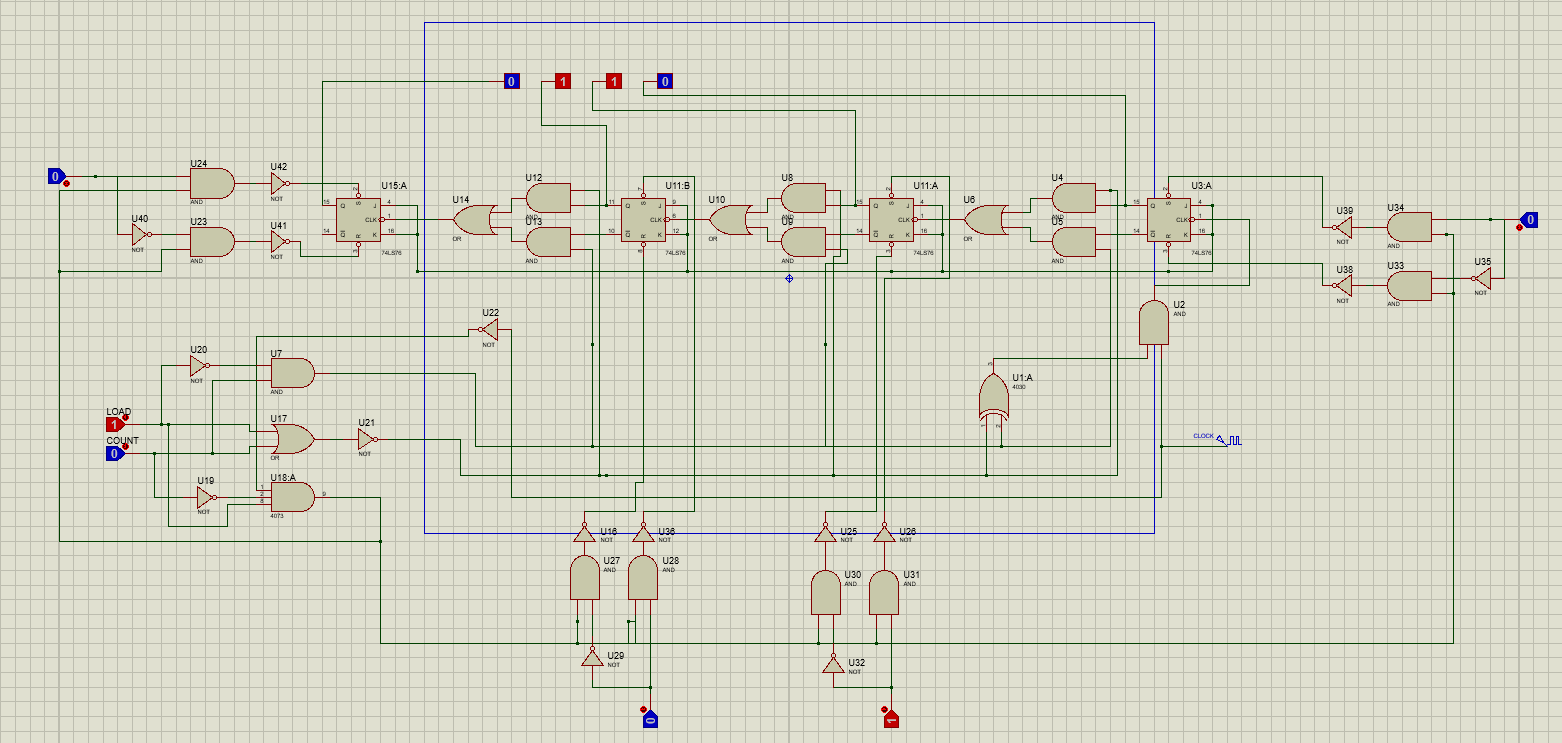


### **طراحی شمارنده با قابلیت مقداردهی موازی:**

برای پیاده سازی این شمارنده، به جایCOUNT DOWN و COUNT UP، دو ورودی LOAD و COUNT را به مدار اضافه می‌کنیم؛ با توجه به گیت‌های AND و OR اضافه شده، در حالتی که COUNT = 1 و LOAD = 0 است، حالت COUNT DOWN = 1 مدار قسمت الف را داریم و در حالتی که COUNT = 0 و LOAD = 0 است، حالت COUNT UP = 1 مدار قسمت الف را داریم.

همچنین با اضافه کردن 4 گیت به عنوان ورودی‌های موازی، این حالت را کنترل کرده ایم که اگر COUNT = 1 و LOAD = 1 باشد، مدار بدون تعییر بماند.

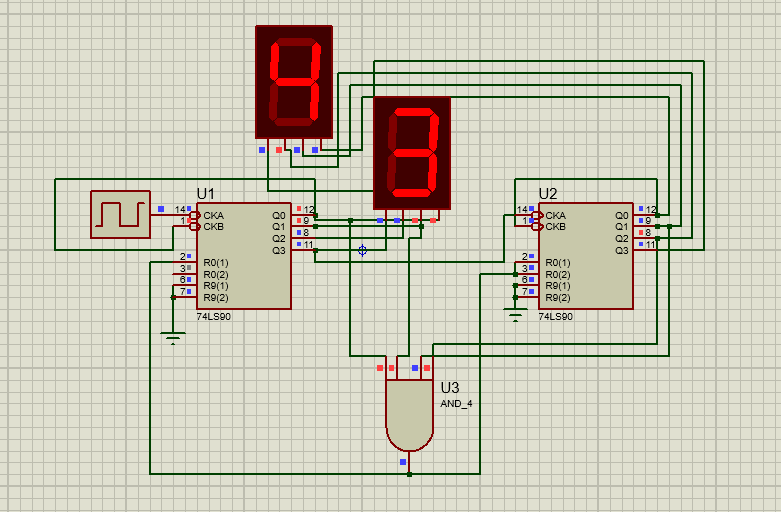
اکنون، مدار طراحی شده را در پروتئوس رسم می کنیم:



### **ساخت شمارنده BCD مود 64 (0 تا 63):**

با توجه به این که تراشه 74ls90 یک شمارنده BCD با قابلیت شمارش رو به بالا و رو به پایین و مقدار دهی اولیه است، با کنار هم قرار دادن 2 تراشه 74ls90 مدار مورد نظر را طراحی می‌کنیم. (خروجی شمارنده ها را با نمایشگرهای 7 قطعه ای مشاهده می کنیم.)

اکنون، مدار طراحی شده را در پروتئوس رسم می کنیم:



### **طراحی شمارنده سنکرونی که اعداد 0 تا 7 را سه تا سه تا بشمارد:**

مطابق خواسته‌ی آزمایش، مدار مورد نظر باید اعداد 0 تا 7 را به گونه ای بشمارد که هر 2 عدد متوالی 3 واحد اختلاف داشته باشند؛ به عبارتی، شمارنده طراحی شده باید دنباله {0 -> 3 -> 6 ->1 ->4 -> 7 ->2 -> 5 -> 0} را بشمارد.

با توجه به این که قرار است مدار با JKFF طراحی شود، ابتدا با رسم جدول حالت با توجه به مقدار ورودی، مقادیر هر کدام از J و K ها را تعیین می‌کنیم:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| K0 | | J0 | | K1 | | J1 | | K2 | | J2 | | X = 1 | | | X = 0 | | | Q0 | Q1 | Q2 |
| X = 1 | | X = 0 | | X = 1 | | X = 0 | | X = 1 | | X = 0 | | Q0 | Q1 | Q2 | Q0 | Q1 | Q2 |
| × | 1 | × | 1 | × | 1 | × | 0 | × | 0 | × | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | × | 1 | × | × | 0 | × | 1 | × | 1 | × | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| × | 1 | × | 1 | 1 | × | 0 | × | × | 1 | × | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | × | 1 | × | 0 | × | 1 | × | × | 1 | × | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| × | 1 | × | 1 | × | 1 | × | 0 | 0 | × | 1 | × | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | × | 1 | × | × | 0 | × | 1 | 1 | × | 1 | × | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| × | 1 | × | 1 | 1 | × | 0 | × | 1 | × | 1 | × | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | × | 1 | × | 0 | × | 1 | × | 1 | × | 0 | × | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

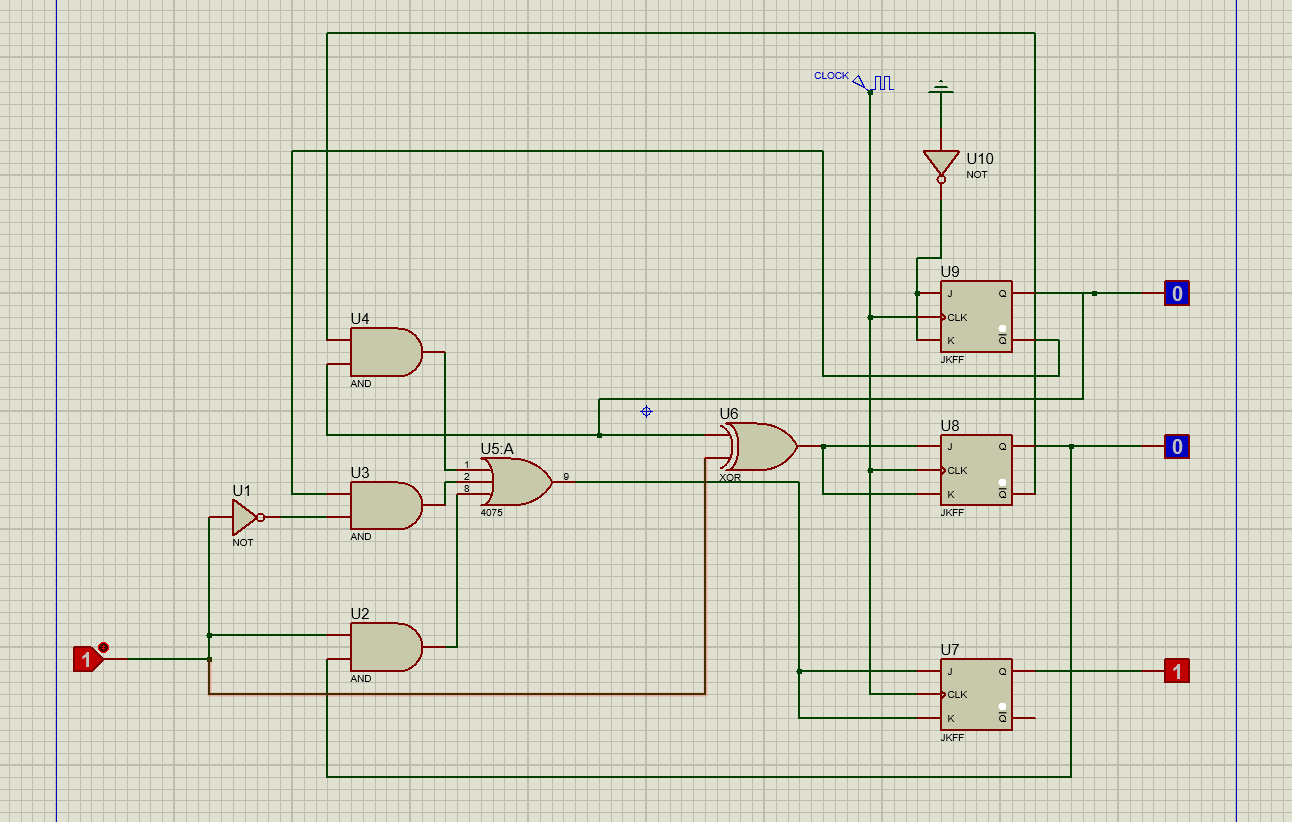
سپس، با رسم جدول کارنو، هر یک از J و Kها را به دست می‌آوریم. (جداول کارنو در چرک نویس رسم شده اند و در اینجا صرفا جواب نهایی آمده است.)

J2 = 1 k2 = 1

J1 = Q0’X + Q1X’ + Q1 ⊕ X K1 = Q0’X + Q0X’ + X ⊕ Q0

J0 = Q0’X’ + Q1X + Q0Q1’ K0 = Q0’X’ + Q1X + Q0Q1’

اکنون با استفاده از 3 فلیپ فلاپ و گیت های مورد نیاز، مدار را طراحی می کنیم.

اکنون، مدار طراحی شده را در پروتئوس رسم می کنیم: