

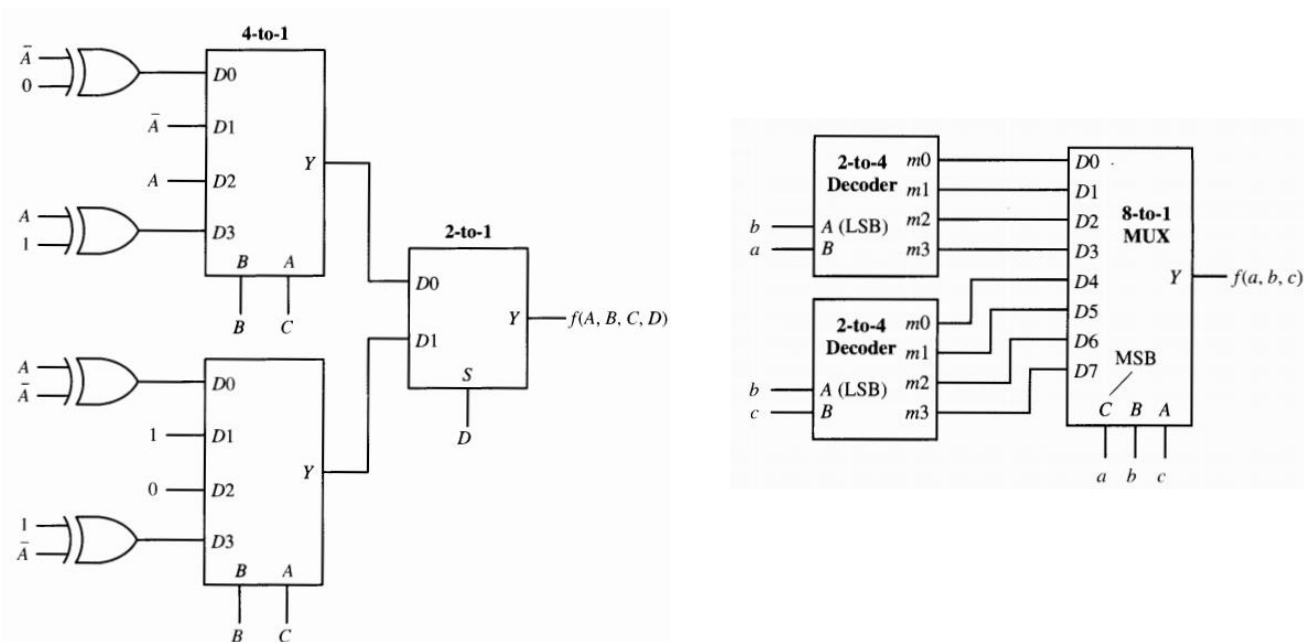
به نام خدا

تمرین سری چهارم

طراحی سیستم‌های دیجیتال ۱

موعد تحویل: ۹۹/۰۹/۱۸

(۱) لیست جملات مینیمم توابع شکل‌های زیر را بیابید.



(۲) توابع زیر را با دیکودر پیاده‌سازی کنید. (به هر دو صورت SOP و POS و همچنین با استفاده از هر دو حالت active-high و active-low)

- a) $f(a, b, c) = \sum m(0, 2, 4, 5, 6, 7)$ using 3×8 Decoder
- b) $f(a, b, c, d) = \sum m(2, 4, 10, 11, 12, 13)$ using 4×16 Decoder
- c) $f(a, b, c, d) = \prod M(0, 1, 2, 5, 6, 7, 8, 9, 11, 12, 15)$ using 4×16 Decoder
- d) $f(a, b, c, d) = \bar{b}c + \bar{a}\bar{b}d$ using 4×16 Decoder

(۳) توابع زیر را با استفاده از مالتی پلکسر پیاده‌سازی کنید.

- a) $f(a, b, c) = \sum m(2, 4, 5, 7)$ using 4×1 MUX
- b) $f(a, b, c) = (a + \bar{b}).(\bar{b} + c)$ using 4×1 MUX
- c) $f(a, b, c, d) = \sum m(1, 3, 4, 11, 12, 13, 14, 15)$ using 4×1 MUX
- d) $f(a, b, c, d) = \prod M(0, 1, 2, 3, 6, 7, 8, 9, 12, 14, 15)$ using 8×1 MUX

(۴) در یک جمع کننده ۸ بیتی از نوع CLA، تأخیر S_0 چقدر است؟

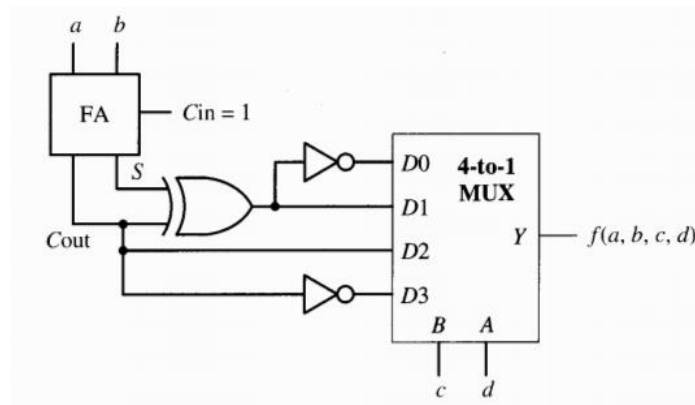
(۵) در یک جمع کننده BCD (BCD Adder)، تأخیر را برای ترکیبات مختلف جمع کننده‌های استفاده شده (CPA و CLA) محاسبه کنید.

(۶) مداری طراحی کنید که جدول زیر را پیاده‌سازی کند. A و B ، ۸ بیتی هستند. (مدار را با حداقل تعداد component ها پیاده‌سازی کنید). تأخیر مدار را نیز محاسبه کنید.

S_0	S_1	f
0	0	$A+B$
0	1	$\bar{A} + \bar{B}$
1	0	A Excess -3 code
1	1	0

(۷) مداری طراحی کنید که ۳ عدد ۸ بیتی را بصورت صعودی مرتب کند. تأخیر مدار را نیز محاسبه کنید.

(۸) تابع شکل زیر را به صورت لیست جملات مینیمم بنویسید. تأخیر مدار را نیز محاسبه کنید.



تمرین اضافی:

پیشنهاد می‌شود تمامی مسائل آخر فصل ۴ کتاب آقای نلسون را حل کنید. (مخصوصاً مسائل مربوط به طراحی)

مسائل آخر فصل ۴ کتاب آقای موریس مانو هم می‌تواند مفید باشد.