



## طراحی سیستم های دیجیتال

### تمرین دوم

پاییز ۱۴۰۱

ددلاین: ۱۵ دی

(۱) الف : نمایش عدد اعشاری 5.5 به صورت Floating point مطابق با استاندارد ( IEEE 754 Single-Precision ) با نمایش تمامی مراحل محاسبات ) به دست آورید.

ب : اگر بخواهیم در یک سیستم مبتنی بر FPGA دوعدد  $1.25 \times 10^{-45}$  (یک و بیست و پنج صدم ضربدر ده به توان منفی چهل و پنج) و  $-6.25 \times 10^{-46}$  (منفی شش و بیست و پنج صدم ضربدر ده به توان منفی چهل و شش) را به فرمت Q2.5 نمایش دهیم و حاصل جمع را بدست آوریم. ابتدا توضیح دهید چطور میتوان این اعداد را نمایش داد و سپس حاصل جمع را به همان فرمت به دست آورید.

(۲) ایده های Retiming, Rerouting, C-slow retiming و Cut-set retiming را در طراحی های دیجیتال توضیح دهید.

(۳) یکی از مباحث مهم در پیاده سازی لایه های فیزیکی سیستم های انتقال داده، تشخیص دنباله های خاص در رشته های پیوسته ورودی داده میباشد. در این مسأله یک شناساگر دنباله (Detector Sequence) برای دنباله ...۳،۰،۱،۲... از چپ به راست پیاده سازی کنید (ورودی شناساگر یک عدد دو بیتی بدون علامت است) توجه کنید که شناساگر را باید به شکل یک FSM توصیف کنید و نیازی به طراحی مدار در سطح پایین نیست. ضمناً پیاده سازی این مسأله به هر دو شکل Mealy و Moore ممکن میباشد.

(۴) الف : یک مدار Register Shift 4 بیتی با قابلیتهای reset و Load Parallel و Left Shift و right Shift تعریف کنید. برای ورود داده ورودی یک بیتی ShiftIn و برای خروج داده خروجی یک بیتی ShiftOut را در نظر بگیرید. اولویت سیگنالهای کنترلی مدار به ترتیب زیر است:

Shift right-4    Shift Left-3    Parallel Load-2    reset-1

ب : اولویت Left shift و Right shift را عوض کنید.

ج : تغییراتی را اعمال کنید که اولویت سیگنال های کنترلی عوض نشود، اما چنانچه سیگنال های Load و Reset Parallel هر دو صفر و سیگنال های Left Shift و Right Shift هر دو یک باشند، محتوی و خروجی Register Shift بدون تغییر باقی بماند.