



طراحی سیستم های دیجیتال

تمرین اول

پاییز 1401

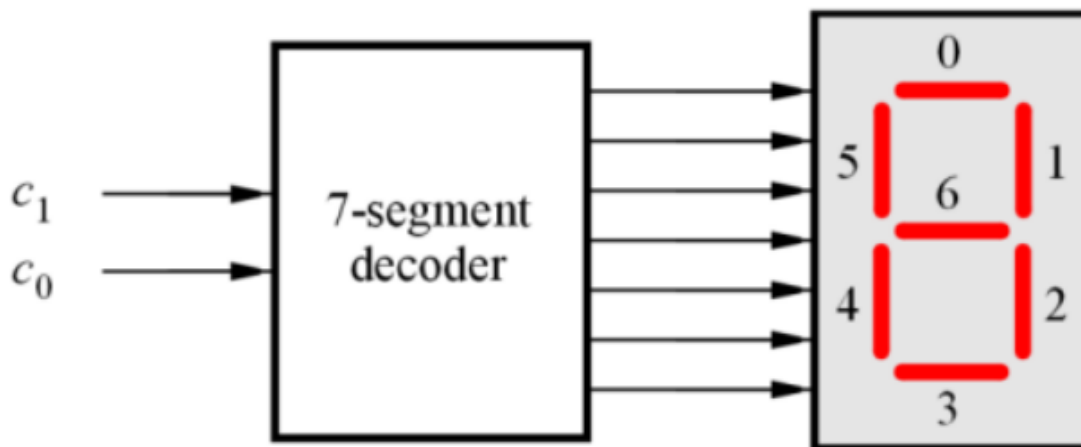
ددلاین : ۱۹ آذر

---

1. قطعه کدی به زبان Verilog برای شبیه سازی یک Latch-D و Latch-SR و JK Flop-Flip با استفاده از گیت های منطقی بنویسید.

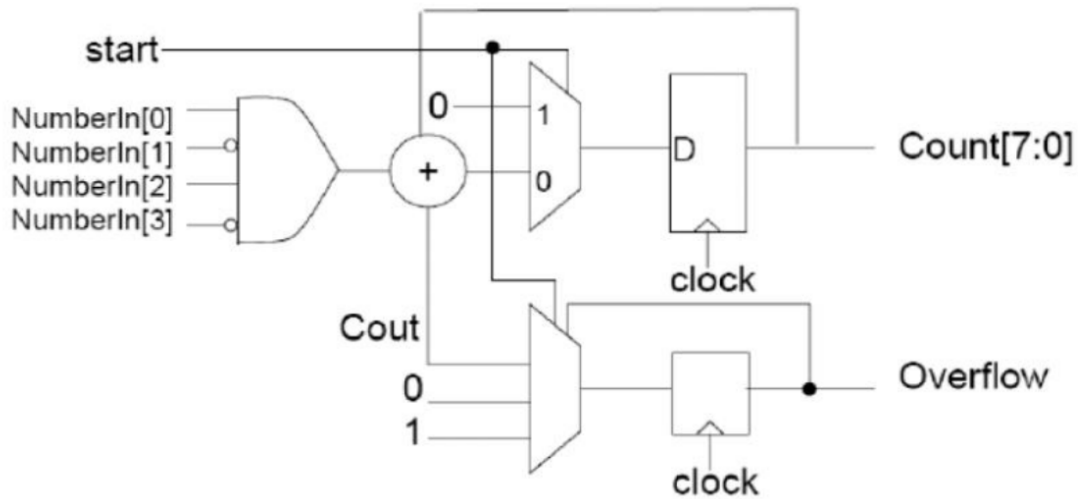
---

2. الف - یک مازول مبدل اعداد decimal بین 1 تا 99 به BCD بنویسید .  
ب - بهمازول قبل یک decoder نمایش اعداد دو رقمی بر روی نمایشگر 7-segment را اضافه کنید.



3. با استفاده از یک مالتی پلکسر ۲ به ۱ گیت NAND را پیاده سازی کنید.

4. کد Verilog معادل مدار زیر را بنویسید.



Mux Truth Table:

Start Overflow : Output

0 0 : Cout

0 1 : 1

1 0 : 0

1 1 : 0

موفق باشید