



دانشگاه صنعتی امیر کبیر  
(پلی تکنیک تهران)

## گزارشکار آزمایشگاه معماری کامپیوتر - شماره ۵

عنوان آزمایش: بررسی جمع کننده ها و مقایسه آنها

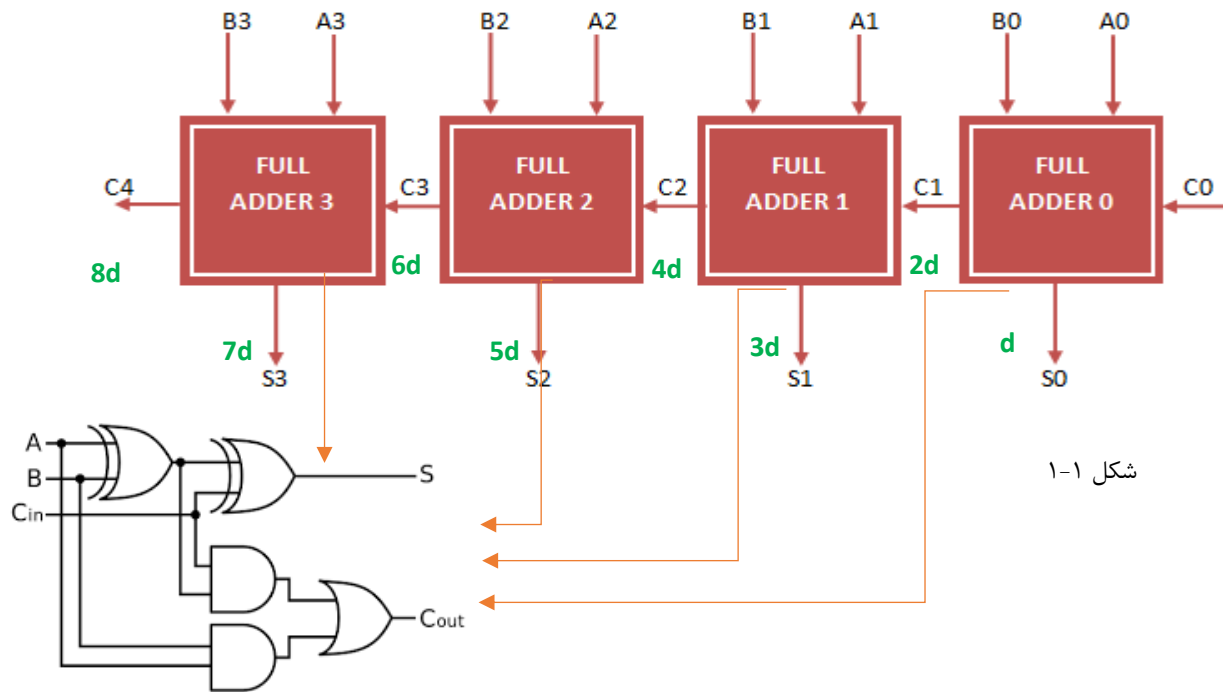
نام و نام خانوادگی: کردآوردندگان : حسنا اویار حسینی و پویا محمدی

استاد آزمایشگاه: جناب آقای عاروان

تاریخ آزمایش: ۱۴۰۰/۸/۱۳

## آزمایش ۱

نام آزمایش: پیاده سازی و بررسی ripple carry adder



شکل ۱-۱

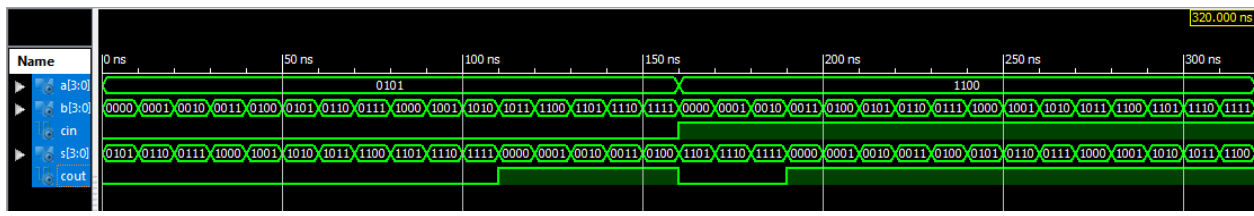
Full Adder

در این نوع جمع کننده که ساده ترین نوع می باشد در هر بخش یک بیت از A, B به کمک یک FA باهم جمع می شوند و سپس carry حاصل به بخش بعدی منتقل می شود تا FA بعدی به کمک آن دو بیت بعدی را جمع بزند. به این ترتیب برای اینکه S<sub>i</sub> محاسبه شود نیاز است که صبر کند تا carry i-1 قبلی محاسبه شوند تا سپس S<sub>i</sub> به دست بیاید. و همین موضوع باعث می شود سرعت RCA کاهش بیابد.

بررسی تاخیر: اگر تاخیر تمام گیت ها را برابر و مساوی d در نظر بگیریم تاخیر 4bit-RCA همان طور که در شکل ۱-۱ مشخص شده برابر با 8d خواهد بود و برای nbit-RCA تاخیر 2nd می باشد.

بررسی تعداد گیت: با توجه به اینکه هر FA نیاز به ۵ گیت دارد و در RCA به ازای هر بیت یک FA داریم تعداد گیت ها در حالت کلی برابر با 5n خواهد بود که در مثال ما این مقدار برابر است با  $5 \times 4 = 20$  گیت.

نتایج آزمایش:



سرعت

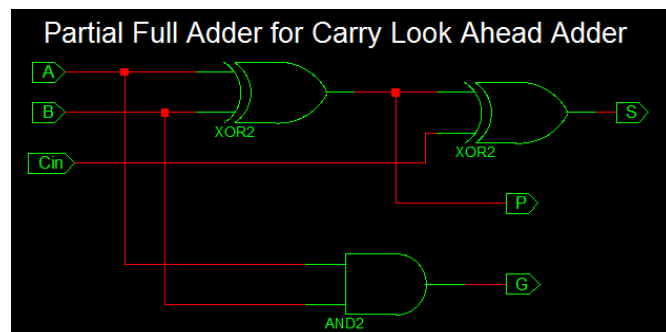
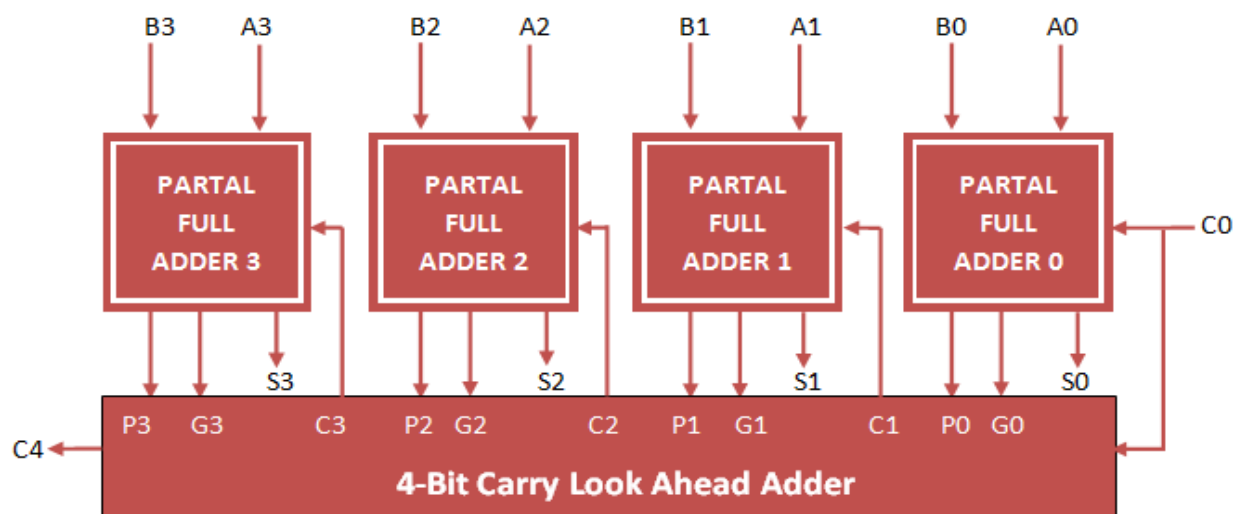
Timing Summary:  
-----  
Speed Grade: -5  
  
Minimum period: No path found  
Minimum input arrival time before clock: No path found  
Maximum output required time after clock: No path found  
Maximum combinational path delay: 12.008ns

مساحت

Device Utilization Summary (estimated values)				[1]
Logic Utilization	Used	Available	Utilization	
Number of Slices	4	3584	0%	
Number of 4 input LUTs	8	7168	0%	
Number of bonded IOBs	14	141	9%	

## آزمایش ۲

نام آزمایش: پیاده سازی و بررسی carry look ahead adder



در این نوع جمع کننده سعی میشود تا عامل تاخیری که در RCA وجود داشت از بین برده شود. در RCA عامل تاخیر صبر کردن هر FA برای carry های قبلی بود در نتیجه در CLA به کمک PFA مقدار carry مستقیماً از روی Cin بدست میاد و همین موضوع باعث می شود تاخیر کمتری به نسبت RCA داشته باشیم. برای محاسبه Carry میتوان از روابط زیر استفاده کرد:

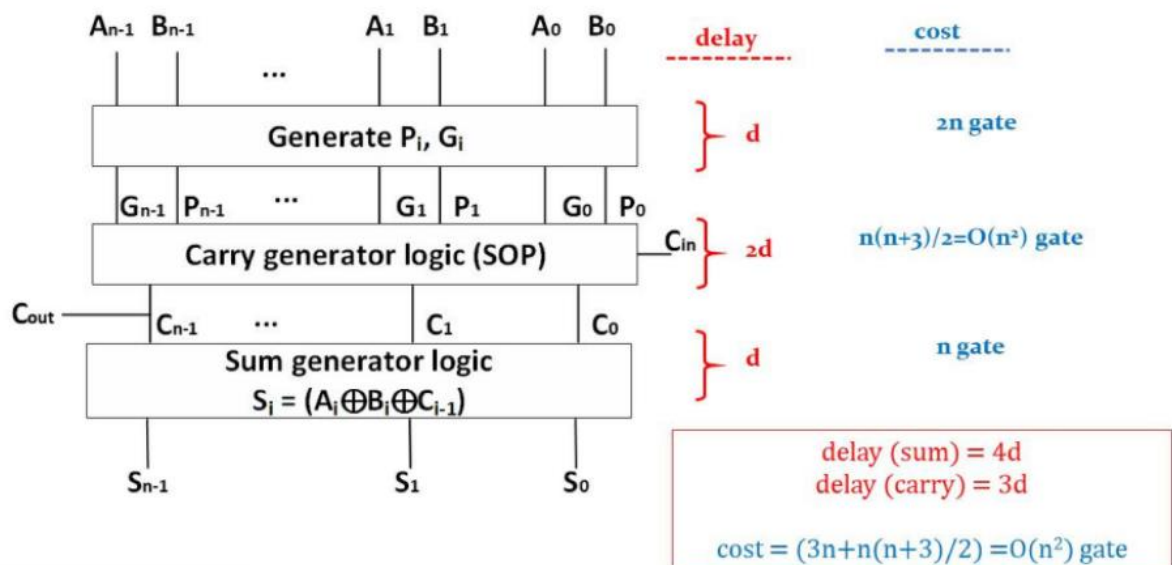
$$C_i = G_i + G_{i-1} P_i + G_{i-2} P_i P_{i-1} + \dots + G_0 P_i P_{i-1} P_{i-2} \dots P_1 + C_{in} P_i P_{i-1} P_{i-2} \dots P_0$$

$$G_i = A_i B_i, P_i = A_i \text{ xor } B_i$$

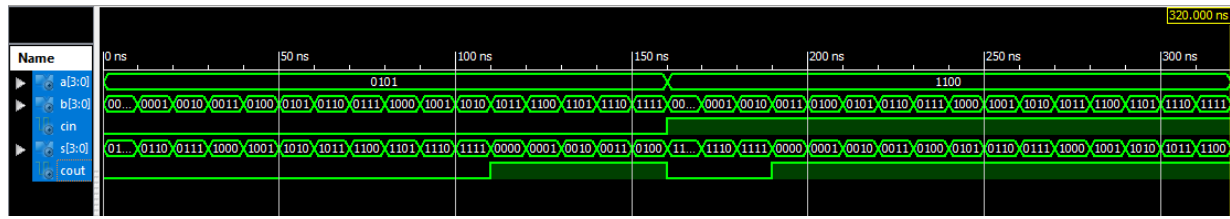
در نتیجه با توجه به این روابط  $C_i$  مستقیماً از روی  $C_{in}$  و با تاخیر ۳ گیت بدست میاید. این نوع جمع کننده تاخیر کمتری به نسبت RCA دارد ولی به علت اینکه گیت های زیاد با ورودی های بالا نیاز دارد هزینه آن بیشتر از RCA می باشد.

بررسی تاخیر: اگر تاخیر تمام گیت ها را برابر و مساوی  $d$  در نظر بگیریم، به اندازه  $d$  تاخیر برای بدست آوردن هر  $G_i, P_i$  نیاز داریم که چون همزمان انجام میشوند به اندازه  $d$  برای این مرحله تاخیر داریم سپس در مرحله carry generator چون مداری به شکل SOP داریم به اندازه  $2d$  و برای محاسبه sum نیز نیاز به یک گیت xor داریم که به اندازه  $d$  تاخیر داریم در نهایت برای یک  $n$ -bit CLA تاخیر برابر با  $4d$  خواهد بود.

بررسی تعداد گیت: برای هر PFA به ۳ گیت نیاز داریم و برای محاسبه  $C_i$  ها نیز به  $(2 + 3 + 4 + 5) = 14$  گیت نیاز داریم پس در نهایت  $14 + 3 * 4 = 26$  گیت نیاز است و در حالت کلی  $3n$  گیت برای PFA ها و  $n(n+3)/2$  گیت برای محاسبه  $C_i$  ها نیاز داریم.



## نتایج آزمایش:



سرعت

Timing Summary:  
-----  
Speed Grade: -5  
  
Minimum period: No path found  
Minimum input arrival time before clock: No path found  
Maximum output required time after clock: No path found  
Maximum combinational path delay: 11.897ns

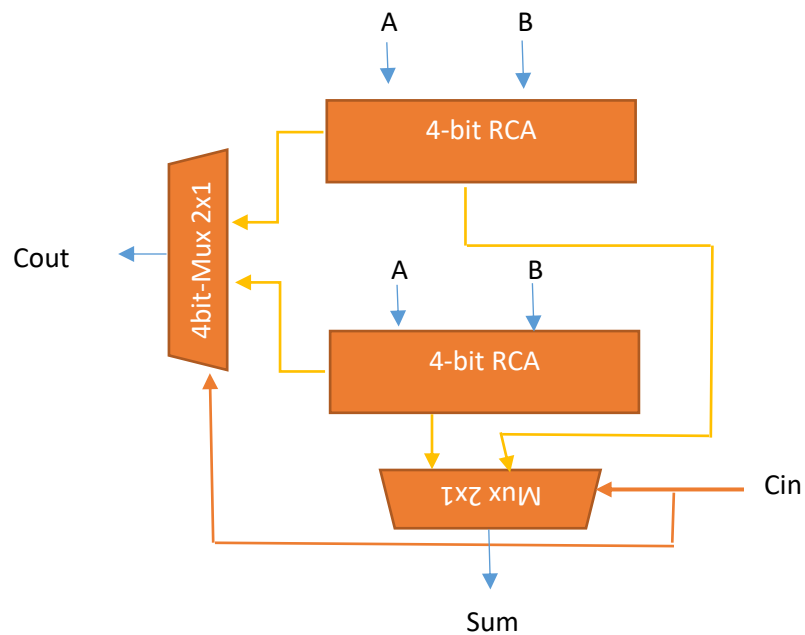
مساحت

Device Utilization Summary (estimated values)				[1]
Logic Utilization	Used	Available	Utilization	
Number of Slices	4	3584	0%	
Number of 4 input LUTs	8	7168	0%	
Number of bonded IOBs	14	141	9%	

## آزمایش (۳)

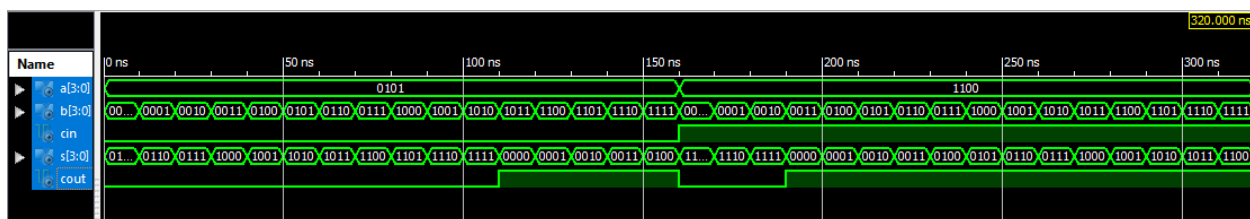
نام آزمایش: پیاده سازی و بررسی carry select adder

ایده اصلی پشت جمع کننده انتخاب (CSLA) Carry این است که برای جلوگیری از تأخیر ناشی از منتظر ماندن برای carry نتیجه جمع را با پیش بینی تمام مقادیر ممکن carry محاسبه کند، و سپس با توجه به cin مشخص کند کدام جواب قابل قبول است. از دو Multiplexer در هر طبقه برای انتخاب نتیجه واقعی استفاده می شود. برای مثال در 4-bit CSA حاصل جمع دو عدد به کمک ۲ RCA به ازای  $cin = 0, 1$  محاسبه می شود و سپس sum و carry معتبر به کمک دو mux که خط سلکت آنها به Cin وصل شده است مشخص می شود.



در مقایسه با CSLA، RCA سرعت بالایی دارد و در مقایسه با CLA از پیچیدگی سخت افزاری کمتر برخوردار است.

نتایج آزمایش:



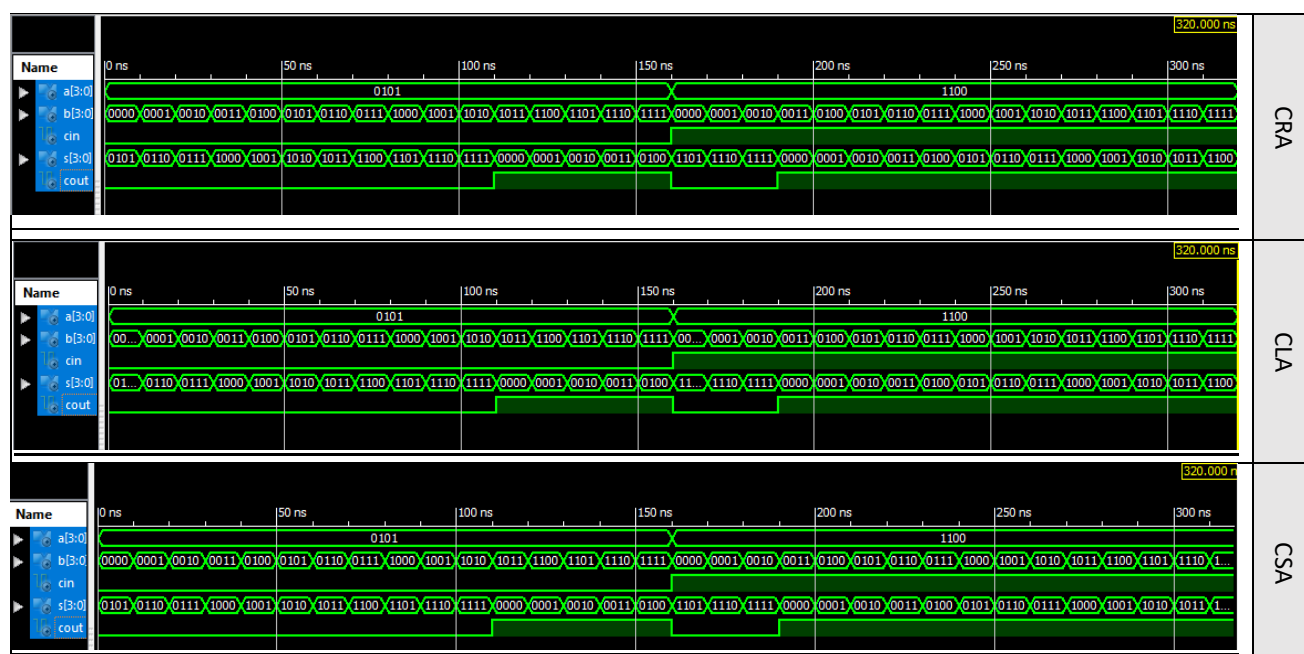
سرعت

Timing Summary:  
-----  
Speed Grade: -5  
  
Minimum period: No path found  
Minimum input arrival time before clock: No path found  
Maximum output required time after clock: No path found  
Maximum combinational path delay: 10.739ns

مساحت

Device Utilization Summary (estimated values)			[-]
Logic Utilization	Used	Available	Utilization
Number of Slices	5	768	0%
Number of 4 input LUTs	9	1536	0%
Number of bonded IOBs	14	124	11%

## مقایسه نهایی)



CRA	CLA	CSA	
12.008 ns	11.897 ns	10.739ns	سرعت
8	8	9	مساحت (no. of 4 input LUTs)

از نتایج انجام آزمایشات یکسان بر روی هر ۳ جمع کننده خواهیم داشت: سرعت CSA بیشتر از CLA بیشتر از CRA می باشد ولی مساحت لازم برای پیاده سازی CSA از دو جمع کننده دیگر بیشتر است.