

Amirkabir University of Technology
(Tehran Polytechnic)

گزارشکار آزمایشگاه معماری کامپیوتر – شماره ۹

عنوان آزمایش : شیف رجیستر با ورودی موازی و خروجی سریال

نام و نام خانوادگی گردآورندگان : حسنا اویارحسینی و پویا محمدی

استاد آزمایشگاه : جناب آقای مهندس عاروان

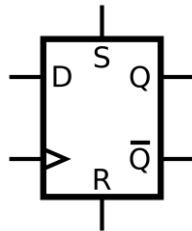
تاریخ آزمایش: ۱۴۰۰/۹/۲۴

شرح آزمایش:

در این آزمایش یک Shift Register PISO 4-bit طراحی و تست شده است. این ثبات (Register) قابلیت Right Shift, Left Shift را دارد که به عبارتی Universal می باشد. اساس کار ثبات ها ذخیره داده های منطقی می باشد که برای این امر از D-flip-flop در طراحی این ثبات استفاده شده است. در این ثبات چهار عمل اصلی وجود دارد که در هرلبه بالارونده Clock با توجه به سلکت مشخص شده یکی از عملیات های: ۱- Hold ۲- SHR ۳- SHL ۴- Load اعمال می شود. برای جداسازی این Operation ها از Mux 4x1 استفاده شده.

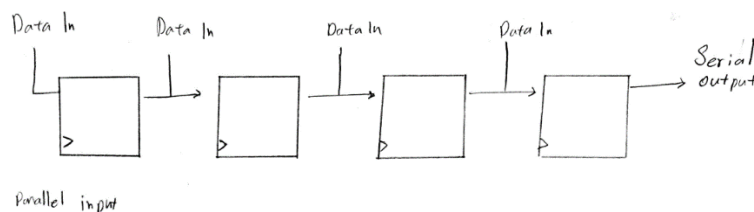
توضیح DFF:

یک فلیپ فلاپ ساده می تواند مقدار منطقی داده را در مدار خود نگهداری کند. یک DFF ورودی را درلبه بالارونده پالس ساعت خوانده و در خروجی نگهداری می کند و تا لبه بالارونده پالس ساعت بعدی این مقدار تغییر نمی کند و بعد از آن دوباره ورودی در پالس بعدی خوانده می شود.



توضیح (PISO) Parallel In Serial Out:

در این نوع از شیفت رجیستر داده برای Load داده های جدید باید موازی و هم زمان (از چند ورودی) آن ها را خواند ولی خروجی ما سریال می باشد (از یک خروجی)



توضیح عملیات ها و روش پیاده سازی آنها:

۱ - Hold: در این حالت داده ی جدیدی وارد نمی شود و مقدار قبلی نگه داشته می شود (برای این عمل کافیسست خروجی هر فلیپ فلاپ را به ورودی خودش متصل کنیم).

۲ - SHR: شیفت به راست روی داده ها انجام میشود. برای این کار مقدار منطقی صفر وارد چپ ترین DFF شده و داده در هر DFF به سمت راست خود منتقل می شود. (هنگام شیفت به راست خروجی از سمت کم ارزش ترین بیت خارج میشود*)

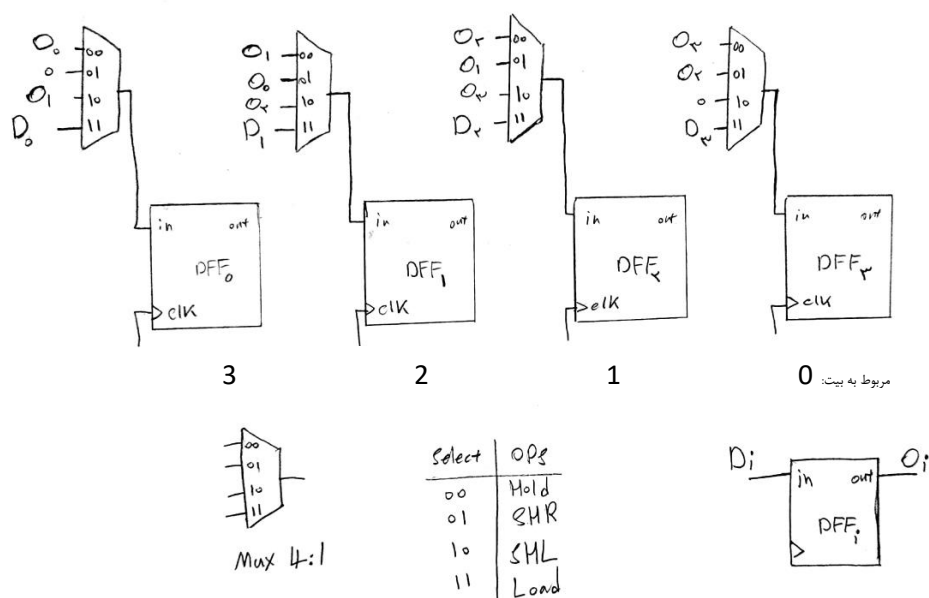
۲ - SHL: شیفت به چپ روی داده ها انجام می شود. مقدار منطقی صفر وارد راست ترین DFF شده و مقدار هر DFF به سمت چپ خود انتقال پیدا می کند. (هنگام شیفت به راست خروجی از سمت پر ارزش ترین بیت خارج میشود*)

۳ - Load: داده های جدید از ورودی خوانده می شود و در فلیپ فلاپ ها لود میشوند.

* برای تعیین مقدار خروجی در دو حالت شیفت از if در کد شبیه سازی استفاده شده است.

برای اینکه مشخص کنیم شیفت رجیستر چه عملیاتی را باید انجام دهد از ماکس ها به صورت زیر استفاده میکنیم:

عملیات	مقدار select
Hold	00
Right shift	01
Left shift	10
Load	11



توضیح IO های مدار:

خروجی		ورودی	
تک بیت خروجی داده	Q	ورودی داده مدار	D (3 to 0)
		ساعت	CLK
		انتخاب گر حالت عملیات	Select

نکته: در خط Q خروجی مدار به صورت سریال خوانده می شود.

نتایج تست شبیه ساز:

اعداد تست شده:

خروجی به ترتیب از چپ به راست	عملیات	ورودی
0, 1, 0, 1	لود و شیفست راست	۱۰۱۰
1, 0, 1, 1	لود و شیفست چپ	۱۰۱۱
*1, 1, ...	لود و هولد	۱۱۱۰

*مدار به صورتی طراحی شده است که در دو حالت load و hold خروجی چپ ترین بیت عدد فعلی میباشد (پر ارزش ترین رقم). داده هایی که با قرمز در شکل زیر نشان داده شده اند از همین نوع هستند.

