



دانشگاه صنعتی امیر کبیر  
(پلی تکنیک تهران)

## گزارشکار آزمایشگاه معماری کامپیوتر - شماره ۶

عنوان آزمایش: بررسی جمع کننده BCD

نام و نام خانوادگی گردآورندگان: حسنا اویار حسینی و پویا محمدی

استاد آزمایشگاه: جناب آقای مهندس عاروان

تاریخ آزمایش: ۱۴۰۰/۸/۱۸

## آزمایش (۱)

نام آزمایش: پیاده سازی و بررسی BCD adder

Binary Code A B C D	Decimal Number	BCD Code B <sub>8</sub> B <sub>4</sub> B <sub>3</sub> B <sub>2</sub> B <sub>1</sub>
0000	0	0 0 0 0 0
0001	1	0 0 0 0 1
0010	2	0 0 0 1 0
0011	3	0 0 0 1 1
0100	4	0 0 1 0 0
0101	5	0 0 1 0 1
0110	6	0 0 1 1 0
0111	7	0 0 1 1 1
1000	8	0 1 0 0 0
1001	9	0 1 0 0 1
1010	10	1 0 0 0 0
1011	11	1 0 0 0 1
1100	12	1 0 0 1 0
1101	13	1 0 0 1 1
1110	14	1 0 1 0 0
1111	15	1 0 1 0 1

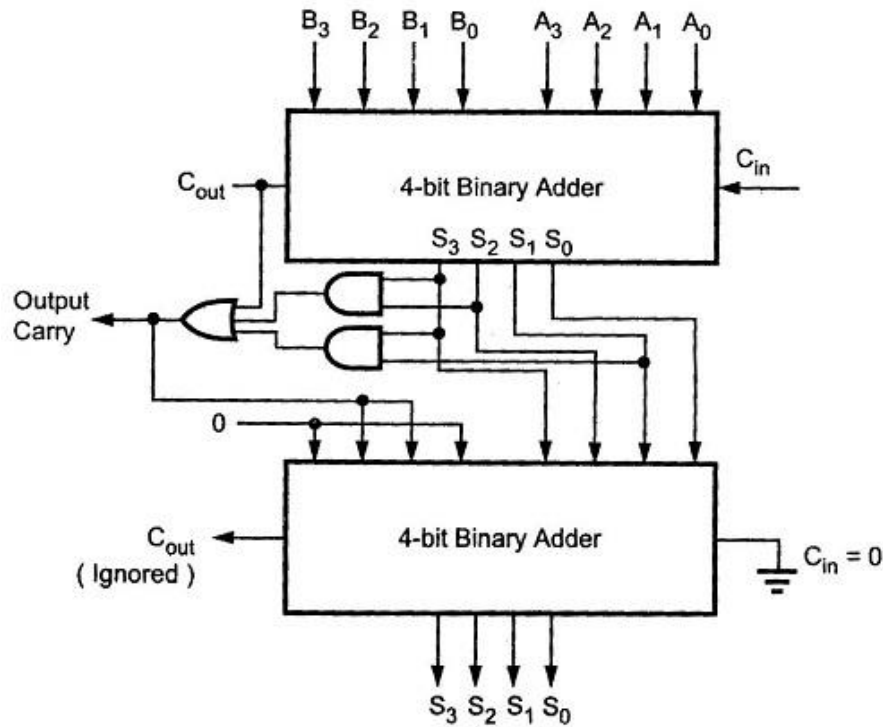
شرح آزمایش: در این آزمایش یک 4-bit BCD adder پیاده سازی و تست شده است. جمع کننده bcd برای جمع کردن اعداد با نمایش bcd(binary coded decimal) می باشد. در این نوع نمایش هر رقم از اعداد در مبنای ۱۰ به صورت جداگانه به مبنای ۲ برده می شود. در روبه رو جدول اعداد bcd را مشاهده میکنیم:

اعداد بزرگتر از ۹ که نمایش آنها در BCD متفاوت با نمایش آنها در باینری است

با توجه به اینو نوع نمایش چون ورودی ها جمع کننده ما ۴ بیتی هستند میتوانیم اعداد ۰ تا ۹ را در نمایش bcd جمع کنیم و خروجی (A + B + Cin) میتواند بین ۰ تا ۱۹ باشد. در ابتدا اعداد را به کمک یک RA به صورت عادی جمع میزنیم، زمانی که خروجی بین ۰ تا ۹ باشد چون نمایش ۰ تا ۹ به صورت bcd در چهار بیت مشکلی ندارد نیاز به اعمال تغییر نمی باشیم، ولی زمانی که خروجی بیشتر از ۹ بشود (بین ۱۰ تا ۱۹) چون نمایش باینری با bcd متفاوت میشود نیاز داریم تا خروجی را به نحوی تغییر دهیم که نمایش bcd ایجاد شود. برای این کار کافیسیت مقدار  $۱۰(۶) = ۲(۰۱۱۰)$  را با خروجی جمع بزنیم، پس به طور خلاصه، اگر حاصل جمع را در مبنای دو به صورت  $S = S_3S_2S_1S_0$  نشان دهیم خواهیم داشت:

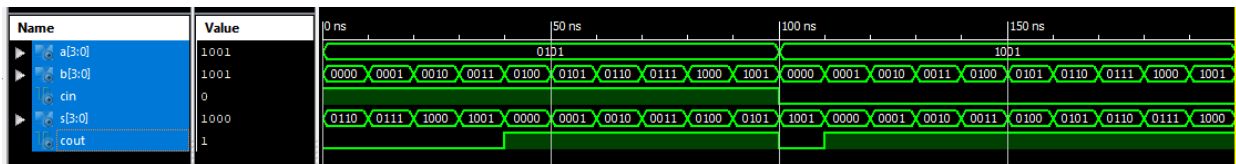
حالت های مختلف S	هم ارز با	اقدام لازم برای تبدیل به BCD
$S < 10$	-	-
$9 < S < 12$	$S = 1x1x$	در این حالت حاصل را با ۶ جمع می کنیم
$11 < S < 16$	$S = 11xx$	
$15 < S$	Cout = 1	

پس در هنگام پیاده سازی یک RA دیگر اضافه میکنیم و خروجی  $S_3S_2 + S_3S_1 + Cout$  را به بیت دوم و سوم یکی از ورودی ها و خروجی RA قبلی را به ورودی دیگر میدهیم تا زمانی که نیاز بود خروجی قبلی را با ۶ جمع بزنند. لازم به ذکر است که  $S_3S_2 + S_3S_1 + Cout$  همان Cout نهایی و یا رقم دهگان می باشد. شماتیک مدار نهایی را در ادامه میتوان مشاهده کرد:



نتایج آزمایش:

خروجی شبیه سازی:



در این شکل جمع ۵ با ۹ با  $C_{in}=1$  و سپس جمع ۹ با اعداد ۰ تا ۹ با  $C_{in} = 0$  بررسی شده اند.

بررسی زمان و مساحت:

مساحت	Device Utilization Summary (estimated values)			
	Logic Utilization	Used	Available	Utilization
	Number of Slices	6	768	0%
	Number of 4 input LUTs	11	1536	0%
	Number of bonded IOBs	14	124	11%

زمان	Timing Summary:	
	Speed Grade: -5	
	Minimum period: No path found	
	Minimum input arrival time before clock: No path found	
	Maximum output required time after clock: No path found	
	Maximum combinational path delay: 14.422ns	