

۱- یک حافظه با دو درگاه (dual port) تعریف کنید، که یک درگاه آن مخصوص نوشتن داده در لبه بالارونده کلاک و درگاه دیگر مخصوص خواندن داده است و خواندن داده از حافظه به دو صورت زیر باشد:

a. وابسته به کلاک نبوده و خروجی با تغییر آدرس خواندن در همان لحظه عوض شود (Asynchronous Read)

b. در لبه بالارونده کلاک انجام شده، یعنی خروجی متناسب با آدرس وارد شده در لبه بالارونده کلاک روی درگاه خروجی رجیستر شود.

با مراجعه به گزارش سنتر بررسی کنید که کدام یک از دو پیاده سازی قسمت قبل، در حالت عادی روی بلوک های مخصوص حافظه (Block RAM) پیاده سازی میشود و کدام یک فقط روی CLB ها (Distributed RAM) قابل پیاده سازی است. سپس با مراجعه به راهنمای XST و به کمک Synthesis Attribute به نام RAM_STYLE کاری کنید که مورد اول هم به شکل Distributed پیاده سازی شود.

با مراجعه به راهنمای XST، بررسی کنید که برای آن نوع از حافظه که خواندن و نوشتن داده هر دو در لبه بالارونده کلاک انجام میشوند، مفهوم Read First و Write First چیست (توضیح دهید).

۲- یکی از مباحث مهم در پیاده سازی لایه های فیزیکی سیستمهای انتقال داده، تشخیص دنباله های خاص در رشته های پیوسته ورودی داده میباشد. در این مسأله یک شناساگر دنباله (sequence detector) برای دنباله ...3,0,1,2... از چپ به راست پیاده سازی کنید (ورودی شناساگر یک عدد دو بیتی بدون علامت است). توجه کنید که شناساگر را باید به شکل یک FSM توصیف کنید و نیازی به طراحی مدار در سطح پایین نیست. ضمناً پیاده سازی این مسأله به هر دو شکل Mealy و Moore ممکن میباشد.

۳- یک مدار Shift Register ۴ بیتی با قابلیتهای reset و Parallel Load و Shift Left و Shift right تعریف کنید. برای ورود داده ورودی یک بیتی ShiftIn و برای خروج داده خروجی یک بیتی ShiftOut را در نظر بگیرید. اولویت سیگنالهای کنترلی مدار به ترتیب زیر است:

reset-1 Parallel Load-2 Shift Left-3 Shift right-4

اولویت Shift Left و Shift Right را جا به جا کنید.

تغییراتی را اعمال کنید که اولویت سیگنال های کنترلی عوض نشود، اما چنانچه سیگنال های Reset و Parallel Load هر دو صفر و سیگنال های Shift Left و Shift Right هر دو یک باشند، محتوی و خروجی Shift Register بدون تغییر باقی بماند.

۴- یک مدار ضرب کننده با شرایط زیر بنویسید:

- ورودی های آن دو عدد ۸ بیتی بدون علامت باشد.

- ساختار آن دارای ۲ مرحله pipeline باشد (تأخیر ورودی به خروجی ۲ کلاک است). به کمک کد نویسی و قابلیت Xilinx XST در تفسیر کدهای ضرب pipeline (توضیحات کلاس درس)

- بر روی CLB ها پیاده سازی شود و نه بلوکهای DSP48 (به کمک Synthesis Attribute به نام MULT_STYLE)