

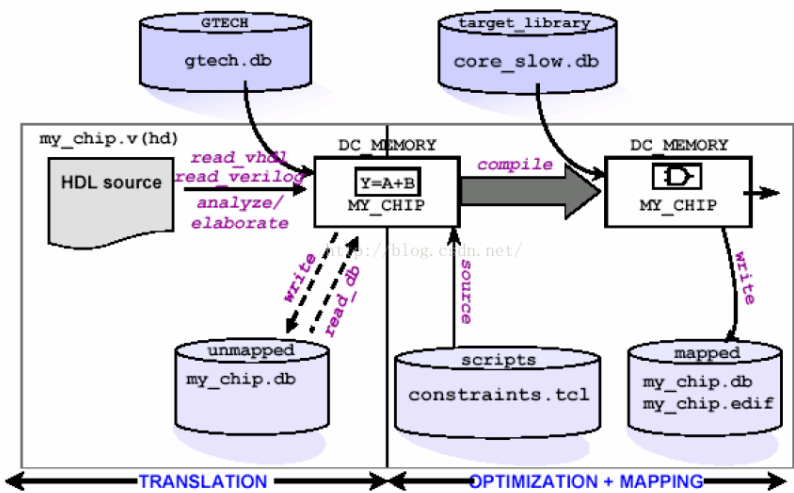


你好24h



数字IC设计之DC(一): DC简介

综合分为三个部分: Synthesis= Translate + Mapping + Optimization.



- Translate** 是将 HDL **转化**为GTECH库元件组成的逻辑电路, 这步通过 read_verilog 进行 (verilog代码), verilog代码被读入后, 将会被自动translate. GTECH是独立于工艺库的通用元件库。这个时候可以用write -output ./unmapped/design.db输出unmapped的二进制文件。
 - Mapping** 是将GTECH**映射**到某一指定的工艺库, 此网表包含了工艺参数。
 - Optimization** 是将网表按设计者的约束进行**优化**。
- 后两步通过加约束后使用compile命令完成。完成optimization之后可以通过 write -format verilog -hierarchy -output./p_syn_sim/design.v 写成verilog格式的网表, 这是map后的结果。如果输出的是顶层模块, 所有模块的 module都会输出到同一个文件中。顶层模块一般在最后。

公告

昵称: 你好24h
园龄: 2年3个月
粉丝: 13
关注: 0
[+加关注](#)

<	2021年6月							>
日	一	二	三	四	五	六		
30	31	1	2	3	4	5		
6	7	8	9	10	11	12		
13	14	15	16	17	18	19		
20	21	22	23	24	25	26		
27	28	29	30	1	2	3		
4	5	6	7	8	9	10		

搜索

找找看

谷歌搜索

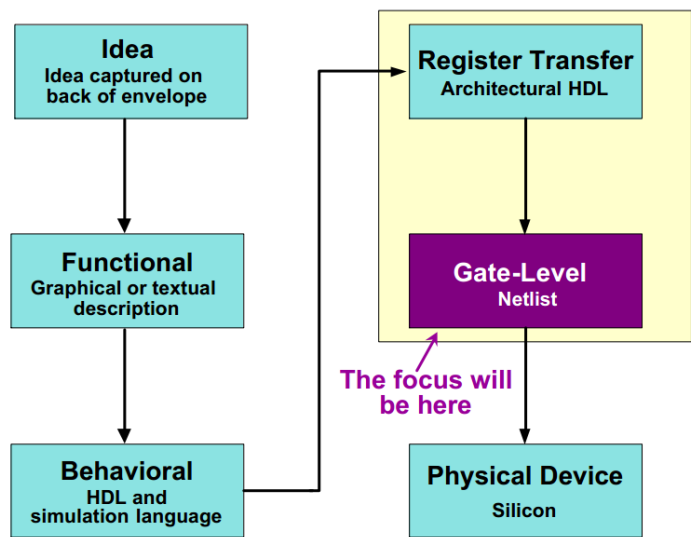
我的标签

- FPGA基础知识(12)
- 数字IC设计(9)
- chisel(2)

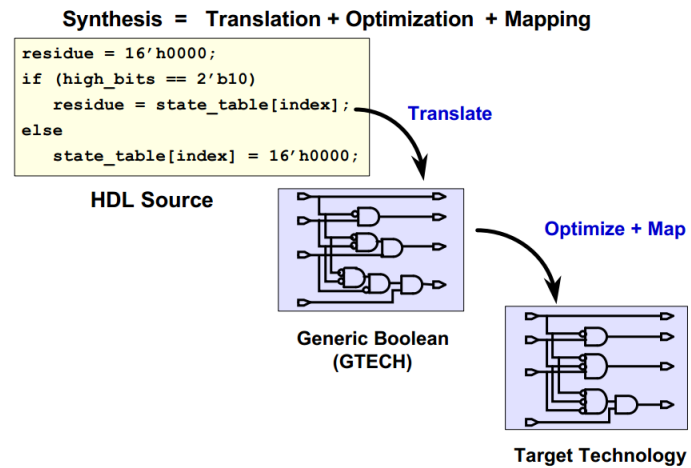
1 what is synthesis?

综合是将一种思想转化为一种可制造的设备，以实现一种预期的功能。

2 level of abstraction



3 synthesis in this workshop



4 library

Synopsys提供了一个例子，在下面的位置：

`$synopsys/doc/syn/guidelines`

首先，可以在`synopsys_dc.setup`里面设置库的位置和一些环境变量。里面包括所使用库的位置，DC涉及到几个库文件：

1、**工艺库(target_library)**：工艺库是综合后电路网表要最终映射到的库，读入的HDL代码首先由synopsys自带的GTECH库转换成Design Compiler内部交换的格式，然后经过映射到工艺库和优化生成门级网表。工艺库是由Foundary提供的，一般

随笔档案

2020年8月(2)

2020年7月(3)

2020年5月(14)

2020年4月(7)

最新评论

1. Re: 【FPGA篇章八】FPGA硬件加速：详述FPGA的硬件加速器设计思想

请问硬件加速具体怎么实现呢？有完整的工程或者代码可以借鉴吗？

--Dear_Daisy

2. Re: 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法

@你好24h 明白了，谢谢...

--Pent°

3. Re: 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法

@Pent° 如果地址信息在系统任务和数据文件里面都进行了说明，那么数据文件里的地址必须在系统任务中地址参数声明的范围之内。否则提示错误，并且装载数据到存储器中的操作被中断。...

--你好24h

4. Re: 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法

Iz, 2.4 读取数据到内存中代码中，test6的调用任务：\$readmemh("../test5.txt");没有指定地址。以及你的注释> 文件内的地址必须在任务参数地址的范围内，指的是txt文件的...

--Pent°

是.db的格式。这种格式是DC认识的一种内部文件格式，不能由文本方式打开。 .db格式可以由文本格式的.lib转化过来，他们包含的信息是一致的。

2、 **链接库(link_library)**: link_library设置模块或者单元电路的引用，对于所有DC可能用到的库，我们都需要在link_library中指定，其中也包括要用到的IP。此处还要将search_path加进来，这样才能找到.db文件，否则只会搜索当前目录。

3、 **符号库(symbol_library)**: symbol_library是定义了单元电路显示的Schematic的库。用户如果想启动design_analyzer或design_vision来查看、分析电路时需要设置symbol_library。符号库的后缀是.sdb，加入没有设置，DC会用默认的符号库取代。

4、 **综合库(synthetic_library)**: 在初始化DC的时候，不需要设置标准的DesignWare库standard.sldb用于实现Verilog描述的运算符，对于扩展的DesignWare，需要在synthetic_library中设置，同时需要在link_library中设置相应的库以使得在链接的时候DC可以搜索到相应运算符的实现。

5 the steps of synthesis

综合策略：

Top-down 方式的层次化编译策略有这样三个步骤：

- 1. 读入整个设计。
- 2. 处理多次引用的模块；基于设计要求在顶层加约束条件以及定义属性。
- 3. 编译。

Bottom-up有下面七个步骤：

- 1. 独立编译子模块，用估计的驱动和负载。用一个缺省的脚本文件来估计驱动和负载。
- 2. 将整个编译好的设计读入。
- 3. 对一个子模块用characterize命令来获得端口信息。
- 4. 用write_script来将这些传递过来的信息保存下来。
- 5. 清除内存，将前面得到传递信息的子模块调入并且用保存下来的脚本文件重新编译。为了这些描述信息能够应用，需要将db格式的文件读入。
- 6. 将这个新编译的子模块和其余的子模块全部再次调入DC。
- 7. 选择另外一个子模块，重复3~7步，直到所有的子模块都重新编译过了。

Hello world! Keep coding!

标签: 数字IC设计

好文要顶

关注我

收藏该文

你好24h
关注 - 0
粉丝 - 13
[+加关注](#)

00

« 上一篇: IC基础(八): 数字电路设计中常用的算法
» 下一篇: 数字IC设计之DC(二): DC设置、库和对象

posted @ 2020-07-25 17:15 你好24h 阅读(907) 评论(0) 编辑 收藏 举报

5. Re: 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法

@桂。谢谢鼓励，再接再厉...

--你好24h

阅读排行榜

- 1. IC基础(一): 异步FIFO原理与代码实现(1793)
- 2. 【FPGA篇章八】FPGA硬件加速：详述FPGA的硬件加速器设计思想(1742)
- 3. 【FPGA篇章一】FPGA工作原理：详细介绍FPGA实现编程逻辑的机理(1610)
- 4. 【FPGA总线篇章一】FPGA大话总线之AXI总线(1384)
- 5. 数字IC设计的全流程(1093)

评论排行榜

- 1. 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法(5)
- 2. 【FPGA篇章八】FPGA硬件加速：详述FPGA的硬件加速器设计思想(1)

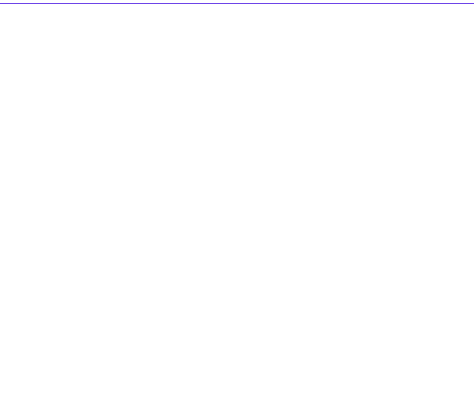
推荐排行榜

- 1. 【FPGA篇章七】FPGA系统任务：详述常用的一些系统函数以及使用方法(1)

[刷新评论](#) [刷新页面](#) [返回顶部](#)

登录后才能查看或发表评论，立即 [登录](#) 或者 [逛逛](#) 博客园首页

- 【推荐】百度智能云618年中大促，限时抢购，新老用户同享超值折扣
- 【推荐】大型组态、工控、仿真、CAD\GIS 50万行VC++源码免费下载!
- 【推荐】618好物推荐：基于HarmonyOS和小熊派BearPi-HM Nano的护花使者
- 【推荐】阿里云爆品销量榜单出炉，精选爆款产品低至0.55折
- 【推荐】限时秒杀！国云大数据魔镜，企业级云分析平台



编辑推荐:

- [.Net Core with 微服务 - Consul 注册中心](#)
- [为什么选择 ASP.NET Core](#)
- [从 Vehicle-Reld 到 AI 换脸，应有尽有，解你所惑](#)
- [CSS ::marker 让文字序号更有意思](#)
- [聊一聊 .NET Core 结合 Nacos 实现配置加解密](#)



最新新闻:

- [佳能中国办公室安装AI相机 员工微笑才可进入](#)
- [世卫：Delta变异株正成为主要流行病毒株，已扩散至超80国](#)
- [贾跃亭父亲节发文：FF就像我的孩子，我永远自豪](#)
- [盖茨出轨丑闻曝光，股东敦促微软严打性骚扰](#)
- [亚马逊虚假评论泛滥 卖家在FB送免费样品收买用户](#)
- » [更多新闻...](#)