

Checklist

*請依照這份 checklist 確定該繳交的檔案是否有交齊，並且在 Fin 填寫自己這個階段是否有完成。在 Comment 中寫上需要請助教特別注意的事，ex 沒完成，但做到什麼地步...

Design Stage	Description	Fin	Comment
		(y/n)?	如果有需要請在 comment 描述自己的狀態、結果
Software (/SW)	Your program (*.exe, *.m...)	y	1.檔案請放在/SW 資料夾內 2.與硬體對應的軟體實作 3.單純採用 ICcontest 者可以忽略這部分
	Test pattern	y	無測試資料
RTL implementation (/RTL)	Source file <Verilog file (*.v) >	y	1.檔案請放在/RTL/hdl 內 2.你所寫的電路檔、不會用來合成的 model... 所有.v 檔案
	Simulation file <testbench (*.v) ncverilog.log, mist.txt>	y	1.檔案請放在/RTL/sim 內 2.請在 misc.txt 描述哪些檔案需要加入模擬(或是自己寫好 filelist)，並且解釋 testbench 如何模擬你的功能
	Spyglass report <spyglass.rep>	y	檔案請放在/RTL 內
Synthesis (/SYN)	DC < netlist (*.v), synthesis scripts(*.tcl), synthesis log(*.log), reports(*.rep), misc.txt>	y	1.netlist 檔案請放在/SYN/netlist 內 2.其餘檔案請放在/SYN 內 2.請記得附上 timing, power, area 的 report 3. 請在 misc.txt 中描述設定 constrain 的原因以及合成的策略
	ICC <netlist (*.v), delay (*.sdf) P&R log (*.log), reports (* .rep), DRC&LVS results (* .rep)>	y	1.netlist 檔案請放在/APR/netlist 內 2.其餘檔案請放在/APR 內 3.請記得附上 timing, power, area 的 report 4. 請在 misc.txt 中描述設定 constrain 的原因以及 P&R 的策略
P&R (/APR)	Post-Simulation < testbench (*.v) ncverilog.log>	y	1.檔案請放在/APR/posim 內
	Power Analysis <pt_power.rep, scripts(*.tcl)>	y	1.檔案請放在/APR/PT 內
pdf document. (/)	1.放入這份 Gxx_Checklist.pdf, Gxx_finalproject.pdf, 2.簡述如何使用你的 SW 驗證 3.請附上你們 project 資料夾的路徑，並公開權限讓助教可以抓到檔案	y	

Software Usage

請描述你們如何利用其他軟體的實作來驗證演算法，並提供硬體所需的模擬資。

如果是完全採用 IC contest 的 testbench 以及測資，那麼也請在這邊說明

在測試 sine/cosine, square root, and natural logarithm 的時候，因為我們是採用 cordic algorithm 的方式去逼近的，所以模擬結果跟計算機算出來的結果會有些許誤差，除了看這些誤差的大小以外，我們還額外寫了 matlab 的 code 來驗證我們寫的 cordic algorithm 是否跟 matlab 上面的一樣。

至於加減乘除的話，我們就單純從網路上 <http://weitz.de/ieee/> 來計算結果進行比較。

Project path

由於 project 有許多檔案太大，所以在交 project 時只需要交上述 checklist 中要求的檔案，其餘只要放在自己的資料夾下，並提供助教路徑就可以了。另外為了讓助教們可以抓到檔案，請記得開啟可以讀取的權限。

~u107061240/ICLAB/final_v2

icc_run 最後的版本為 icc_run_V4

Filetree

為了方便助教們了解你 project 資料夾底下有哪些東西，請列出重要資料夾/檔案，並敘述功能

Ex:

hdl: 放置 RTL 檔案

top_pipe.v 最後完成電路的 top module

*.v 其餘的 module...

sim: 放置模擬的檔案

test_top.v 為唯一模擬的 testbench.v

...

golden: 模擬所需的 data

input 的形式為 operand_1(64bits)_mode(3bits)_operand_2(64bits) 在 mode = 4-7 的時候，我們只會用到一個 operand，所以只有 operand_1 會有值，operand_2 會設為 0

output 的形式為 result(64 bits)

posim: 放置 post-sim 所需檔案

test_post_sim.v 為唯一模擬的 testbench.v

其餘皆按照 checklist 要求放置，需要注意的是助教若想試試 post-sim 以及 power_analysis，.tcl 以及 .f 的路徑可能需要修改