

## 실험 6 보고서. 순차회로 - 계수기

2022. 05. 20

20210054 정하우

### 1. 개요

순차회로의 대표적인 예시 중 하나인 계수기(Counter)의 특성을 알아보고 다양한 계수기를 구현해본다.

### 2. 이론적 배경

#### 1) D 플립플롭

D FF 은 clock 신호에 맞춰 입력 D 가 Q 에 반영되는 회로이다. 즉, 입력 값 D 와 출력값 Q 가 같다. JK FF 에  $J = D$ ,  $K = D'$ 로 연결해서 만들 수 있다.

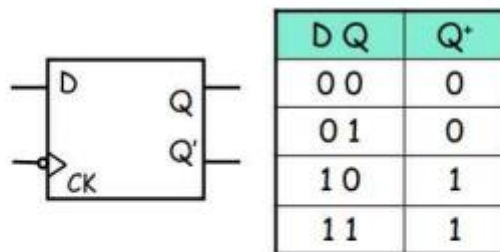


그림 1. D 플립플롭의 회로와 Excitation table

#### 2) 계수기

계수기는 순차회로의 한 종류로, Clock 에 따라 순차적으로 한 사이클을 이루는 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 사용 목적에 따라 출력 패턴을 달리하여 다양한 종류의 계수기를 만들 수 있다.

#### 3) 동기 계수기(Synchronous Counter)

동기 계수기는 조합회로를 통해 clock 신호를 카운터의 모든 flip-flop 에 동시에 동작하는 계수기이다. 비동기 계수기에 비해 회로가 복잡하지만 clock 이 지연되지 않기 때문에 작동 속도는 더 빠르다.

#### 4) 십진 계수기(Decade Counter)

십진 계수기는 십진수를 순차적으로 세는 회로이다. 그림 2 와 같이 0 부터 9 까지 반복하여 해야한다.

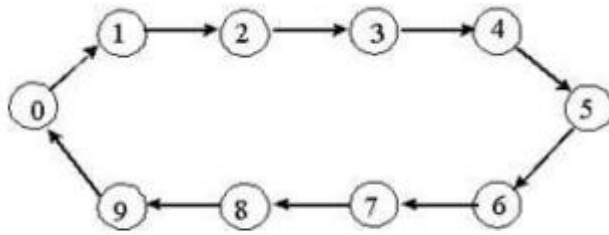


그림 2. 십진 계수기의 상태 전이도

#### 5) 상태 전이도 및 전이표

상태 전이도와 전이표는 순차회로의 상태 변화를 그림 혹은 표로 나타낸 것이다. 예를 들어 3 비트 이진 계수기는 아래 그림 3 과 같이 나타낼 수 있다.

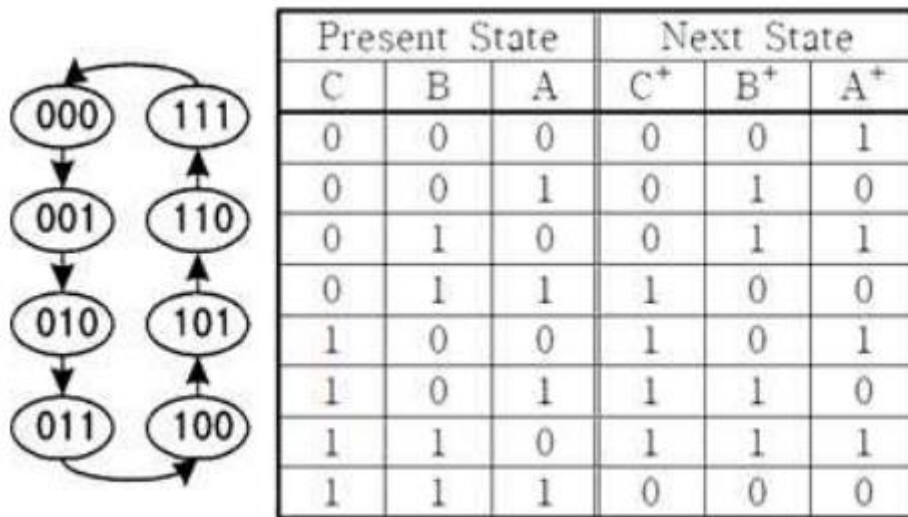
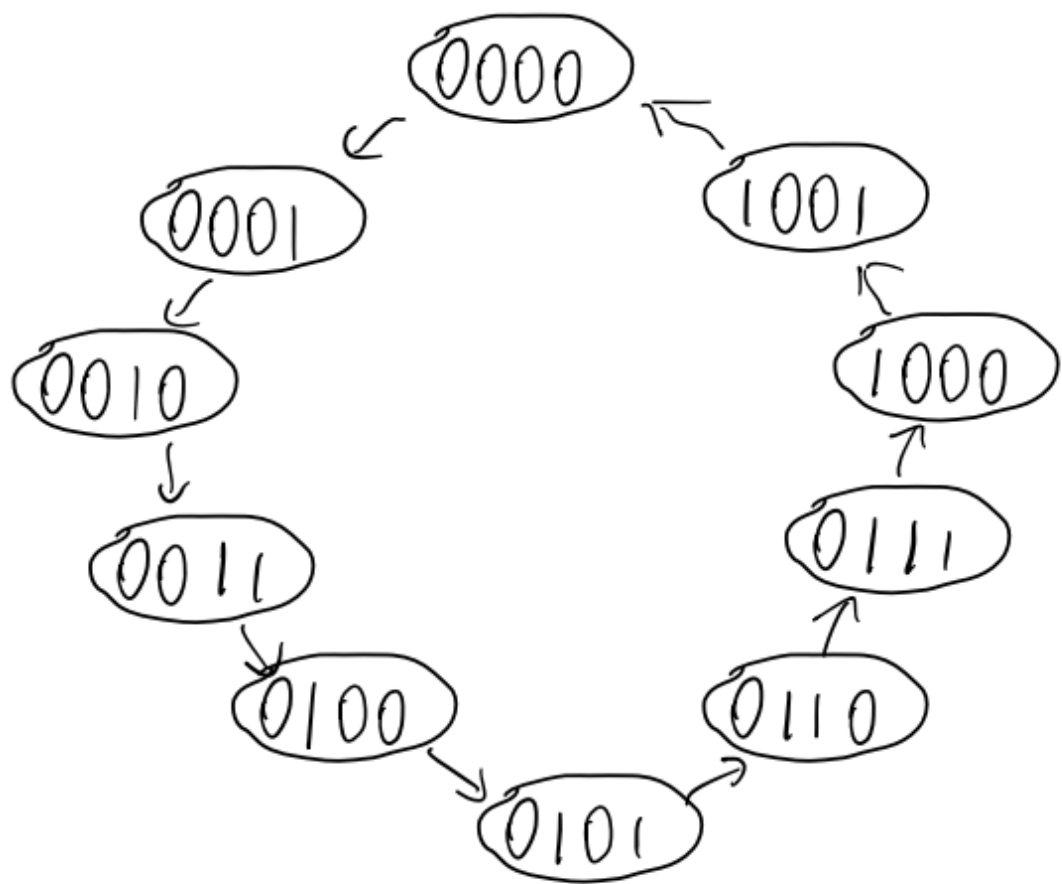


그림 3. 3비트 이진 계수기의 상태 전이도와 전이표

### 3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

ㄱ. 계수기의 상태 전이표를 그린다.



ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 JK 플립플롭의 입력을 구한다.

$C_3$	$C_2$	$C_1$	$C_0$	$C_3^+$	$C_2^+$	$C_1^+$	$C_0^+$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	1
0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
0	1	0	1	0	1	1	0	0	X	X	0	1	X	X	1
0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1
1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
1	0	0	1	0	0	0	0	X	1	0	X	0	X	X	1

ㄷ. JK 플립플롭의 입력을 단순화하여 나타낸다.

$J_3$ 

$\begin{smallmatrix} C_1 C_0 \\ C_3 C_2 \end{smallmatrix}$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$J_3 = C_2 C_1 C_0$$

 $K_3$ 

$\begin{smallmatrix} C_1 C_0 \\ C_3 C_2 \end{smallmatrix}$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10	0	1	X	X

$$K_3 = C_0$$

 $J_2$ 

$\begin{smallmatrix} C_1 C_0 \\ C_3 C_2 \end{smallmatrix}$	00	01	11	10
00	0	0	1	0
01	X	X	X	X
11	X	X	X	X
10	0	0	X	X

$$J_2 = C_1 C_0$$

 $K_2$ 

$\begin{smallmatrix} C_1 C_0 \\ C_3 C_2 \end{smallmatrix}$	00	01	11	10
00	X	X	X	X
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$K_2 = C_1 C_0$$

$J_1$ 

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	0	1	X	X
01	0	1	X	X
11	X	X	X	X
10	0	0	X	X

$$J_1 = C_3' C_0$$

 $K_1$ 

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	X	X	1	0
01	X	X	1	0
11	X	X	X	X
10	X	X	X	X

$$K_1 = C_0$$

 $J_0$ 

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	1	X	X	1
01	1	X	X	1
11	X	X	X	X
10	1	X	X	X

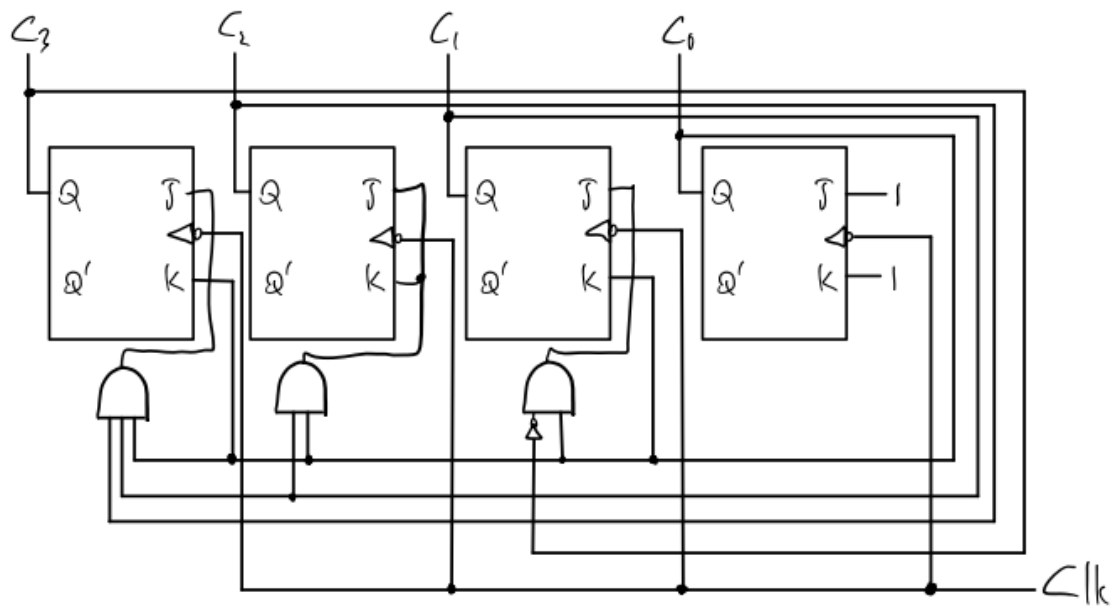
$$J_0 = 1$$

 $K_0$ 

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	X	1	1	X
01	X	1	1	X
11	X	X	X	X
10	X	1	X	X

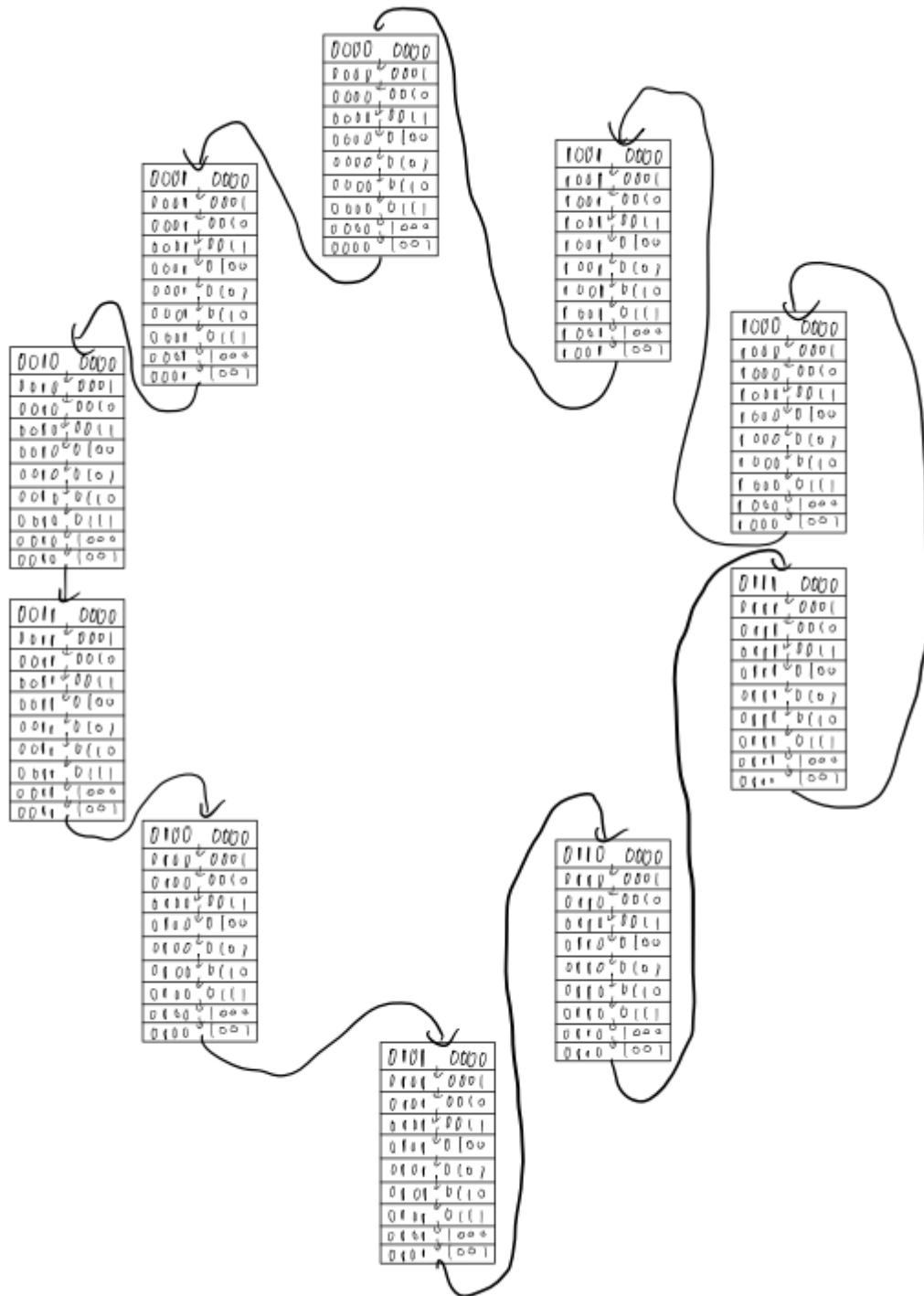
$$K_0 = 1$$

∴ 전체 회로도를 그린다.



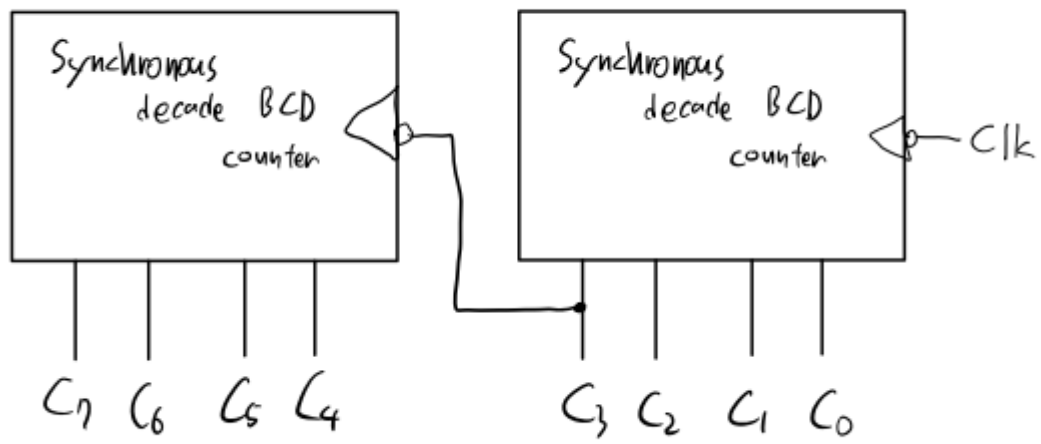
2) JK 플립플롭을 이용한 두자리수 Decade BCD counter (0~99)

ㄱ. 계수기의 개략적인 상태 전이도를 그린다.



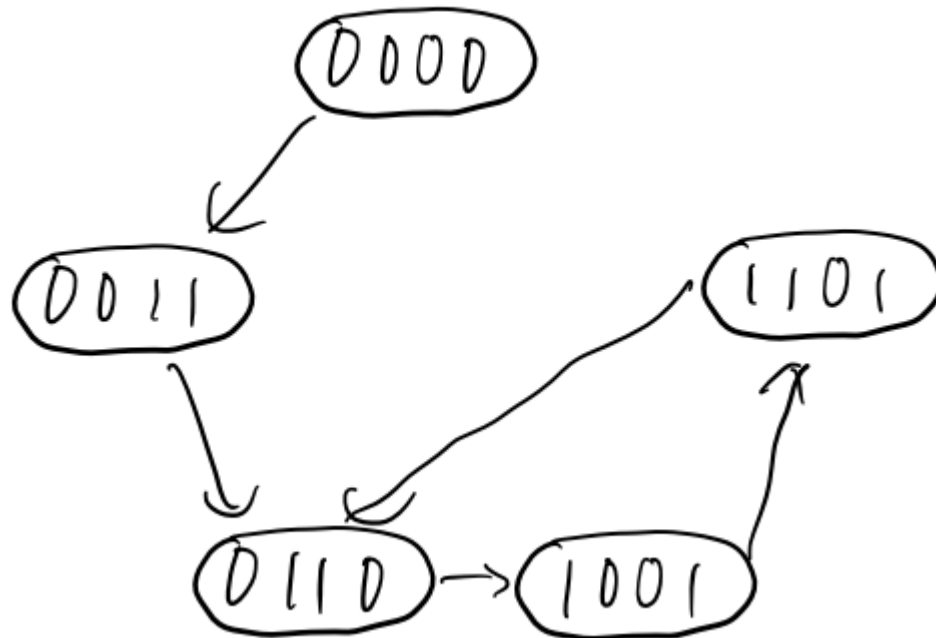
ㄴ. 1)의 계수기를 활용하여 회로도를 그린다.





3) D 플립플롭을 이용한 3, 6, 9 계수기

ㄱ. 계수기의 상태 전이도를 그린다.



ㄴ. 상태 전이표를 작성하고 각 상태 전환에 필요한 D 플립플롭의 입력을 구한다.

$C_3$	$C_2$	$C_1$	$C_0$	$C_3^+$	$C_2^+$	$C_1^+$	$C_0^+$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	1	1	0	0	1	1
0	0	0	1	X	X	X	X	X	X	X	X
0	0	1	0	X	X	X	X	X	X	X	X
0	0	1	1	0	1	1	0	0	1	1	0
0	1	0	0	X	X	X	X	X	X	X	X
0	1	0	1	X	X	X	X	X	X	X	X
0	1	1	0	1	0	0	1	1	0	0	1
0	1	1	1	X	X	X	X	X	X	X	X
1	0	0	0	X	X	X	X	X	X	X	X
1	0	0	1	1	1	0	1	1	1	0	1
1	0	1	0	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X
1	1	0	1	0	1	1	0	0	1	1	0
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

ㄷ. 플립플롭의 입력을 단순화하여 나타낸다.

$D_3$

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	0	X	0	X
01	X	X	X	1
11	X	0	X	X
10	X	1	X	X

$$D_3 = C_1 C_0' + C_3 C_2'$$

$D_2$

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	0	X	1	X
01	X	X	X	0
11	X	1	X	X
10	X	1	X	X

$$D_2 = C_0$$

$D_1$

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	1	X	1	X
01	X	X	X	0
11	X	1	X	X
10	X	0	X	X

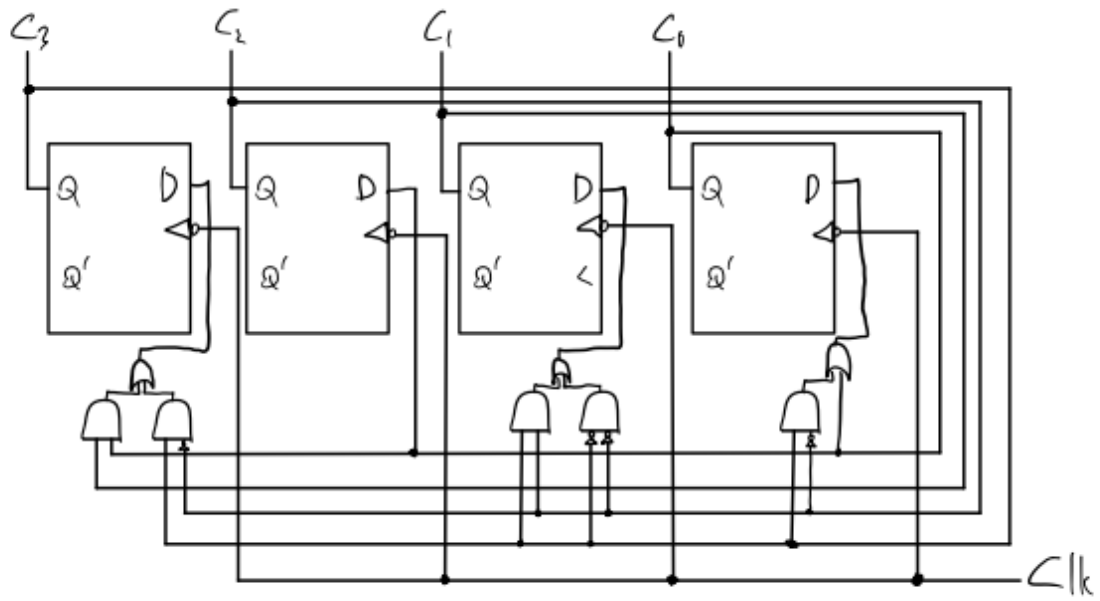
$$D_1 = C_1' C_2' + C_3 C_2$$

$D_0$

$C_3C_2 \backslash C_1C_0$	00	01	11	10
00	1	X	0	X
01	X	X	X	1
11	X	0	X	X
10	X	1	X	X

$$D_0 = C_0' + C_3 C_2'$$

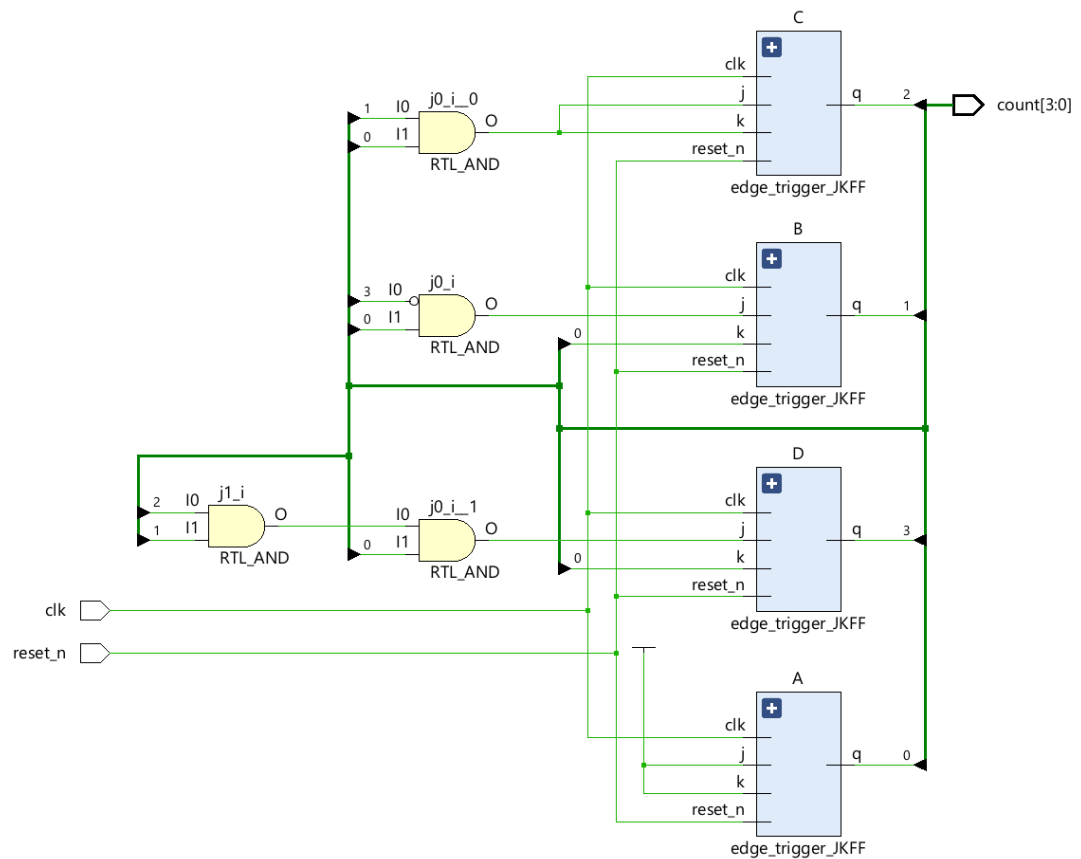
ㄹ. 전체 회로도를 그린다.



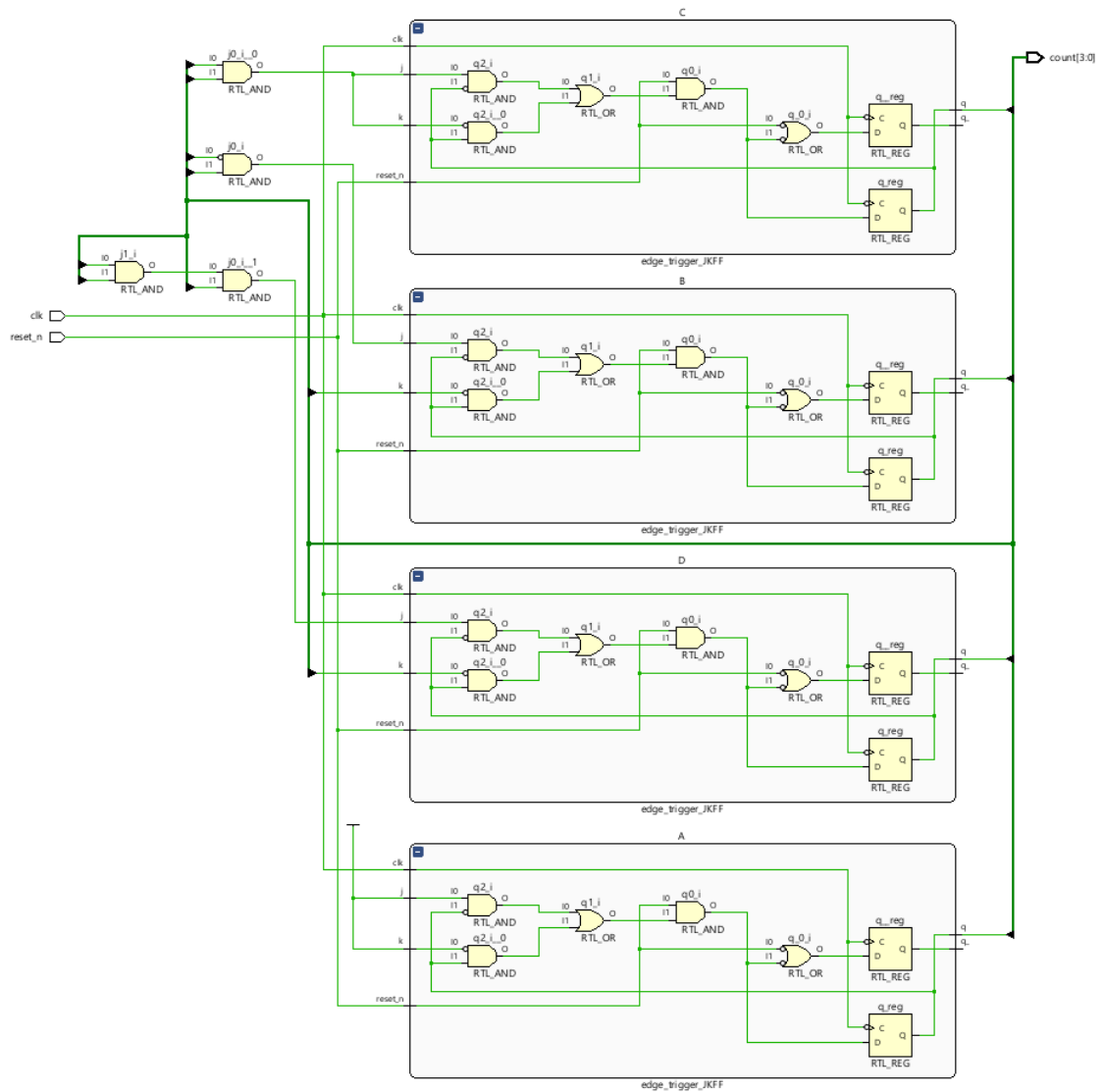
#### 4. 결과

1) 십진계수기 lab6\_1.v, lab6\_1\_tb.v

회로도 는 다음과 같다.

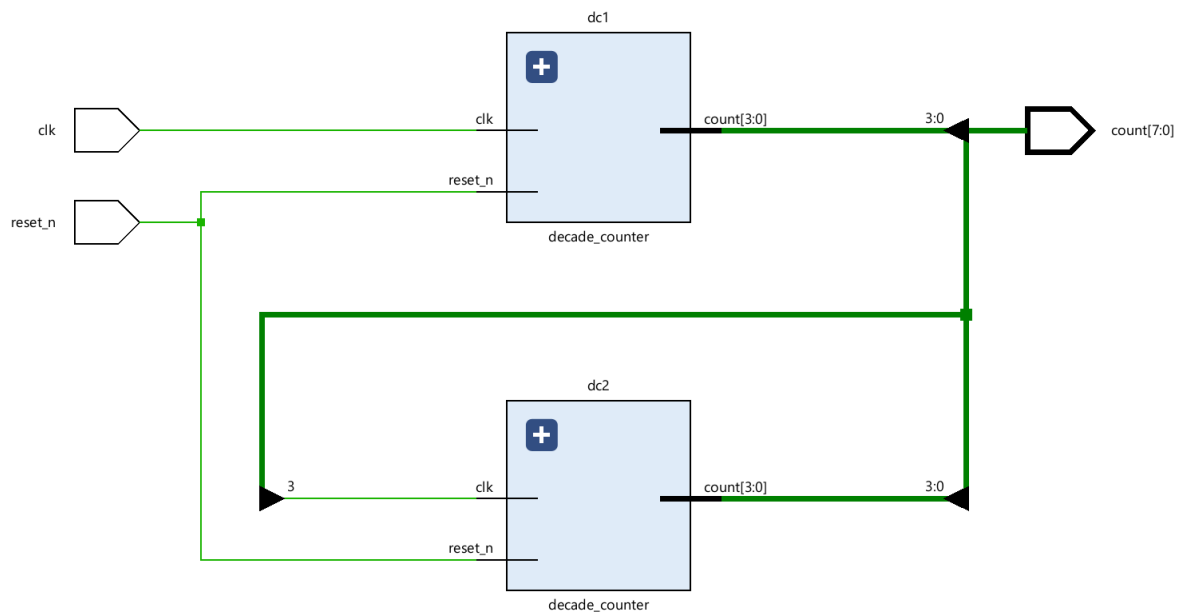


문제에서 주어진 J-K FF 회로도 까지 포함하면 회로도는 다음과 같다.

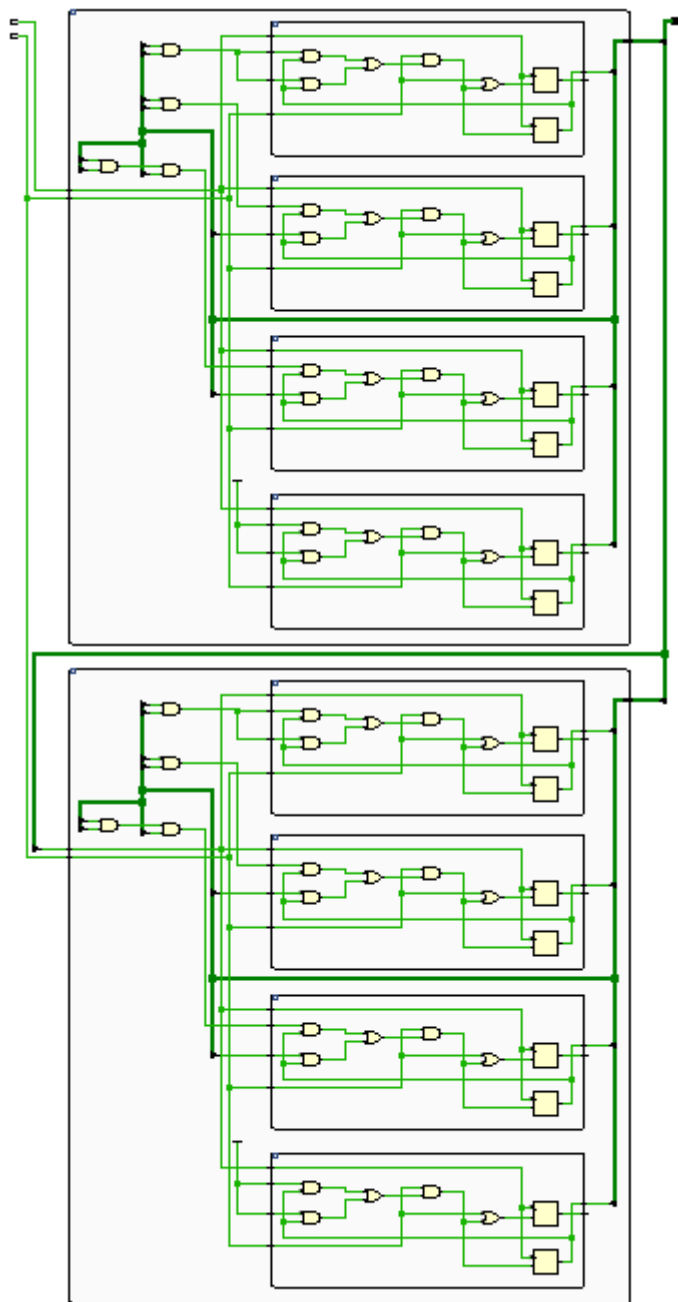


2) 두자리수 십진 계수기 lab6\_2.v, lab6\_1\_tb.v

회로도는 다음과 같다



1)회로와 J-K FF 를 펼치면 회로도 는 다음과 같다.

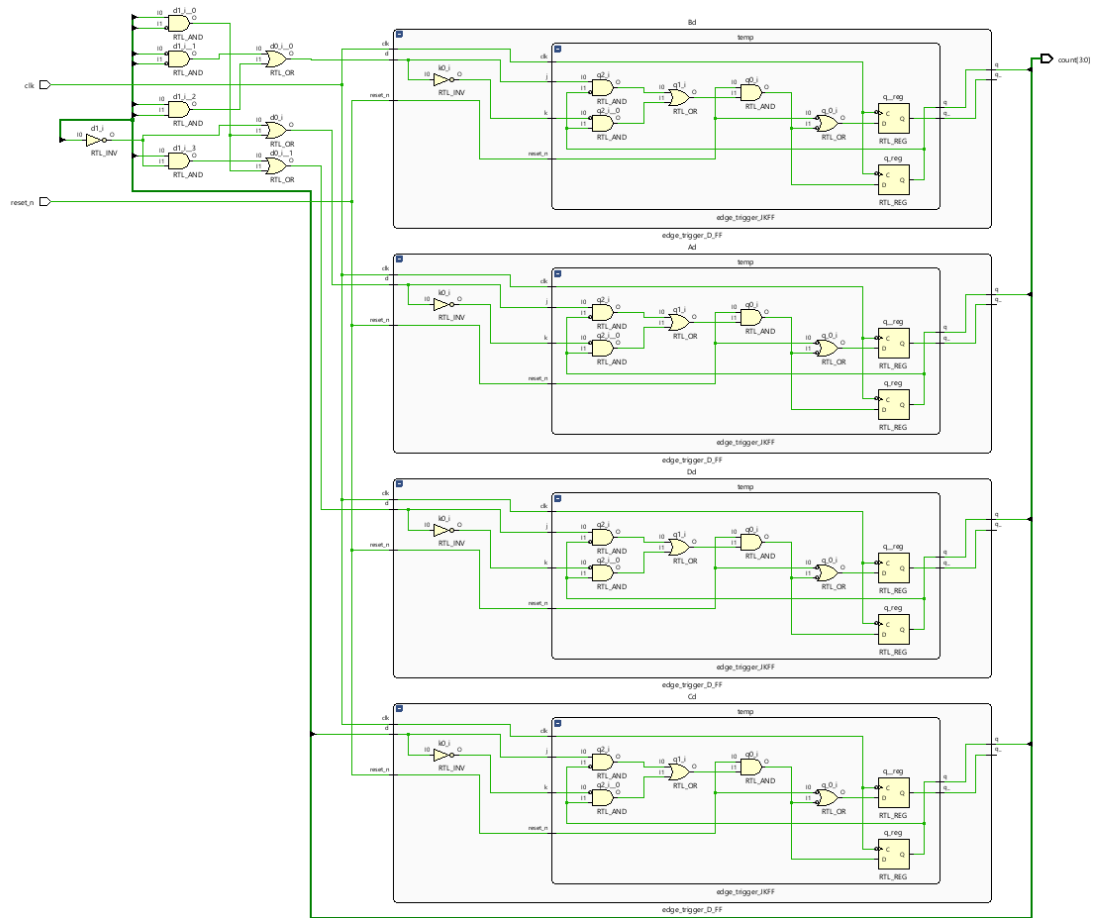


3) 3, 6, 9 계수기 lab6\_3.v, lab6\_ff.v lab6\_1\_tb.v

회로도는 다음과 같다.

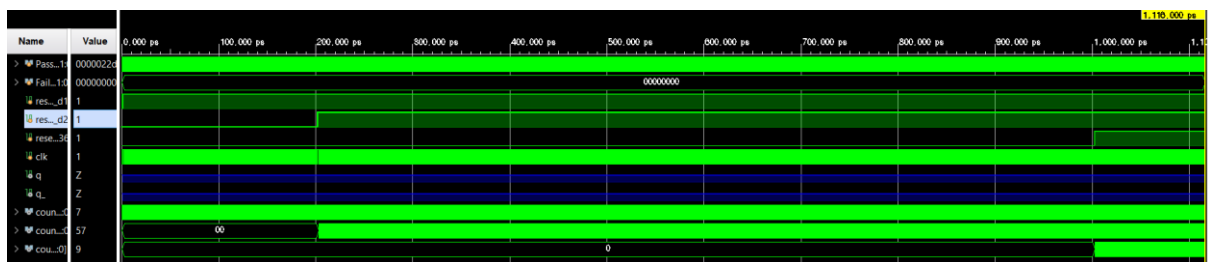




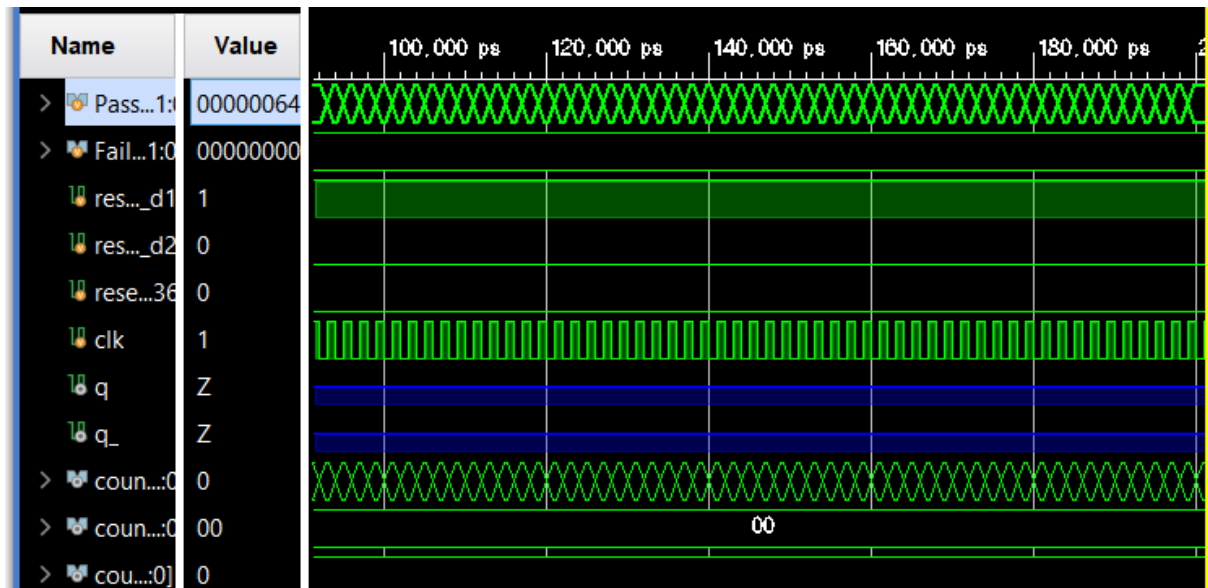


<testbench를 통해 얻은 그래프>

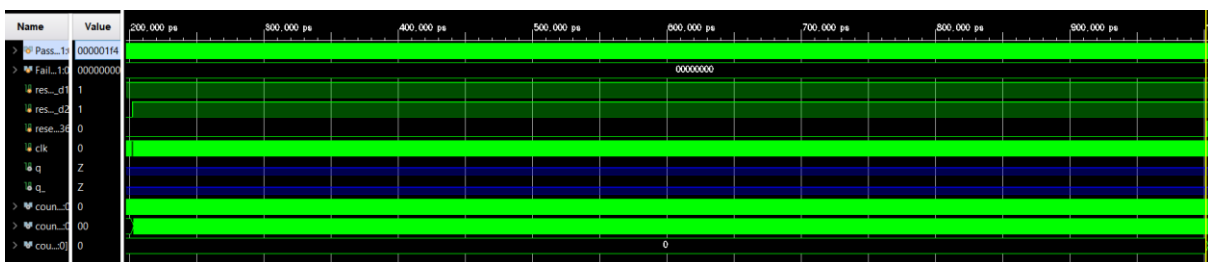
1번 실험에서 100번, 2번 실험에서 400번, 3번 실험에서 57번 돌려본 결과, Pass값이 0000022d, 즉  $2 \times 16^2 + 2 \times 16 + 13 = 557$ , fail=00000000이 나왔다. pass값이 100+400+57이 나왔으므로 정상적으로 작동했음을 볼 수 있다.



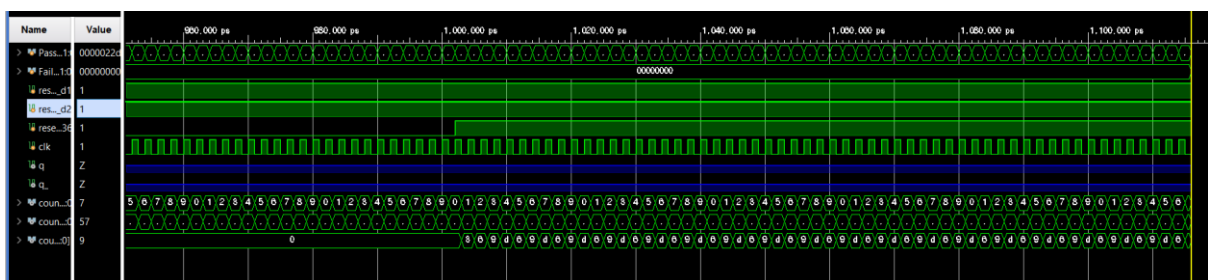
1번 실험 까지 진행했을때의 그래프이다. Pass값이 00000065, 즉  $6 \times 16 + 5 = 100$ , fail=00000000이 나왔다. 값이 정확하게 나왔다는 사실을 알 수 있다.



2번 실험 까지 진행했을때의 그래프이다. Pass값이 000001f4, 즉  $1 \times 16^2 + 15 \times 16 + 4 = 500$ , fail=00000000이 나왔다. 값이 정확하게 나왔다는 사실을 알 수 있다.



3번 실험 까지 진행했을때의 그래프이다. Pass값이 0000022d, 즉  $2 \times 16^2 + 2 \times 16 + 13 = 557$ , fail=00000000이 나왔다. 값이 정확하게 나왔다는 사실을 알 수 있다.



## 5. 논의 및 결론

기존에 제공된 J-K flip-flop을 이용하여 다양한 계수기를 만들어 보았다. 동기방식으로 구현을 해 보았고, 비동기방식은 회로가 간단함을 감안하면 비동기 방식이 훨씬 개념을 잡는데 도움이 많이 될거라 생각했고, 실제로 많은 도움이 된거 같다.

역시 testbench를 구현하는게 가장 어려웠다. 세 계수기의 reset 값을 0으로 초기화 해야한다는 사실을 깨닫는데 시간이 가장 오래 걸렸던 것 같다.

시뮬레이션을 돌려서 옳게 나오는지 보기 위해 계수기의 주기보다 훨씬 많이 돌렸다. 1번 계수기의 경우에는 10가지 경우밖에 없지만 100번 돌렸고, 2번 계수기 역시 100번이 주기지만 400번 돌렸다. 3번 계수기의 경우에는 초기 0, 3을 제외하고 주기가 3이지만, 총 57번을 돌렸다. 그 결과 passed 값이  $100+400+57=557$ 이 나와 옳게 구현했음을 알 수 있었다.