

Computer Architecture

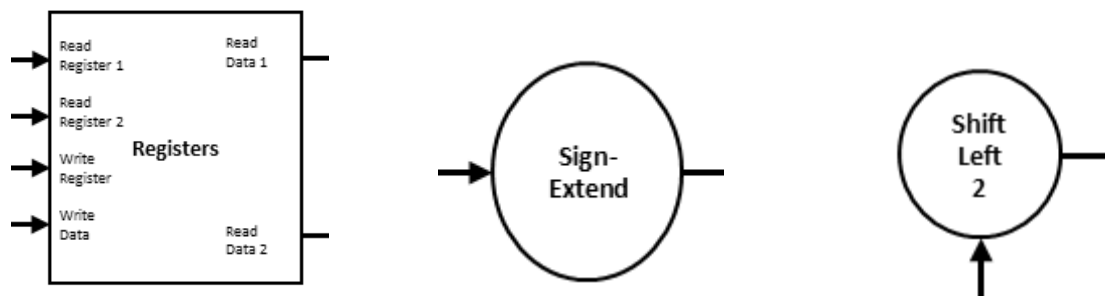
MIPS Design HW #2

목표

- Verilog HDL을 이용하여 MIPS Processor의 Decode구간을 구현 및 검증합니다.

할일

- 32Bits Registers를 설계합니다.
- Register에 Write에 대한 Control Signal을 추가하여 봅니다.
- 32Bits Sign-Extend를 설계합니다. 16Bits Input / 32Bits Output입니다.
- 32Bits Left Shifter를 설계합니다. (왼쪽으로 2만큼 Shift합니다.)
- Registers는 Write동작은 Edge-Triggered 방식으로 구현합니다. (Falling Edge)
- Registers는 Read동작은 Clock에 동기화 되지 않습니다.



기한

- 5/9(목) 수업 전까지 3가지 Module Source를 인쇄하여 제출합니다.

제출항목

- Registers Module Source
- Sign-Extend Source
- Shift Left2 Source

질문

- E-Mail(조교) : bluerose7112@gmail.com