

# Computer Architecture

## MIPS Design HW #3

### 목표

- Verilog HDL을 이용하여 MIPS Processor의 Execute구간을 구현 및 검증합니다.

### 할일

- 32 Bits Adder를 설계합니다. (Address 계산에 쓰일 모듈)
- 32 Bits ALU를 구현합니다. (Add, Sub, And, Or, Slt 연산 가능한 ALU)
- Control Unit을 구현합니다.
- ALU는 Control Signal에 따라 해당하는 연산결과를 출력합니다.
- ALU의 Control Signal의 BitWidth는 3입니다.
- Control Unit의 입력은 OP Code이며, 출력은 WriteReg, MemToReg, Branch, ReadMem, WriteMem, DstReg, ALUSrc, ALU\_OP[1:0]입니다.
- OP Code로 가능한 Instruction은 Add, Sub, And, or, Slt, Sw, Lw, Beq입니다.
- 각각의 상황에 맞도록 Control Signal을 정의합니다.
- 각 Signal의 위치는 MIPS Datapath PDF 파일을 참고합니다.

### 알림

- 디자인 과제 1과 2에서는 Fetch와 Decode의 일부분을 만들어보았고, 이번 과제를 통해 Execute를 만들 수 있습니다.
- 다음 과제에서는 Memory Access부분과 WriteBack부분을 구현할 계획입니다.
- 이번 과제에서는 레포트 제출은 하지 않습니다.

### 질문

- E-Mail(조교) : [bluerose7112@gmail.com](mailto:bluerose7112@gmail.com)