

8051 구조

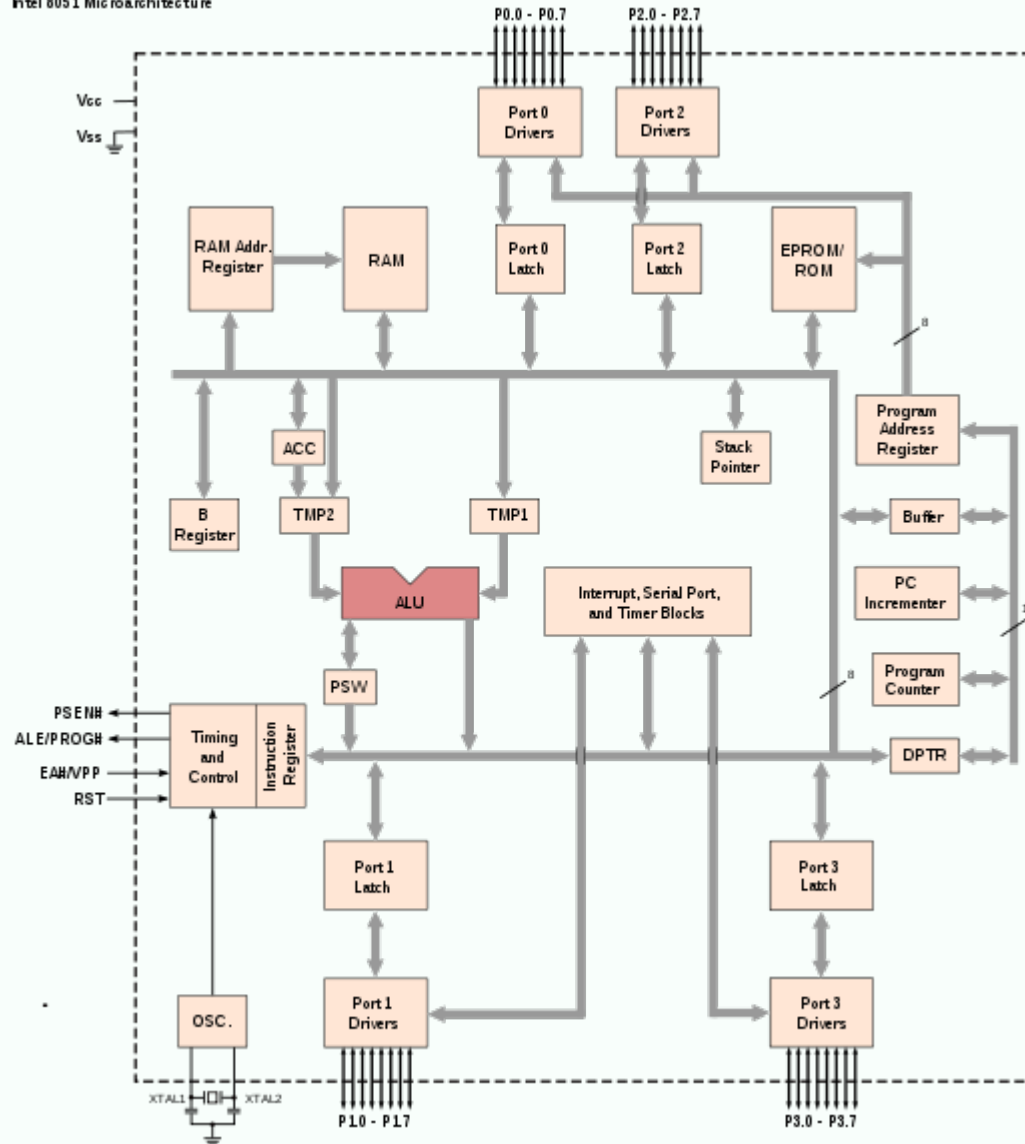
마이크로프로세서 발달과정

- 1975년 : Texas Instrument 최초로 TMS1000 개발
 - (1971년 Intel 4bit 마이크로프로세서 4004 개발)
- 1976년 : Intel 8bit Microcontroller 8048(MCS-48) 개발
 - Motorola 8bit MC6801 개발
- 1980년 : Intel 8bit Microcontroller 8051(MCS-51) 개발
- 1982년 : Intel 16bit MCS-96 개발
- 1988년 : Intel 32bit M/C 80960 개발

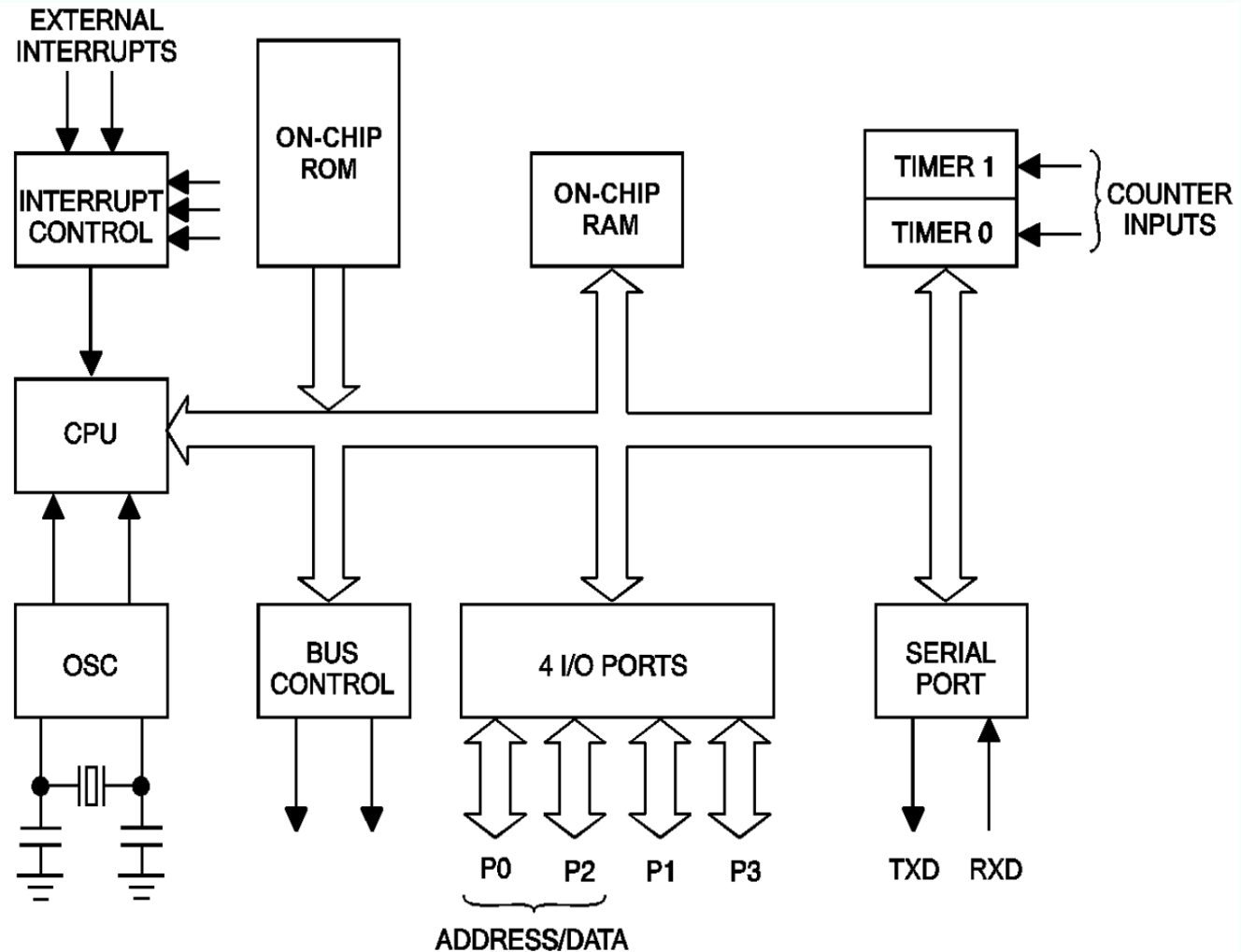


1. 기본 구조 및 핀 기능

Intel 8051 Microarchitecture



8051 블록 다이어그램



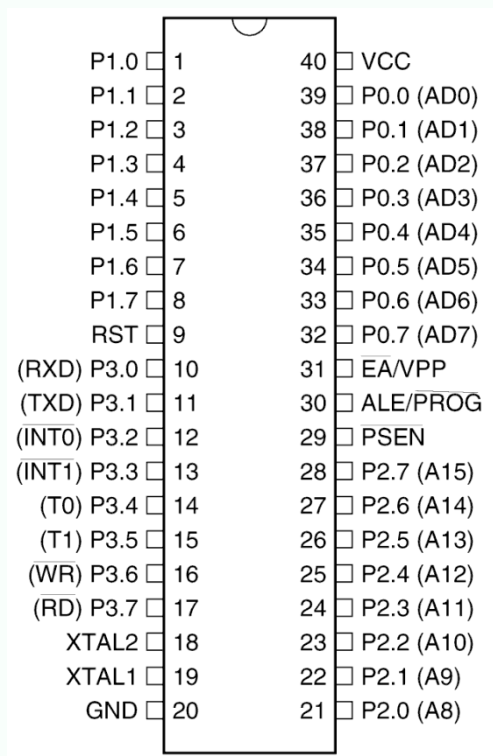
1.2 8051의 기본 특징

- 8bit CPU로 최적화된 응용에 적합
- 4Kbyte의 내부 프로그램 메모리(ROM)를 내장
- 128byte의 내부 데이터 메모리(RAM)
 - 128byte의 특수 기능 레지스터 (SFR : Special Function Register)
- 외부 프로그램 메모리와 데이터 메모리를 각각 64Kbyte까지 확장 가능
(단, 프로그램 메모리의 하위 4Kbyte는 자체 내장)
- 16bit 타이머/카운터가 2개 내장
- 우선순위구조를 갖는 5개의 인터럽트 소스
- 파워 컨트롤 모드(Idle과 power-down 모드) 제공

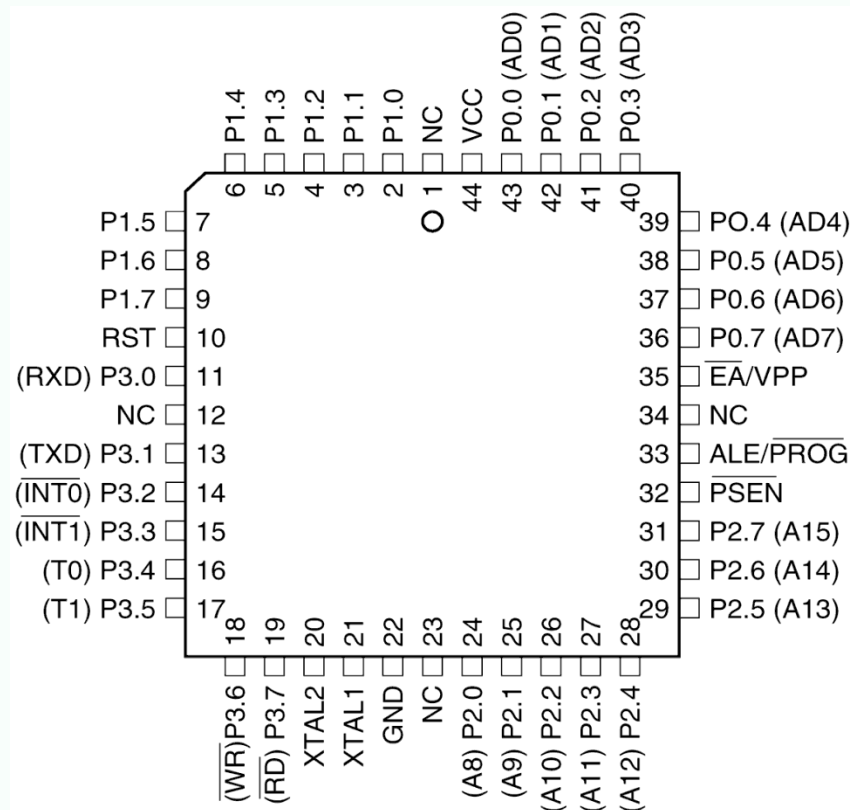
8051 Family

명칭	내부 메모리		인터럽트 소스	타이머/카운터	비고
	프로그램(ROM)	데이터(RAM)			
8031AH	none	128 × 8	5	2×16bit	
8051AH	4K×8 ROM	128 × 8	5	2×16bit	
8751H	4K×8 EPROM	128 × 8	5	2×16bit	
8032AH	none	256 × 6	6	3×16bit	
8052AH	8K×8 ROM	256 × 6	6	3×16bit	
8752BH	8K×8 EPROM	256 × 6	6	3×16bit	
89C51	4K×8 Flash	128 × 8	5	2×16bit	Atmel
89C2051	2K×8 Flash	128 × 8	5	2×16bit	Atmel

1.3 8051의 핀 구조 및 기능



PDIP형



PLCC형

■ 포트 0(P0) [32~39]

- 기본적인 기능으로 8비트 양방향성 입/출력 포트로 사용
- 2차 기능으로 외부 메모리(ROM, RAM)을 액세스하는 경우 메모리의 하위 어드레스(A0~A7)와 데이터 버스로 사용

■ 포트 1(P1) [1~8]

- 기본적인 기능으로 8비트 양방향성 입/출력 포트로 사용

■ 포트 2(P2) [21~28]

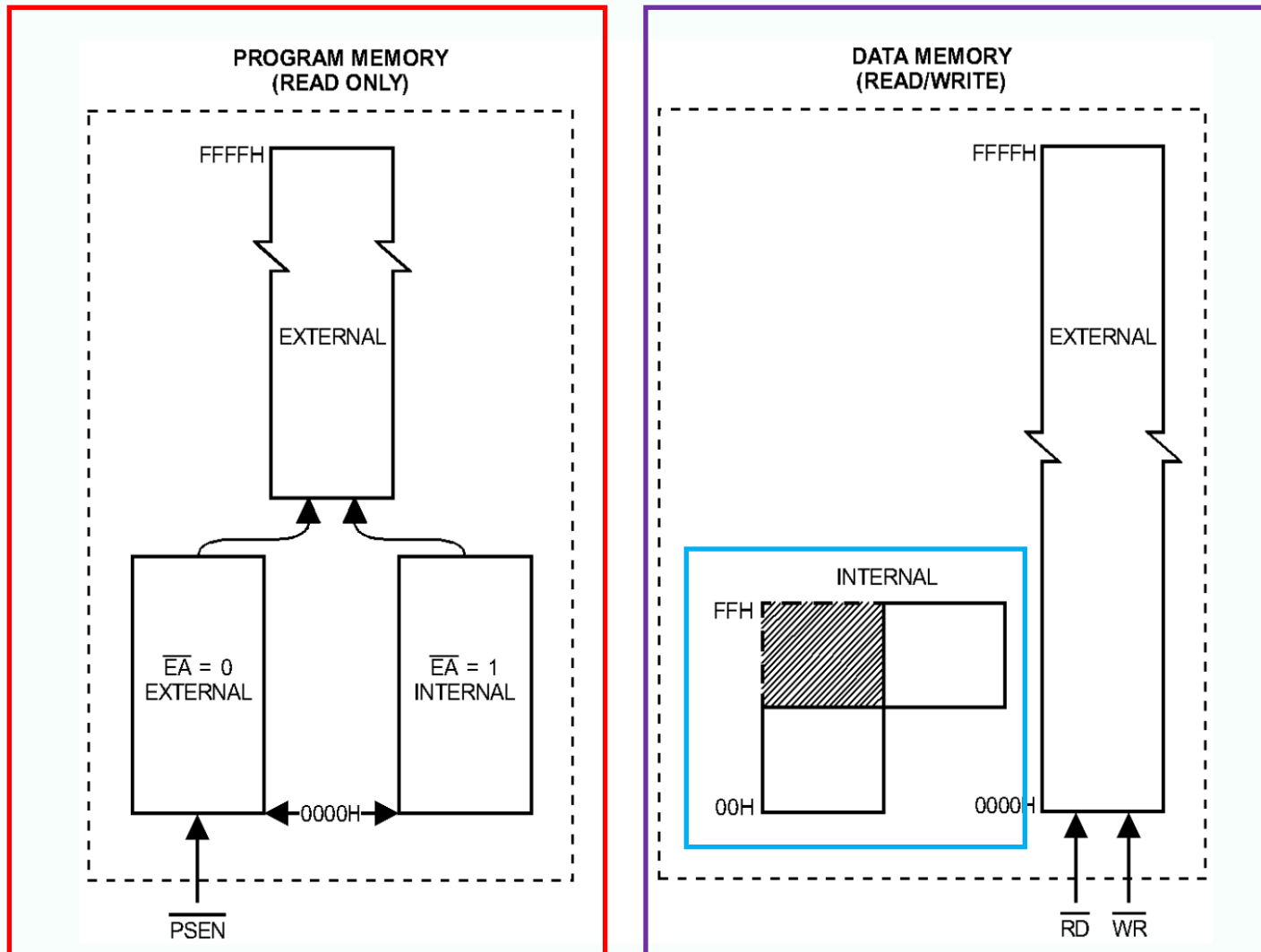
- 기본적인 기능으로 8비트 양방향성 입/출력 포트로 사용
- 외부 메모리(ROM, RAM) 확장 시 상위 어드레스(A8~A15) 사용

■ 포트 3(P3) (10~17)

- 기본적인 기능으로 8비트 양방향성 입/출력 포트
- 2차 기능으로 타이머/카운터, 직렬포트, read, write 제어기능을 포트설정에 따라 자동으로 이루어짐

핀(핀 번호)	명칭	기능
P3.0(핀 10번)	RxD	직렬통신에서 수신단자(입력)
P3.1(핀 11번)	TxD	직렬통신에서 송신단자(출력)
P3.2(핀 12번)	$\overline{\text{INT0}}$	외부 인터럽트 0
P3.3(핀 13번)	$\overline{\text{INT1}}$	외부 인터럽트 1
P3.4(핀 14번)	T0	외부 타이머 인터럽트 0(입력)
P3.5(핀 15번)	T1	외부 타이머 인터럽트 1(입력)
P3.6(핀 16번)	$\overline{\text{WR}}$	외부 데이터 메모리 출력
P3.7(핀 17번)	$\overline{\text{RD}}$	외부 데이터 메모리 입력

2.메모리구조



프로그램 메모리와 데이터 메모리로 구분

프로그램 메모리

■ 프로그램 메모리

- 프로그램 메모리는 명령의 실행 코드가 저장되는 메모리(주로 ROM)
- 64KB 용량
- 항상 8비트 단위로 읽을 수만 있다.
- 기본적으로 80C32의 외부에 있으나, 83C5X나 87C5X 모델에서는 하위번지 영역의 4KB나 8KB가 CPU의 내부에 들어있고 그 이상은 외부에 설치

프로그램 메모리

- 명령의 실행 코드가 저장되는 메모리
- 0000H ~ FFFFH의 64KB(CODE 영역)
- 프로그램 메모리에서 명령의 실행 코드를 읽어들이는 것은 프로그램 카운터(program counter)에 의해 제어
- 간접주소지정(Indirect Addressing Mode) 방식으로 주소지정
 - `MOVC A,@A+DPTR`
 - `MOVC A,@A+PC`
 - ▶ (MOVC에서 C는 Code를 의미)
- CPU는 리셋 직후에 무조건 0000H 번지부터 프로그램을 실행
- 0003H~002BH 영역은 인터럽트 벡터 테이블

데이터 메모리

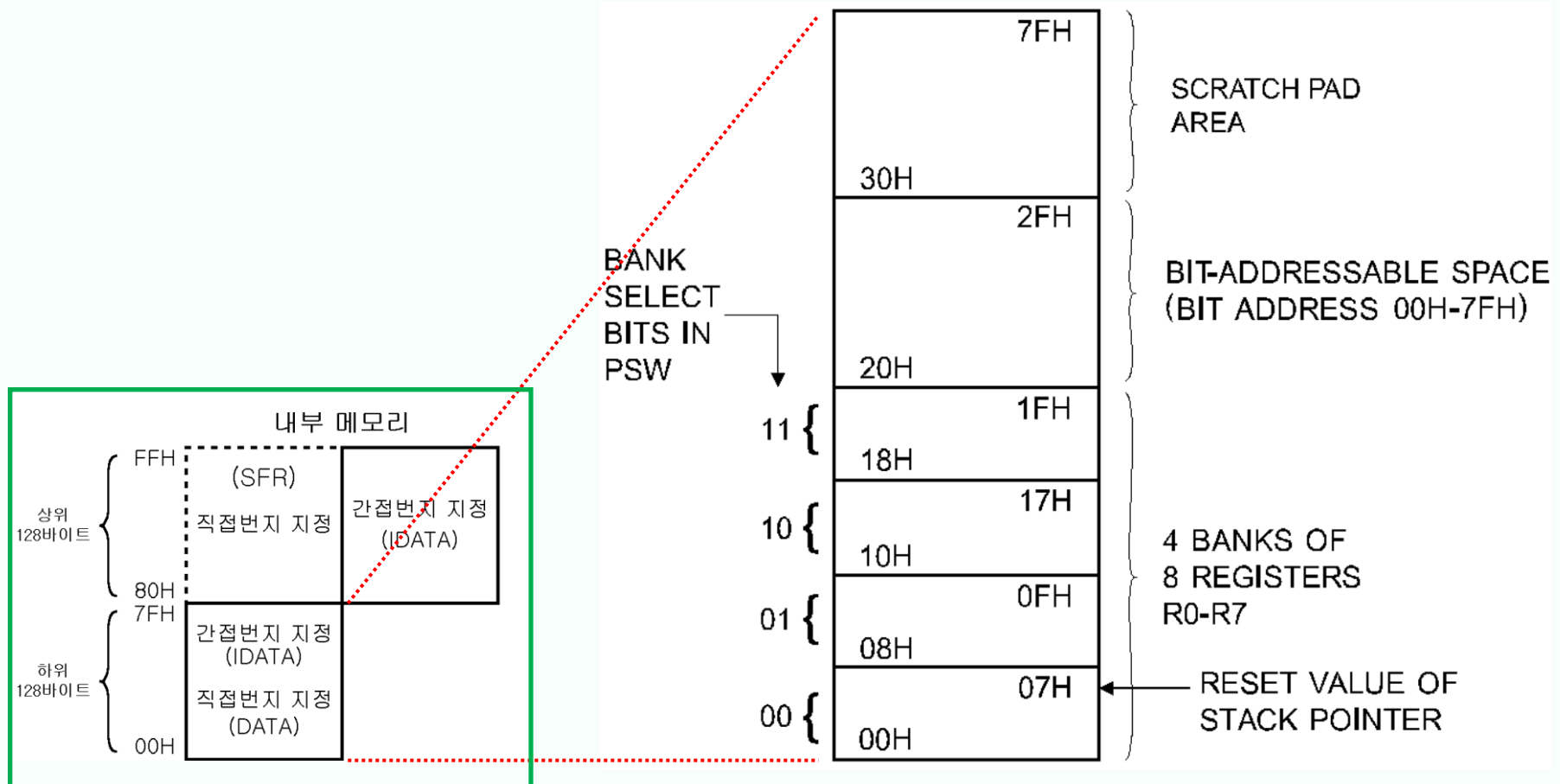
■ 데이터 메모리

- 데이터를 읽고 쓸 수 있는 **RAM** 메모리
- 외부에 64KB를 설치할 수 있고, 이와 별도로 CPU 내부에도 128바이트 또는 256바이트
- **내부의 메모리**는 직접번지 지정이나 레지스터 간접번지 지정으로 **8비트 어드레스**를 사용하여 빠르게 액세스
- 하위 128바이트(00H~7FH 번지)는 특별히 **직접번지** 지정이 가능
- 20H~2FH 번지는 **비트 어드레싱**이 가능

데이터 메모리

- 데이터를 읽고 쓸 수 있는 RAM 메모리
- 외부 데이터 메모리와 내부 데이터 메모리로 구분
- 외부 데이터 메모리는 0000H~FFFFH 영역의 64KB(XDATA 영역)
 - MOVX 명령을 사용 (X는 eXternal)
 - 이 중에서 `MOVX A,@Ri` 나 `MOVX @Ri,A` 명령을 사용하면 외부 어드레스는 하위 8비트만 사용
 - `MOVX A,@DPTR` 이나 `MOVX @DPTR,A` 명령을 사용하면 외부 어드레스는 16비트가 사용 DPTR

내부 데이터 메모리



내부 데이터 메모리

- 내부 데이터 메모리는 00H~7FH 영역의 하위 128바이트와 80H~FFH 영역의 상위 128바이트(IDATA 영역)
- 하위 128바이트 영역은 직접번지 지정(DATA 영역)이나 간접번지 지정 방식을 모두 사용
 - MOV A, 20H
 - MOV @R0, A
- 상위 128바이트 영역은 간접번지 지정 방식으로만 액세스
 - MOV A, @R1
- 상위 128바이트를 직접번지 지정으로 액세스하면 SFR(Special Function register)로 동작
 - MOV A, 80H

내부 데이터 메모리

- 내부 데이터 메모리의 하위 128바이트는 명령에서 8비트 번지로 직접 지정하므로 명령의 실행속도가 빠르다.
 - 00H-1FH 영역은 4개의 레지스터 뱅크 영역
 - 20H-2FH 영역은 바이트 단위가 아니라 비트 단위로 어드레싱이 가능한 비트 어드레스 영역
 - 30H-FFH 영역은 스크래치 패드 영역
 - 00H-FFH 영역은 스택 영역으로도 사용
- 내부 데이터 메모리의 상위 128바이트는 특수기능 레지스터(Special Function Register) 영역

레지스터 뱅크

- 00H~1FH 영역
- 4개의 레지스터 뱅크(register bank)
- 각 레지스터 뱅크에는 8개의 8비트 범용레지스터, R0~R7
- R0,R1은 간접주소 지정시 주소저장 레지스터로 사용
- 4개의 레지스터 뱅크 선택은 PSW(Program Status Word)의 비트 3,4에 의해 지정
- 예
 - MOV PSW, #00001000B ; 뱅크 1 선택
 - MOV R1, A ; 뱅크 1의 R1(09H)
 - MOV PSW, #00011000B ; 뱅크 3 선택
 - MOV R1, A ; 뱅크 3의 R1(19H)

비트 어드레스 영역

- 20H-2FH 영역
- 1 비트 단위의 주소지정이 가능
- 1 비트 주소 지정 방식
 - SETB 21H.5

before	21H	01000110
<hr/>		
after	21H	01100110

Byte address		Bit address							
7F		General purpose RAM							
Bit-addressable locations	30								
	2F	7F	7E	7D	7C	7B	7A	79	78
	2E	77	76	75	74	73	72	71	70
	2D	6F	6E	6D	6C	6B	6A	69	68
	2C	67	66	65	64	63	62	61	60
	2B	5F	5E	5D	5C	5B	5A	59	58
	2A	57	56	55	54	53	52	51	50
	29	4F	4E	4D	4C	4B	4A	49	48
	28	47	46	45	44	43	42	41	40
	27	3F	3E	3D	3C	3B	3A	39	38
	26	37	36	35	34	33	32	31	30
	25	2F	2E	2D	2C	2B	2A	29	28
	24	27	26	25	24	23	22	21	20
	23	1F	1E	1D	1C	1B	1A	19	18
	22	17	16	15	14	13	12	11	10
	21	0F	0E	0D	0C	0B	0A	09	08
	20	07	06	05	04	03	02	01	00
1F		Bank 3							
18									
17		Bank 2							
10									
0F		Bank 1							
08									
07		Default register bank for R0-R7							
00									

스크래치 패드, 스택 영역

■ 스크래치 패드(scratchpad) 영역

- 30-7FH 영역
- 사용자가 임의로 사용할 수 있는 데이터 메모리 영역
- 간접 주소지정방식과 직접 주소지정방식 모두 사용 가능

■ 스택영역

- 스택 포인터 SP에 의하여 간접지정이 가능한 내부 데이터 메모리, 즉 00H~FFH 영역
- CPU가 리셋되면 스택 포인터의 값이 07H로 지정되므로 08H 번지부터 그 이상의 메모리를 스택으로 사용

특수기능 레지스터

- SFR(Special Function Register)
- 내부 데이터 메모리의 상위 128바이트인 80H~FFH 영역을 직접번지 지정으로 액세스
- 누산기 A, B 레지스터, 상태 레지스터 PSW, 스택 포인터 SP, DPTR 레지스터 등과 같은 시스템 레지스터
- 인터럽트에 관한 IE 및 IP 레지스터, 병렬 입출력 포트, 타이머, 직렬 포트 등의 I/O 제어 레지스터

특수기능 레지스터

F8							
F0	B						
E8							
E0	ACC						
D8							
D0	PSW						
C8	T2CON	T2MOD	RCAP2L	RCAP2H	TL2	TH2	
C0							
B8	IP	SADEN					
B0	P3						IPH
A8	IE	SADDR					
A0	P2						
98	SCON	SBUF					
90	P1						
88	TCON	TMOD	TL0	TL1	TH0	TH1	
80	P0	SP	DPL	DPH			PCON

Byte address	Bit address	
FF		
F0	F7 F6 F5 F4 F3 F2 F1 F0	B
F7	E0	
EF	D0	
E7	B8	
DF	B0	
D7	A8	
CF	A0	
C7	99	not bit addressable
BF	98	
B7	90	
AF	8D	not bit addressable
A7	8C	not bit addressable
	8B	not bit addressable
	8A	not bit addressable
9F	89	not bit addressable
97	88	
	87	not bit addressable
8F	83	not bit addressable
	82	not bit addressable
87	81	not bit addressable
	80	

B
ACC
PSW
IP
P3
IE
P2
SBUF
SCON
P1
TH1
TH0
TL1
TL0
TMOD
TCON
PCON
DPH
DPL
SP
P0

A, B 레지스터

■ 누산기(Accumulator)

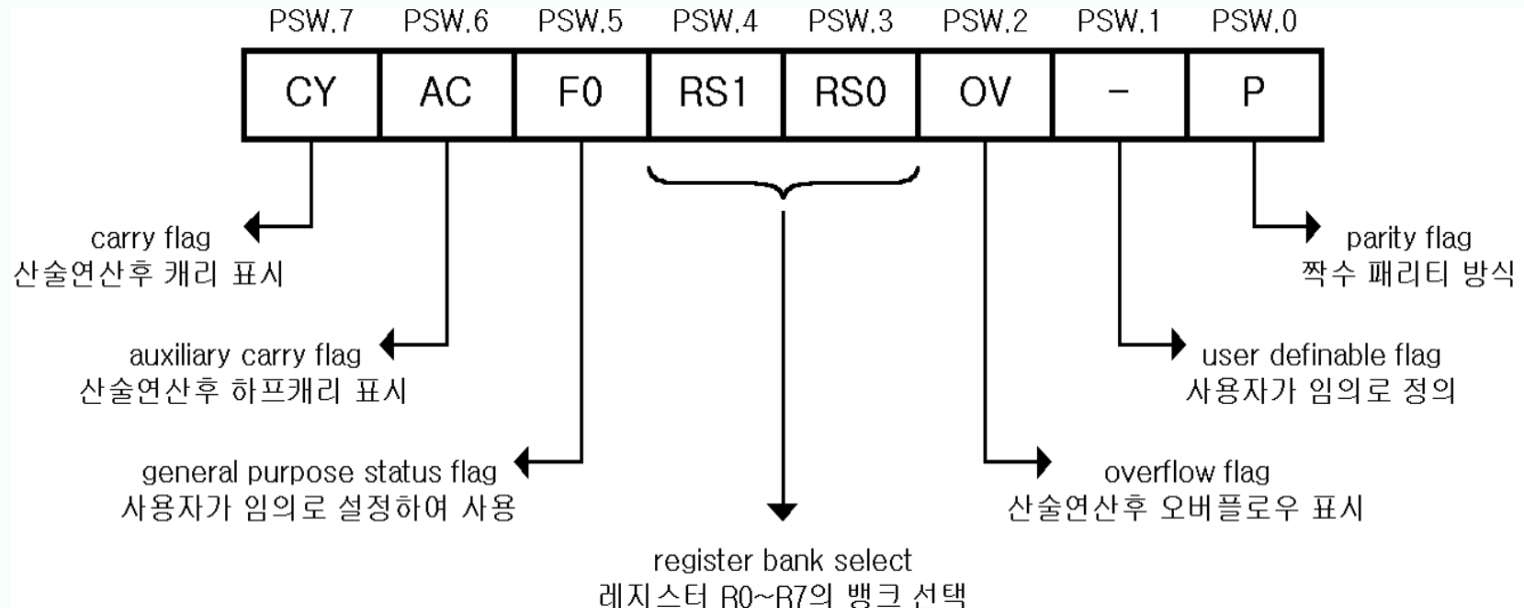
- 모든 산술연산 및 논리연산의 중심이 되는 레지스터
- 누산기로 처리되는 명령(accumulator-specific instruction)에서는 A로 표시

■ B 레지스터

- 곱셈 명령 및 나눗셈 명령에서 특별한 용도로 사용
- 기타 다른 명령에서는 범용 레지스터로 사용
- 곱셈 명령에서 A와 B 레지스터를 곱한 16비트 결과의 하위 바이트는 A, 상위 바이트는 B 레지스터에 저장
- 나눗셈 명령에서는 A를 B 레지스터로 나눈 후에 그 몫은 A, 나머지는 B 레지스터에 저장

상태 레지스터

- 상태 레지스터 PSW(Program Status Word)
- 프로그램의 명령을 실행하는 동안에 발생하는 상태를 표시하는 비트와 CPU의 기능을 제어하는 비트로 구성



스택 포인터

■ 스택 포인터 SP(Stack Pointer)

- 00H~FFH 영역의 내부 데이터 메모리만을 스택으로 사용
- 리셋 직후에 스택 포인터의 값은 07H로 지정되므로 08H 이후의 내부 데이터 메모리가 스택으로 사용
- 만약 필요하다면 사용자 프로그램의 서두에서 스택 포인터의 값을 새로 지정해야 한다.
- PUSH나 CALL 명령을 사용하여 스택에 데이터가 저장될 때는 먼저 스택 포인터 값이 증가(pre-increment)
- POP이나 RET 명령에 의하여 스택에서 데이터가 꺼내지고 나면 스택 포인터 값이 감소(post-decrement)

데이터 포인터 레지스터

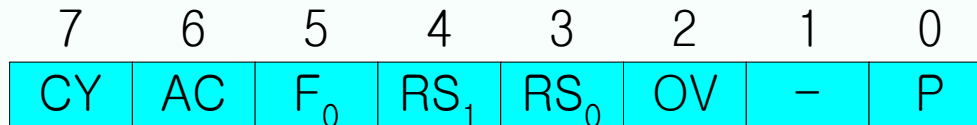
■ 데이터 포인터 DPTR(Data Pointer)

- 16비트 레지스터
- MOVC 명령에서 외부 프로그램 메모리의 번지를 가리키는 포인터로 사용
- MOVX 명령에서 외부 데이터 메모리의 번지를 가리키는 포인터로 사용
- 범용 레지스터로 사용되는 경우에는 16비트 데이터를 취급
- 상위 바이트 DPH와 하위 바이트 DPL 등 2개의 8비트 범용 레지스터로 분리되어 사용되기도 한다.

입출력 및 인터럽트 관련 레지스터

기 호	명 칭	주 소
ACC	Accumulator	E0H
B	B Register	F0H
PSW	Program Status Word	D0H
DPTR(DPL)	Data Pointer Register : Low Byte	82H
DPTR(DPH)	Data Pointer Register : High Byte	83H
P0	Port 0	80H
P1	Port 1	90H
P2	Port 2	A0H
P3	Port 3	B0H
IP	Interrupt Priority Control	B8H
IE	Interrupt Enable Control	A8H
TMOD	Timer/Counter Mode Control	89H
TCON	Timer/Counter Control	88H
TH0	Timer/Counter 0 High Byte	8CH
TL0	Timer/Counter 0 Low Byte	8AH
TH1	Timer/Counter 1 High Byte	8DH
TL1	Timer/Counter 1 Low Byte	8BH
SCON	Serial Control	98H
SBUF	Serial Data Buffer	99H
PCON	Power Control	87H

❖ PSW(Program Status Word)



- **CY** : Carry Flag, 덧셈/뺄셈 명령에서 8번째 비트에서 Carry/Barrow가 발생하면 Set
- **AC** : Auxiliary Carry Flag, 덧셈/뺄셈 연산에서 3번째 비트에서 Carry/Barrow가 생기면 Set
- **OV** : Overflow Flag, 부호 있는 수의 덧셈/뺄셈에서 2의 보수 수치 범위를 넘으면 Set
- **P** : Parity Flag, ACC의 내용 중 1의 개수가 홀수면 Set, 짝수면 Reset
- **F0** : General Flag
- **RS1** : Register Bank Selection Flag 1
- **RS0** : Register Bank Selection Flag 0
- **–** : user definable flag

RS1	RS0	선택된 बैं크
0	0	뱅크 0 (리셋 후 초기값)
0	1	뱅크1
1	0	뱅크2
1	1	뱅크3

❖ 타이머용 레지스터

88H 번지에서 8DH 번지까지 내장되어 있는 레지스터(TH0, TL0, TH1, TL1, TCON과 TMOD가 이에 속하며, 두 개의 16비트 타이머/카운터를 사용하는데 필요

❖ 직렬포트용 레지스터

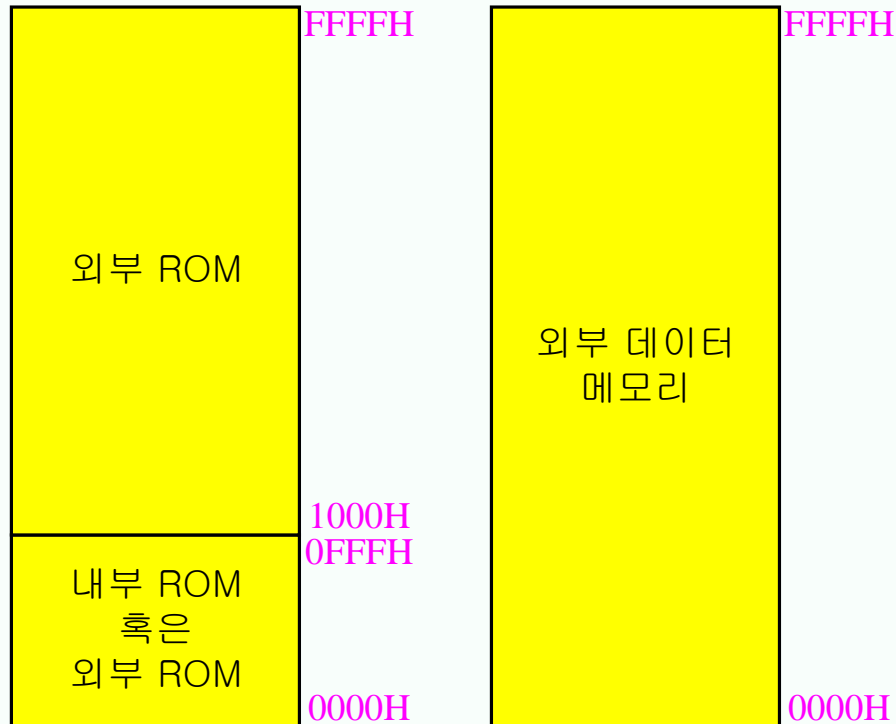
직렬 포트를 제어할 때 사용되는 SCON(Serial Port Control Register)과 보드레이트(baud rate)를 제어하는데 사용되는 PCON(Power Control Register), 그리고 송수신 버퍼로 사용되는 SBUF(Serial Data Buffer) 등이 포함

❖ 인터럽트 관련 레지스터

8051에는 두개의 인터럽트, 두 개의 타이머 인터럽트, 한 개의 직렬포트 인터럽트 등 5개의 인터럽트 소스가 있는데, 이들 인터럽트의 마스크에 사용되는 IE(Interrupt Enable Register)와 우선순위의 지정에 사용되는 IP(Interrupt Priority Register)가 이에 속한다.

2.2 프로그램 메모리(ROM)

내부 ROM의 사용 여부는 \overline{EA} 를 사용하여 선택.



$\overline{EA} = H$

내부 ROM 사용

$\overline{EA} = L$

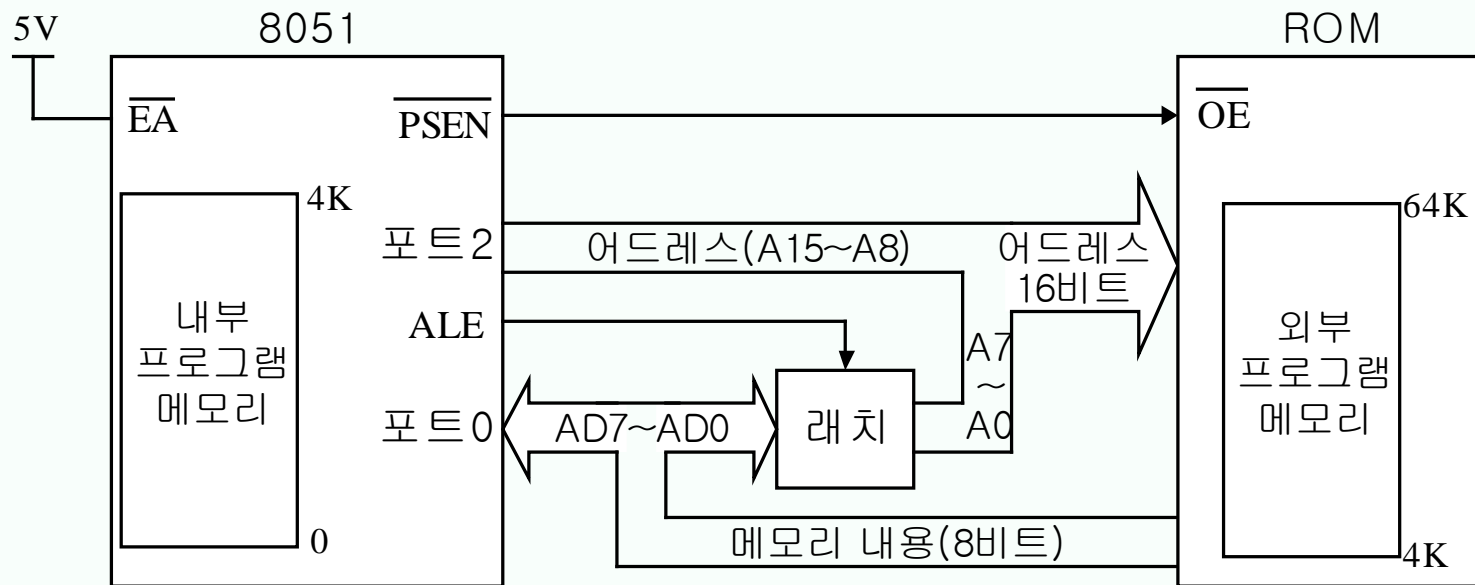
내부 ROM 사용하지 않음

프로그램 메모리

데이터 메모리

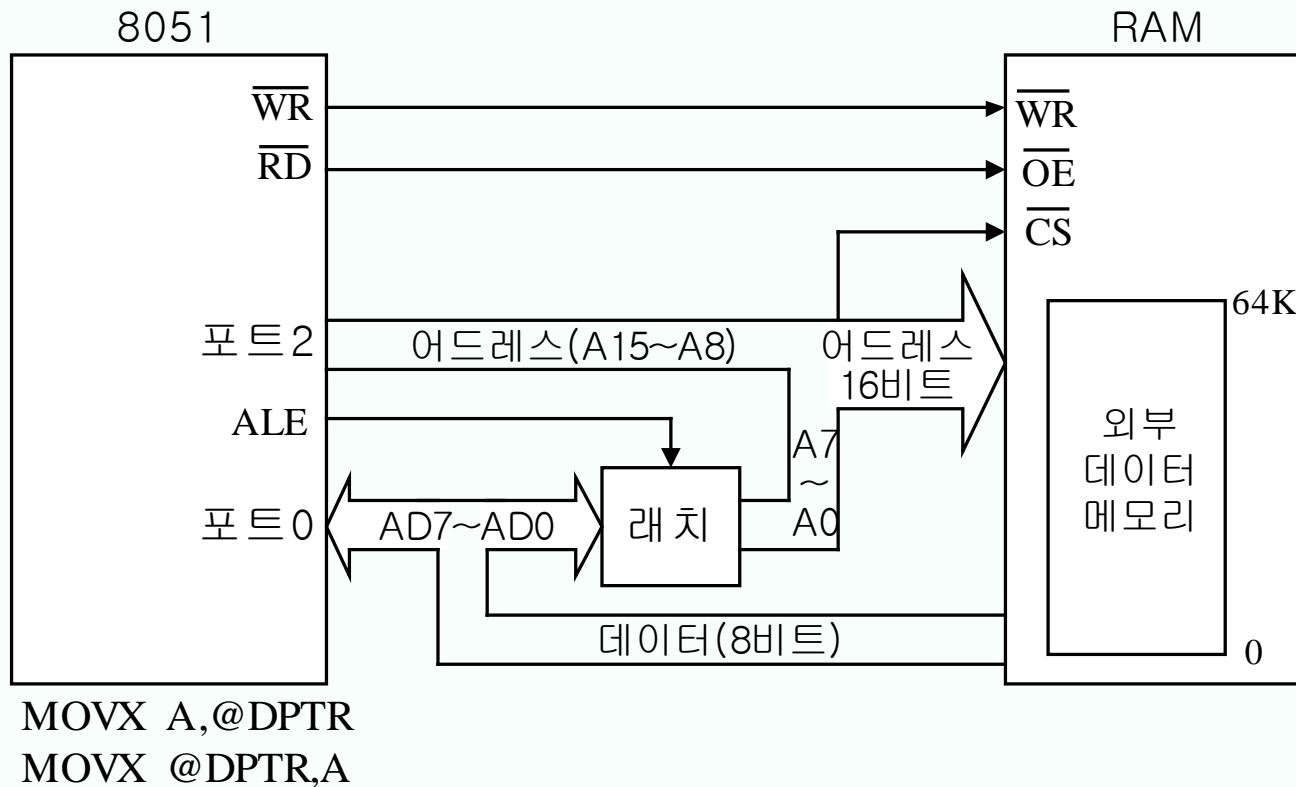
■ 외부 프로그램 메모리 인터페이스

- 제어신호는 ALE(address latch enable), PSEN(program strobe enable)
- $\overline{\text{PSEN}}$ 은 외부 프로그램 메모리를 선택함을 나타낸다.



2.3 외부 데이터 메모리

- 내부 RAM과는 별도로 최대 64K Byte까지 사용 가능



외부 확장 데이터 메모리 인터페이스