

UNIT 4

FINITE STATE MACHINE

2012학년 2학기

마이크로 프로세서 실습

1

FINITE STATE MACHINE

■ Finite State Machine 이란?

+ Finite State Machine

- 제한된 (Finite) 수의 상태(State)를 가지며, 상태의 변화에 따라 해당하는 작업을 수행 하는 장치 (Machine)

+ Synchronous Sequential logic

- Clock 기반으로 동작한다. (positive edge or negative edge)
- 출력 값은 현재 입력 값 뿐만 아니라 과거의 동작에 의해서도 결정된다.

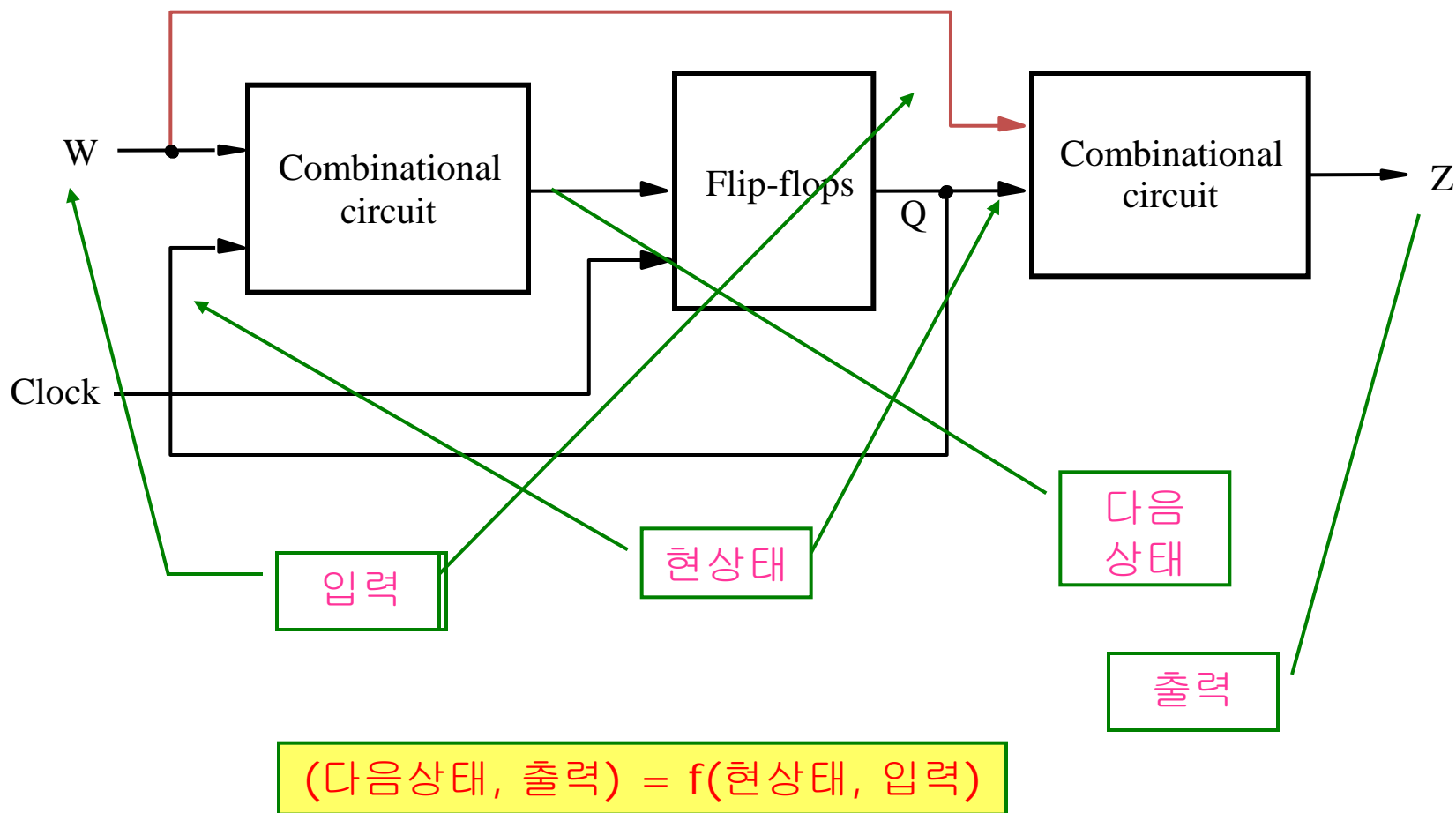
■ FSM의 역할

- + Scenario를 가지는 module
- + Example : Processor read sequence
 - Fetch state -> Decode state -> Execute state -> Memory state -> Write back state
 - 각 state에 진입할 때 마다 해당 state에 맞는 동작을 수행한다.

FSM의 구조

- + State list
- + Present state
- + Next state
- + State 갱신하는 부분
- + 다음 상태 정의 부분
- + 현재 상태에 따른 작업 수행 부분

Finite state machine의 일반적인 형태



■ 순차회로의 설계 단계

- + 문제를 읽고 state diagram을 만들고, 그에 따른 state table(input/present 와 output/next state) 을 만든다.
- + 각 state에 binary code를 할당 (state assignment)
- + 사용할 Flip-Flop을 결정하여, state table의 각 행의 현 상태로 부터 다음 상태가 되는지 결정 (Flip Flop 수 = binary code의 길이)
- + Flip-Flop의 입출력을 위한 간소화 된 equation을 구한다
- + 회로를 구현한다

■ 설계의 예 : Sequence recognizer

+ 회로의 기능 설명

- 하나의 입력 w 와 하나의 출력 z 가 존재한다.
- 회로의 모든 변화는 clock의 positive edge에 발생
- 바로 이전의 두개의 clock cycle동안 입력 w 가 1이면, 출력 z 가 1이고, 아니면 z 값은 0

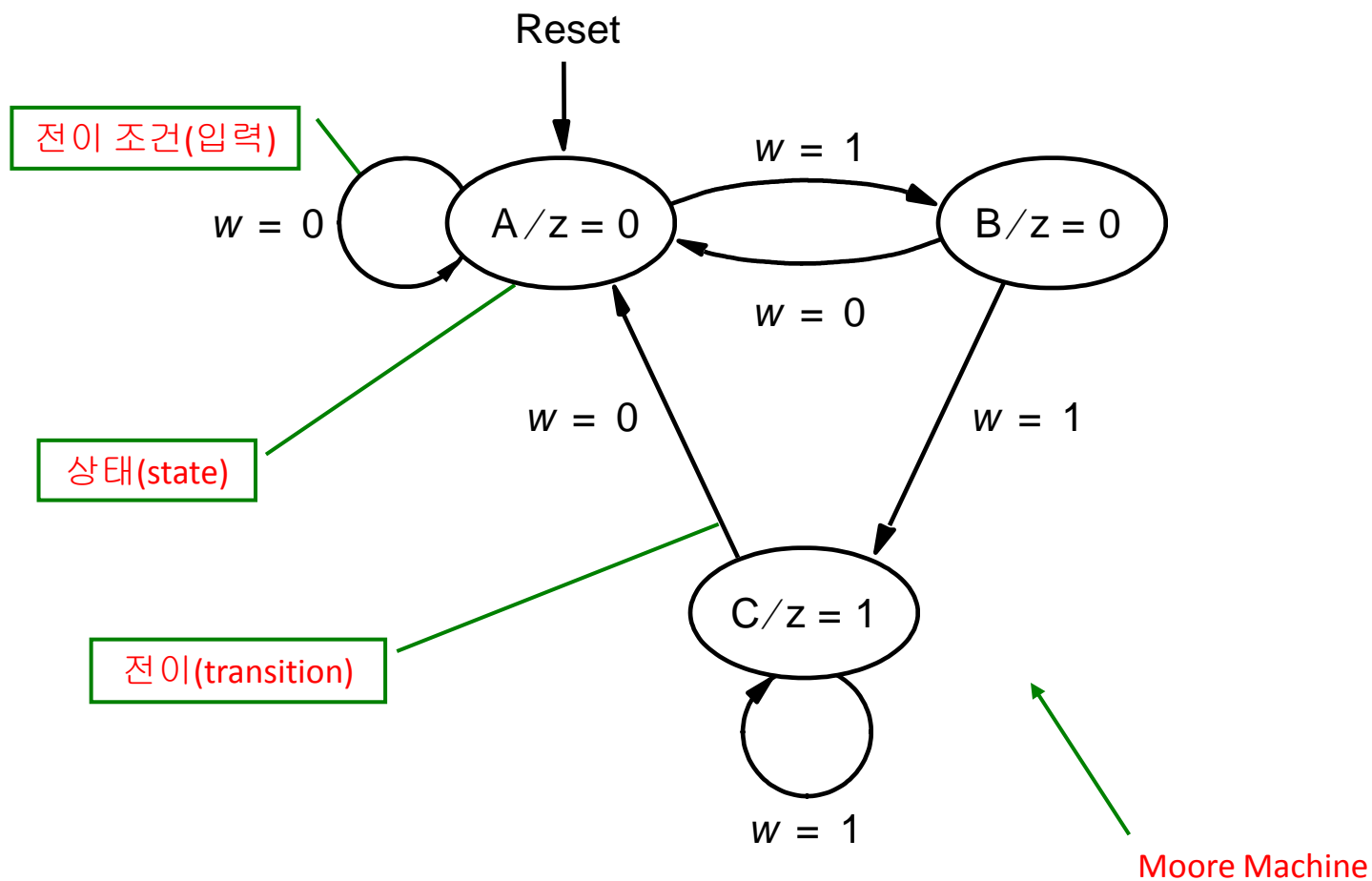
Clockcycle:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w :	0	1	0	1	1	0	1	1	1	0	1
z :	0	0	0	0	0	1	0	0	1	1	0



■ State Diagram(상태도) 이란?

- + 순차회로의 기능 표시를 위한 그래프
- + 순차회로의 필요한 각기 다른 상태를 표시
- + 상태간의 전이 관계 (state transition) 표시
 - 전이를 위한 입력 조건
- + Reset State (처음 시작 상태) 표시
- + Mealy Machine과 Moore Machine
 - 출력이 상태와 연계 (Moore)되거나 전이에 연계(Mealy)

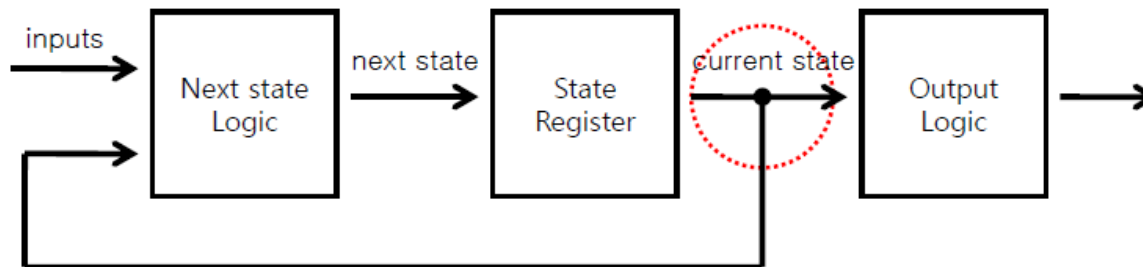
■ 설계 예를 위한 State Diagram



MEALY AND MOORE MACHINE [1 OF 3]

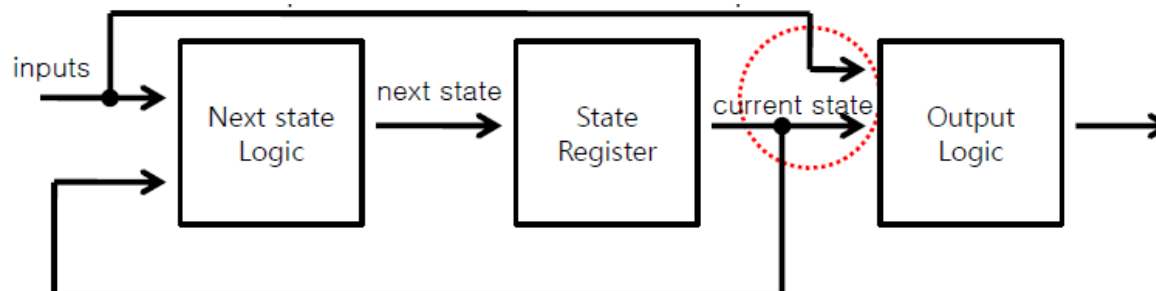
Moore Machine

- + 각 상태가 특정한 값의 출력신호를 갖는 것
- + Current output : current state에 의해 결정



Mealy Machine

- + 출력이 회로의 상태와 입력값에 의해 결정
- + 출력이 각 상태 전이 edge에 정해짐
- + Current output : current state와 current input에 의해 결정

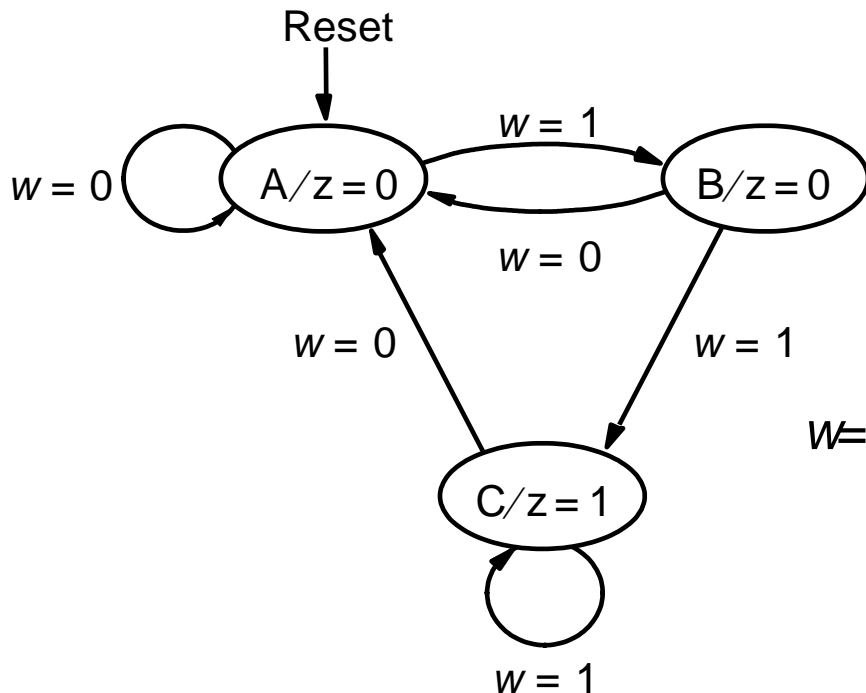


MEALY AND MOORE MACHINE [2 OF 3]

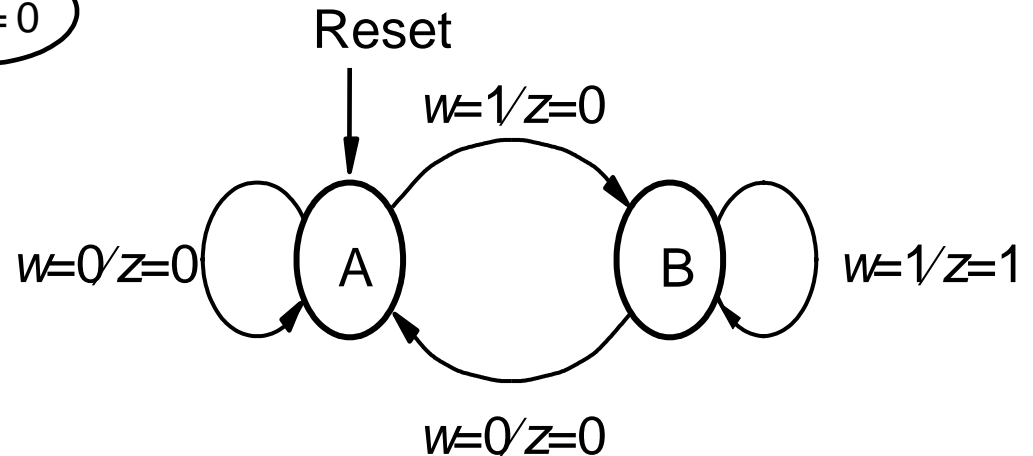
Mealy Modeling (Sequence recognizer)

Clock cycle:	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
w :	0	1	0	1	1	0	1	1	1	0	1
z :	0	0	0	0	1	0	0	1	1	0	0

Moore Machine

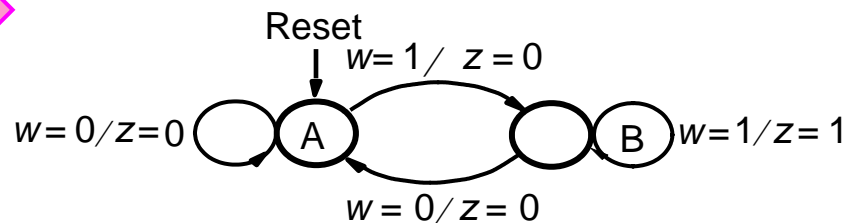
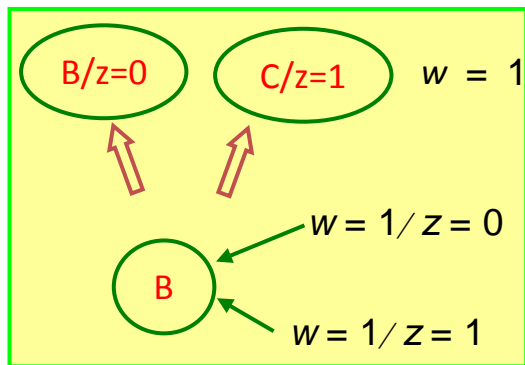
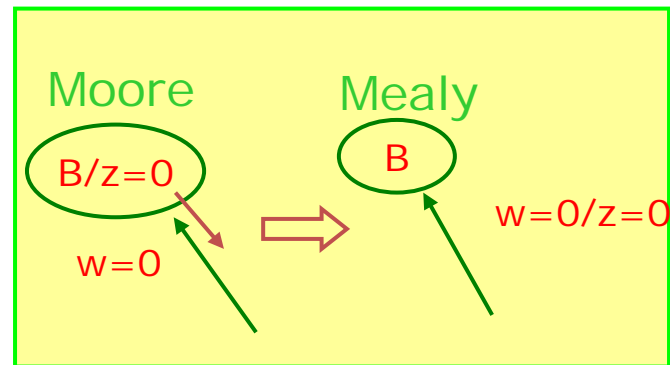
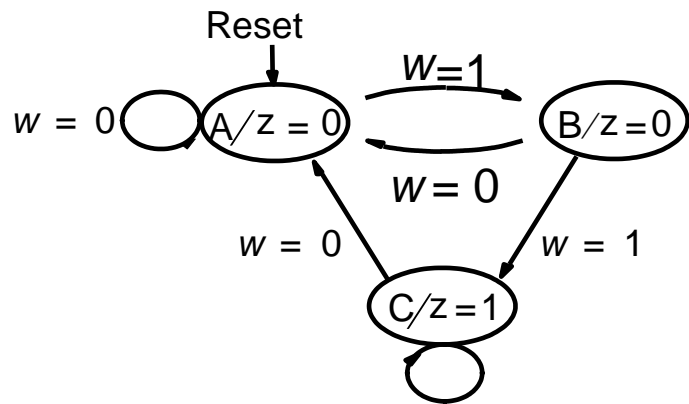


Mealy Machine



MEALY AND MOORE MACHINE [3 OF 3]

Mealy <-> Moore 변환

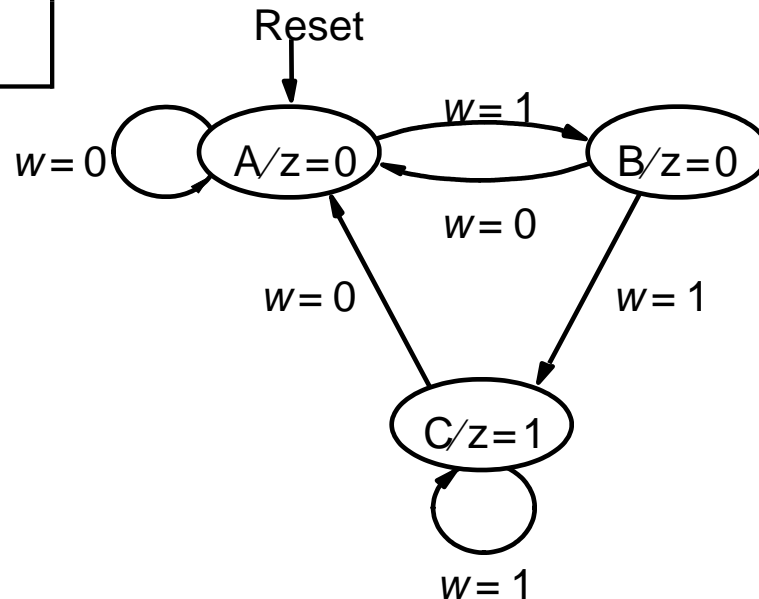


설계 예를 위한 상태표(State Table)

Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1



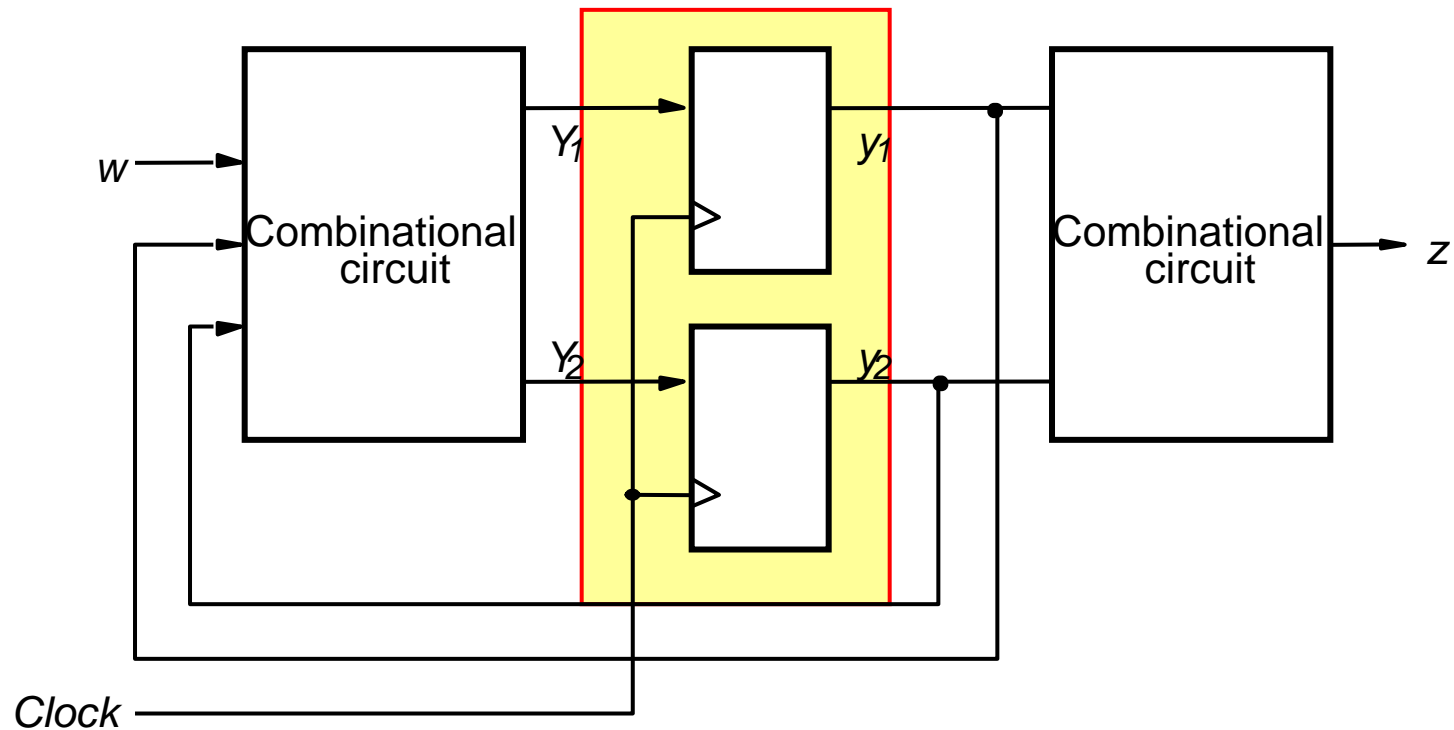
state diagram의 표 형태의 표현



DESIGN EXAMPLE [2 OF 6]

■ 상태의 할당 (State Assignment)

- + 각 상태에 n -bit binary code 할당 ($2^n > \text{상태수}$)
- + n -bit binary code $\rightarrow n$ 개의 F/F로 구현
 - 설계 예: 3개의 상태 $\rightarrow 2$ 비트 필요 $\rightarrow 2$ F/F



■ 상태 할당 (계속)

Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

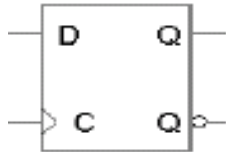


A
B
C

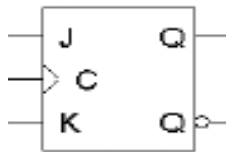
Present state $y_2 y_1$	Next state		Output z
	$w = 0$	$w = 1$	
	$Y_2 Y_1$	$Y_2 Y_1$	
00	00	01	0
01	00	10	0
10	00	10	1
11	dd	dd	d

Flip-Flop의 선택

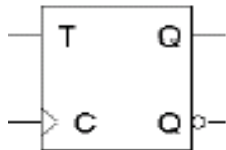
+ Excitation table : 원하는 상태의 전이를 위한 Flip-Flop의 input 값을 보여줌



$Q(t)$	$Q(t+1)$	D	Operation
0	0	0	Reset
0	1	1	Set
1	0	0	Reset
1	1	1	Set



$Q(t)$	$Q(t+1)$	J	K	Operation
0	0	0	x	No change/reset
0	1	1	x	Set/complement
1	0	x	1	Reset/complement
1	1	x	0	No change/set



$Q(t)$	$Q(t+1)$	T	Operation
0	0	0	No change
0	1	1	Complement
1	0	1	Complement
1	1	0	No change

DESIGN EXAMPLE [5 OF 6]

Flip-Flop의 선택과 다음 상태식 and 출력식

+ D Flip-Flop 선택

		$y_2 y_1$			
		00	01	11	10
w	0	0	0	d	0
	1	1	0	d	0

Ignoring don't cares

$$Y_1 = \bar{w}y_1\bar{y}_2$$

Using don't cares

$$Y_1 = \bar{w}y_1\bar{y}_2$$

		$y_2 y_1$			
		00	01	11	10
w	0	0	0	d	0
	1	0	1	d	1

$$Y_2 = wy_1\bar{y}_2 + \bar{w}y_1y_2$$

$$Y_2 = wy_1 + wy_2$$

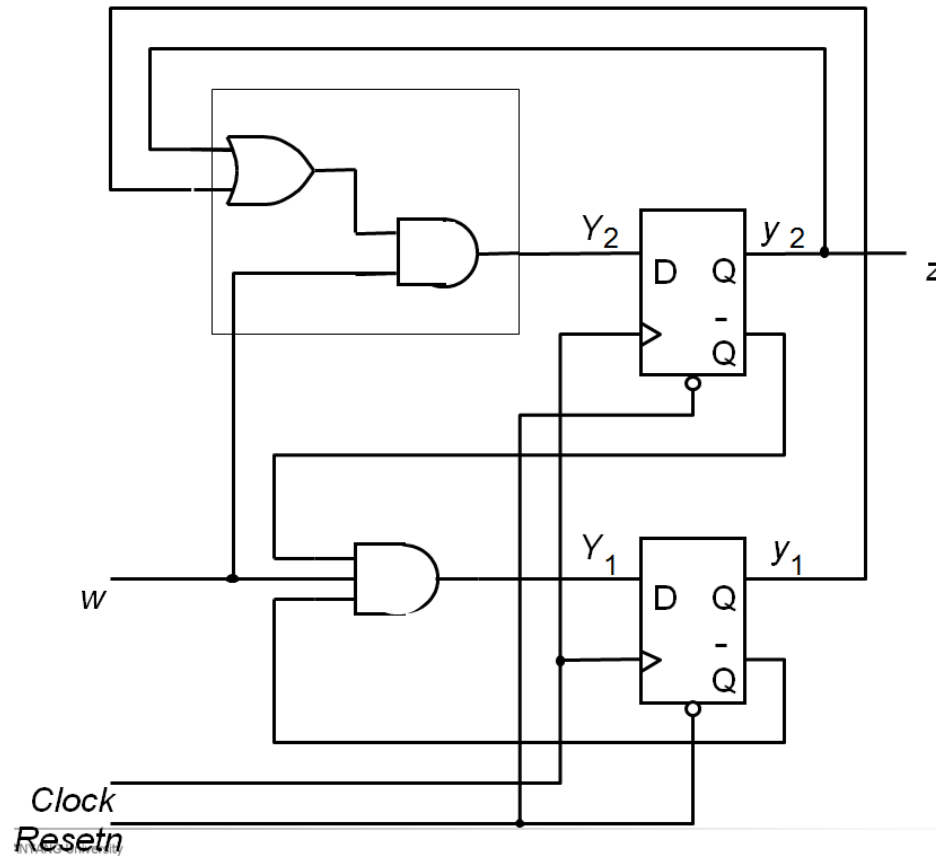
$$= w(y_1 + y_2)$$

	y_1	
	0	1
y_2		
0	0	0
1	1	d

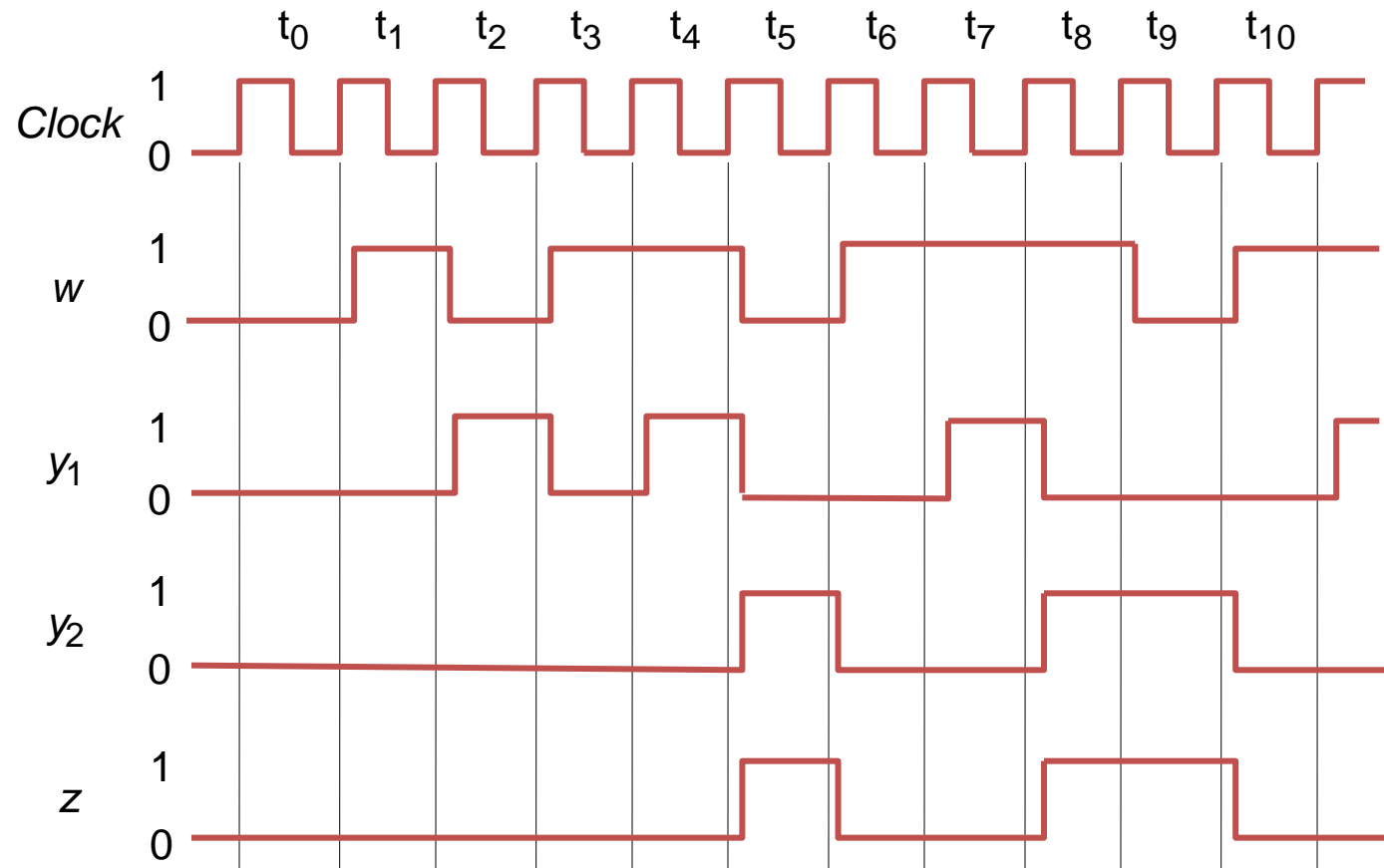
$$z = \bar{y}_1y_2$$

$$z = y_2$$

DESIGN EXAMPLE [5 OF 6]



■ Timing Diagram (설계 검증)



■ 회로의 기능에 대한 명세

상태도를 구한다

- + 시작상태를 포함한 모든 상태
- + 모든 입력 값을 고려
- + 상태 사이의 전이 관계 및 전이 조건

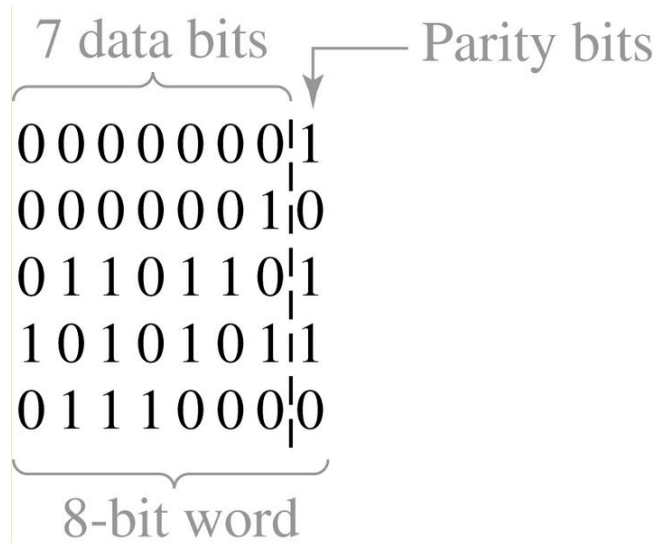
상태표를 구하고 상태 할당을 함

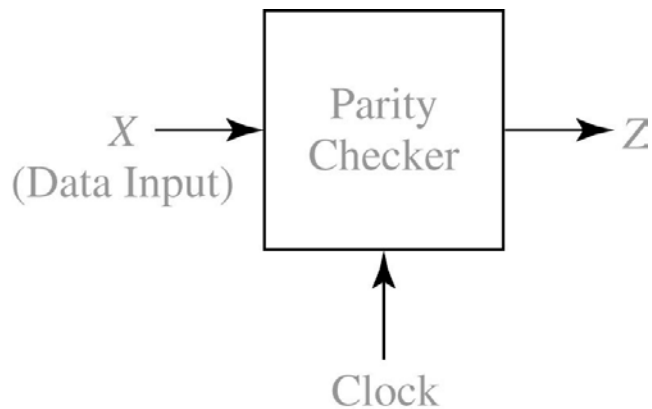
사용한 Flip-Flop의 종류 결정, next state와 output을 위한 논리 수식 결정

논리 수식으로부터 회로를 구현함

Sequential Parity Checker

- + 8 bit words with odd parity
- + Parity bit
 - Data bit에 더한 후 전송하여 수신단에서 오류 검출에 이용
- + Odd Parity
 - Data bit와 Parity bit를 더하여 '1'의 개수가 홀수가 되도록 함
- + 수신단에서는 1개수를 세어 짝수 개인 경우 오류로 판단
 - Data bit에 더한 후 전송하여 수신단에서 오류 검출에 이용





X : **input data**

Z : parity check 결과

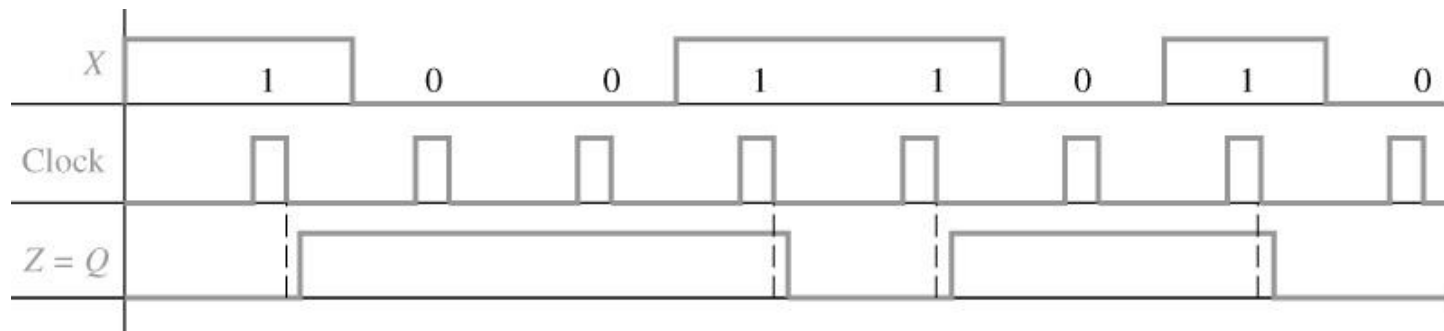
- 1 개수의 합이 홀수개 → **Z=1 (성공)**

- 1 개수의 합이 짝수개 → **Z=0 (오류)**

Block Diagram for Parity Checker (at Receiver)

****실제 parity checker 구현 위해서는 data bit 시작과 끝을 알려주는 추가 회로 필요함**

DESIGN EXAMPLE #2 [3 OF 6]



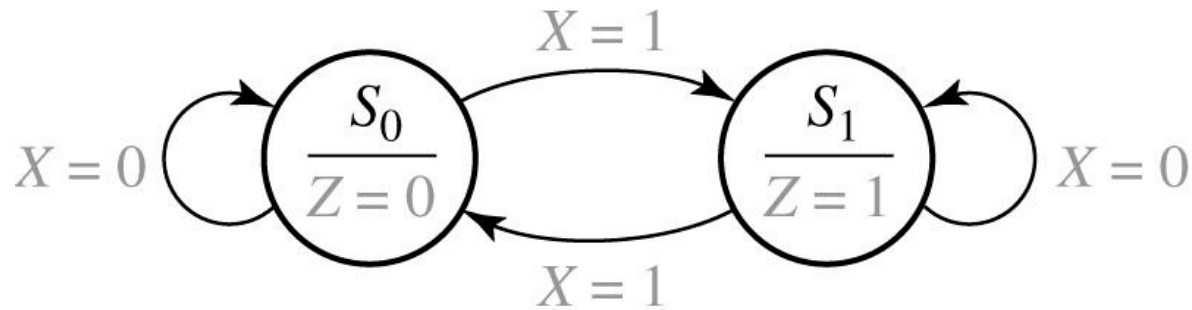
Waveforms for Parity Checker

X : input data

Z : parity check 결과

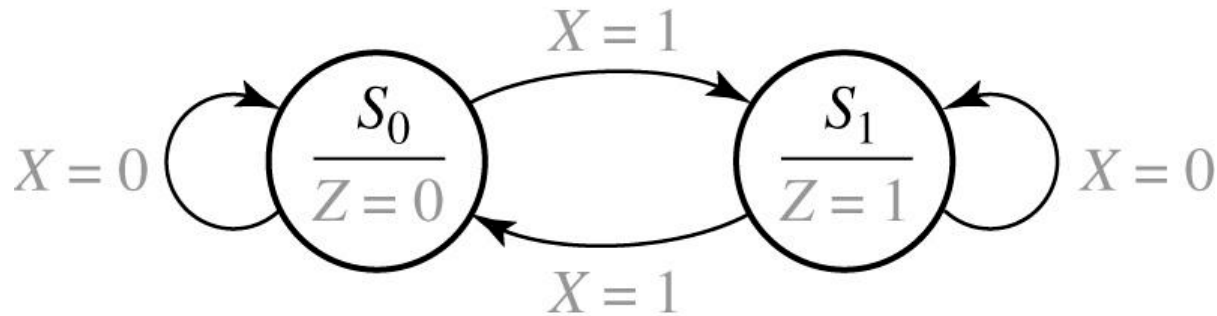
‘1’의 개수 합이 홀수 개이면 $Z=1$ (오류x),

‘1’의 개수 합이 짝수 개이면 $Z=0$ (오류)



State Graph for Parity Checker (**Moore Machine**)

현재의 F/F 상태에 의해 출력이 결정



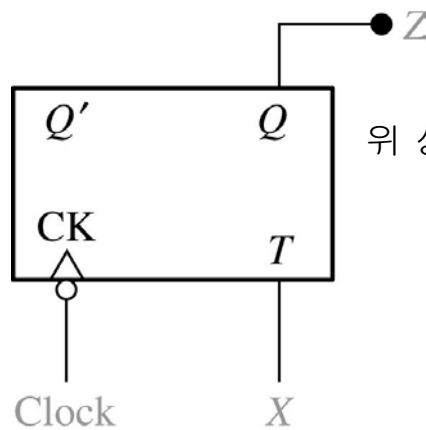
Present State	Next state		Present Output	Q	Q^+		T		Z
	$X = 0$	$X = 1$			$X = 0$	$X = 1$	$X = 0$	$X = 1$	
S_0	S_0	S_1	0	0	0	1	0	1	0
S_1	S_1	S_0	1	1	1	0	0	1	1

Table 13-1. State Table for Parity Checker

DESIGN EXAMPLE #2 [6 OF 6]

Q	Q^+		T		Z
	$X = 0$	$X = 1$	$X = 0$	$X = 1$	
0	0	1	0	1	0
1	1	0	0	1	1

State Table for Parity Checker

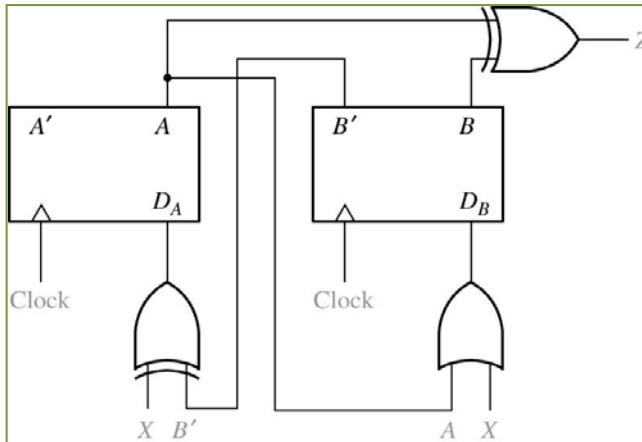


위 상태표는 T F/F 이용하여 구현 가능

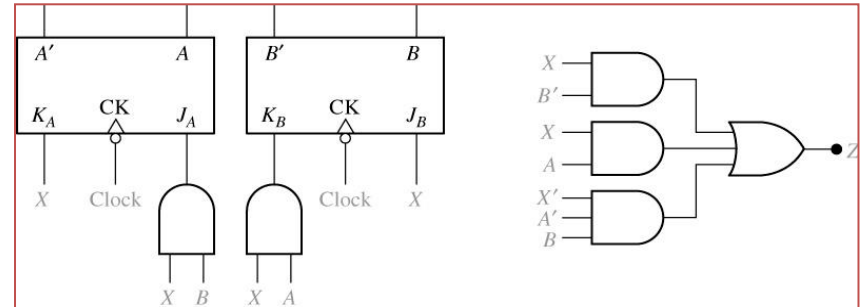
Parity Checker

Moore machine vs Mealy machine

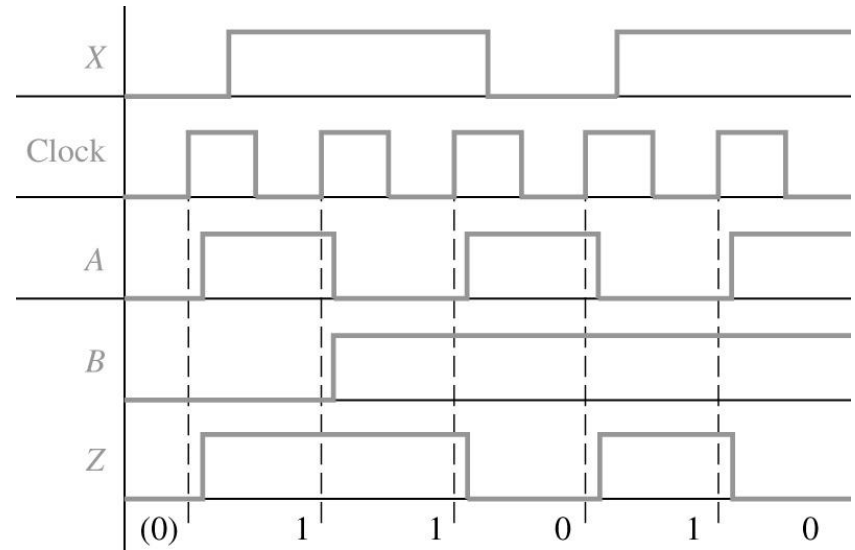
- + Moore machine : {Flip-Flop의 현재 상태 (Q)} -> 회로의 출력
- + Mealy machine : {Flip-Flop의 현재 상태 (Q) + 현재 입력} -> 회로의 출력



Moore machine



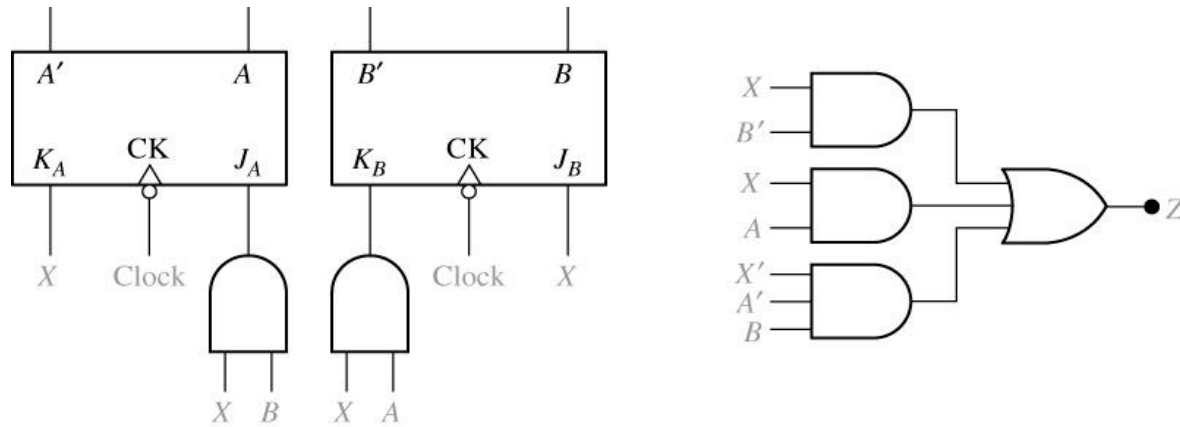
Mealy machine



Timing Chart

X = 0 1 1 0
A = 0 1 0 1 0 1
B = 0 0 1 1 1 1
Z = (0) 1 1 0 1 0

ANALYSIS BY SIGNAL TRACING [3 of 5]



Mealy Sequential Circuit

X =	1	0	1	0	1	
A =	0	0	0	1	1	0
B =	0	1	1	1	1	0
Z =	1(0)	1	0(1)	0	1	

Glitch, or Spike

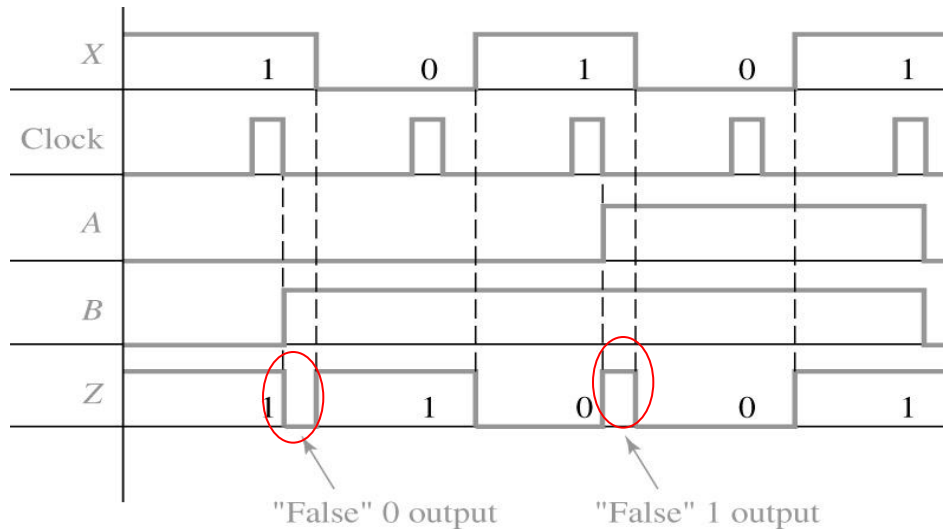
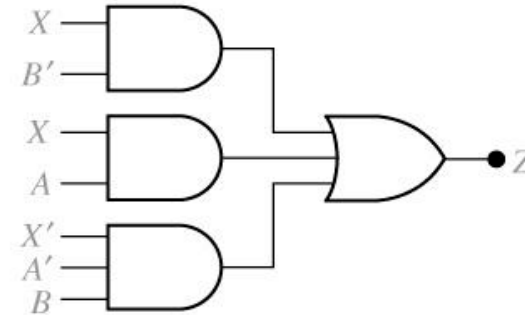
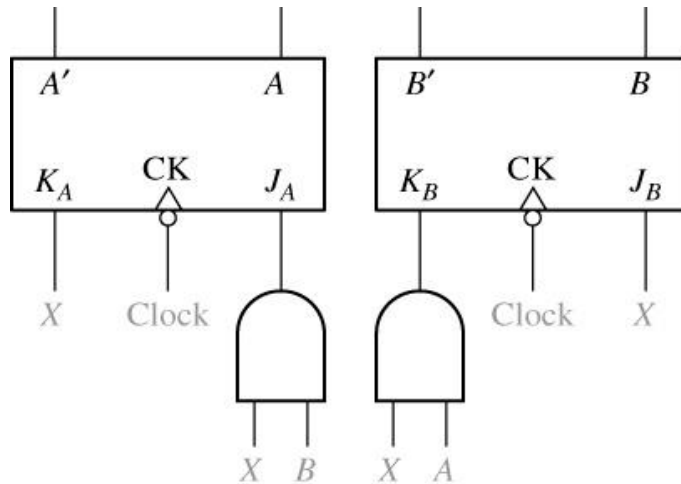


fig 13-8: Timing Chart for Circuit of Figure 13-7

Mealy 회로의 glitch (or false output)

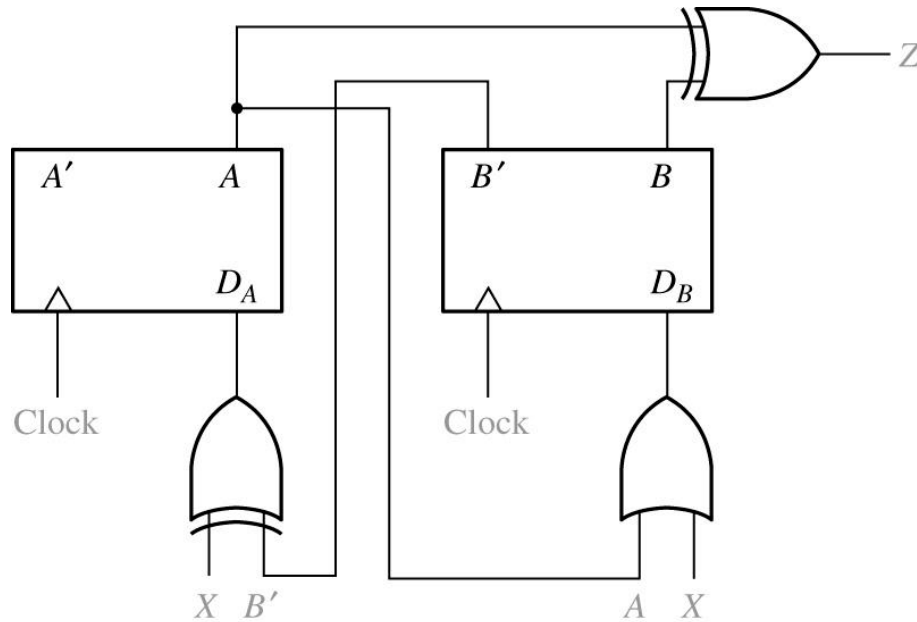
; FF 출력 변화, 입력은 변화 직전 경우 발생

그림의 경우 $X=1 \rightarrow 0$ 변화 도중 B, A 값이 미리 변하면
서 glitch 발생

→ 따라서 밀리 회로의 경우 입력 값이 변하고 충분한
시간이 지난 뒤 출력 값 확인

- State table and graph : 복잡한 순차회로의 체계적 분석 및 합성에 필요
 - + 회로의 Flip-Flop 입출력 식을 정함
 - + 다음 관계식 중 하나를 이용, Flip-Flop의 차기 상태(Q^+) 식을 유도
 - D Flip-Flop $Q^+ = D$
 - D CE Flip-Flop $Q^+ = D \cdot CE + Q \cdot CE'$
 - T Flip-Flop $Q^+ = T \text{ XOR } Q$
 - S-R Flip-Flop $Q^+ = S + R'Q$
 - J-K Flip-Flop $Q^+ = JQ' + K'Q$
 - + Flip-Flop 의 $Q^+ \rightarrow$ State Map 표현
 - + State Map \rightarrow State Table

Moore 회로의 분석



F/F Input & Output

$$D_A = X \oplus B'$$

$$D_B = X + A$$

$$Z = A \oplus B$$

F/F Next State

$$A+ = X \oplus B'$$

$$B+ = X + A$$



F/F Next State

$$A+ = X \oplus B'$$

$$B+ = X + A$$

State Map

		<i>X</i>	
		0	1
<i>AB</i>	00	1	0
	01	0	1
	11	0	1
	10	1	0

A^+

		<i>X</i>	
		0	1
<i>AB</i>	00	0	1
	01	0	1
	11	1	1
	10	1	1

B^+

Moore 회로의 분석

		X	
		0	1
AB	00	1	0
	01	0	1
	11	0	1
	10	1	0

A^+

		X	
		0	1
AB	00	0	1
	01	0	1
	11	1	1
	10	1	1

B^+

State Map

AB	A^+B^+		Z
	$X=0$	$X=1$	
s_0 00	10	01	0
s_1 01	00	11	1
s_2 11	01	11	0
s_3 10	11	01	1

State Table

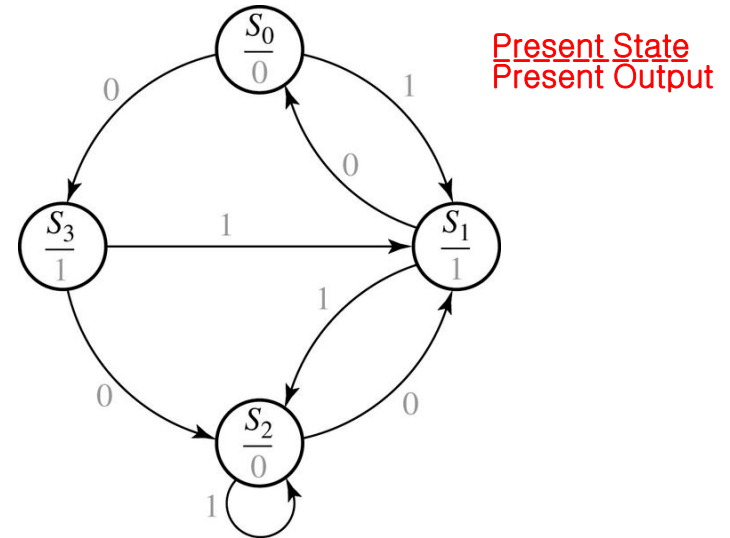
Present State	Next state		Present Output(z)
	$X = 0$	$X = 1$	
S_0	S_3	S_1	0
S_1	S_0	S_2	1
S_2	S_1	S_2	0
S_3	S_2	S_1	1

Moore State Tables

Moore 회로의 분석

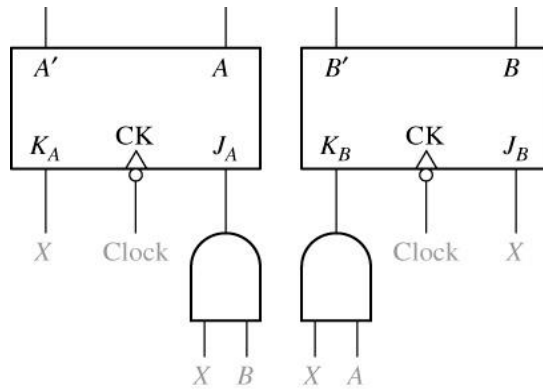
Present State	Next state		Present Output(z)
	$X = 0$	$X = 1$	
S_0	S_3	S_1	0
S_1	S_0	S_2	1
S_2	S_1	S_2	0
S_3	S_2	S_1	1

Moore State Tables

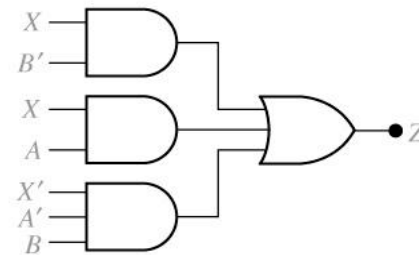


Moore State Graph

Mealy 회로의 분석



F/F Input & Output



2. F/F Next State

$$A^+ = J_A A' + K_A' A = XBA' + X' A$$

$$B^+ = J_B B' + K_B' B = XB' + (AX)' B = XB' + X' B + A' B$$

$$Z = X' A' B + XB' + XA$$

Mealy 회로의 분석

$$A^+ = J_A A' + K_A' A = XBA' + X' A$$

$$B^+ = J_B B' + K_B' B = XB' + (AX)' B = XB' + X' B + A' B$$

$$Z = X' A' B + XB' + XA$$

F/F Next State

		X	
		0	1
AB	00	0	0
	01	0	1
	11	1	0
	10	1	0

A^+

		X	
		0	1
AB	00	0	1
	01	1	1
	11	1	0
	10	0	1

B^+

		X	
		0	1
AB	00	0	1
	01	1	0
	11	0	1
	10	0	1

Z

State Map

Mealy 회로의 분석

AB \ X	X	
	0	1
00	0	0
01	0	1
11	1	0
10	1	0

A^+

AB \ X	X	
	0	1
00	0	1
01	1	1
11	1	0
10	0	1

B^+

AB \ X	X	
	0	1
00	0	1
01	1	0
11	0	1
10	0	1

Z

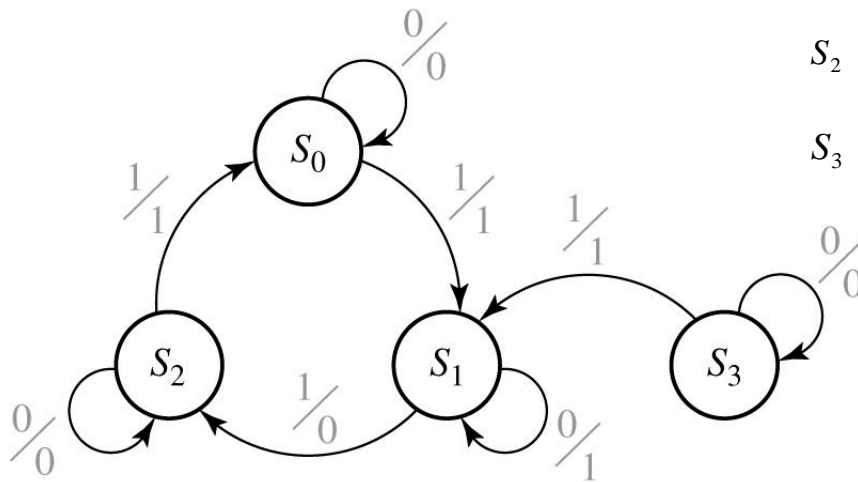
AB	$A^+ B^+$		Z	
	$X=0$	$X=1$	$X=0$	$X=1$
00	00	01	0	1
01	01	11	1	0
11	11	00	0	1
10	10	01	0	1

State Table

Present State	Next state		Present Output(z)	
	$X=0$	$X=1$	$X=0$	$X=1$
S_0	S_0	S_1	0	1
S_1	S_1	S_2	1	0
S_2	S_2	S_0	0	1
S_3	S_3	S_1	0	1

Mealy State Tables

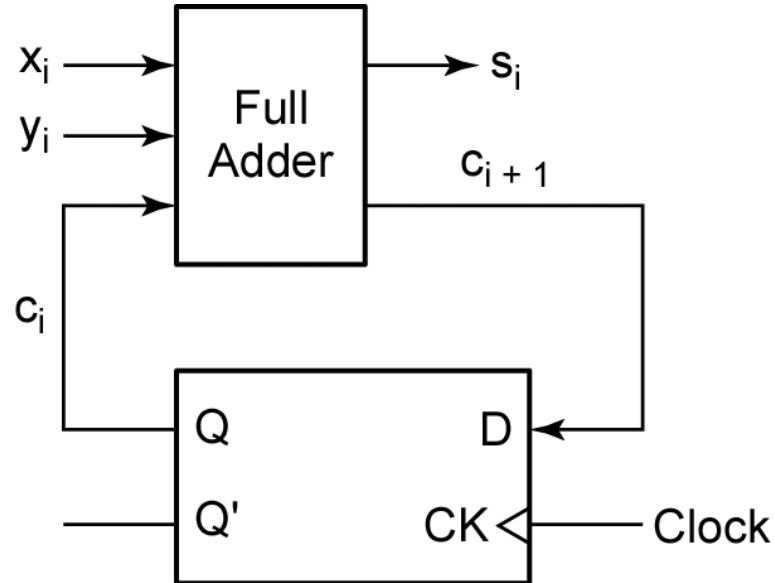
Mealy 회로의 분석



Mealy State Graph

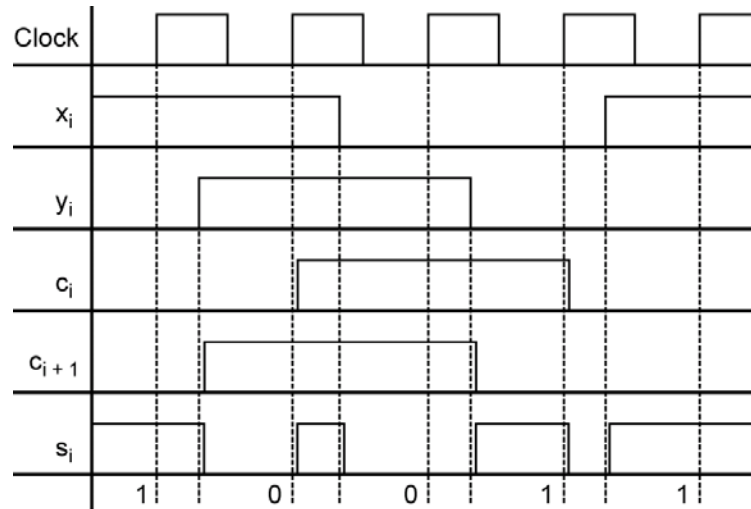
Present State	Next state		Present Output(z)	
	X = 0	X = 1	X = 0	X = 1
S_0	S_0	S_1	0	1
S_1	S_1	S_2	1	0
S_2	S_2	S_0	0	1
S_3	S_3	S_1	0	1

■ Mealy 회로의 분석

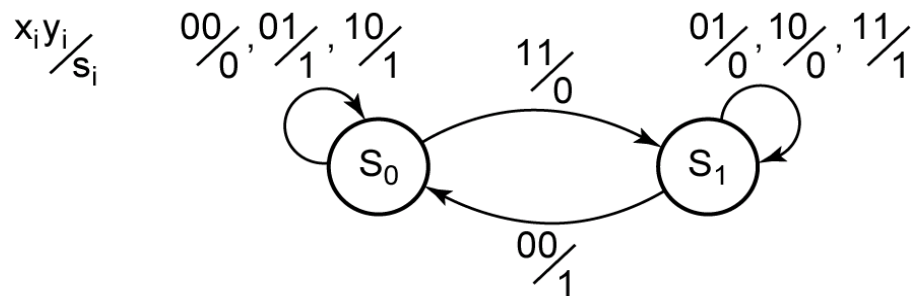


(a) With D flip-flop

Serial Adder



Timing Diagram for Serial Adder

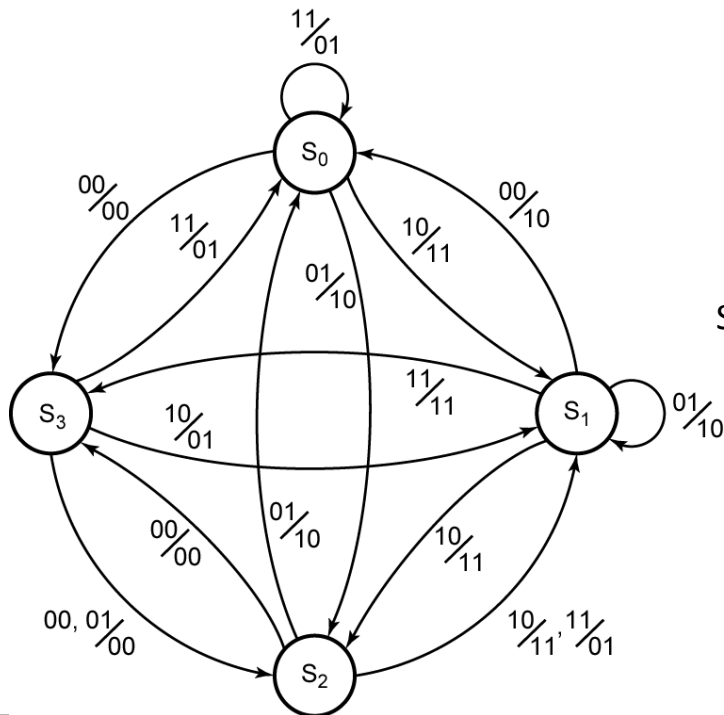


State Graph for Serial Adder

STATE TABLE AND GRAPHS [11 OF 11]

Present State	Next State				Present Output (Z_1Z_2)			
	$X_1 X_2 = 00$	01	10	11	$X_1 X_2 = 00$	01	10	11
S_0	S_3	S_2	S_1	S_0	00	10	11	01
S_1	S_0	S_1	S_2	S_3	10	10	11	11
S_2	S_3	S_0	S_1	S_1	00	10	11	01
S_3	S_2	S_2	S_1	S_0	00	00	01	01

A State Table with Multiple Inputs and Outputs



State Graph

THANK YOU