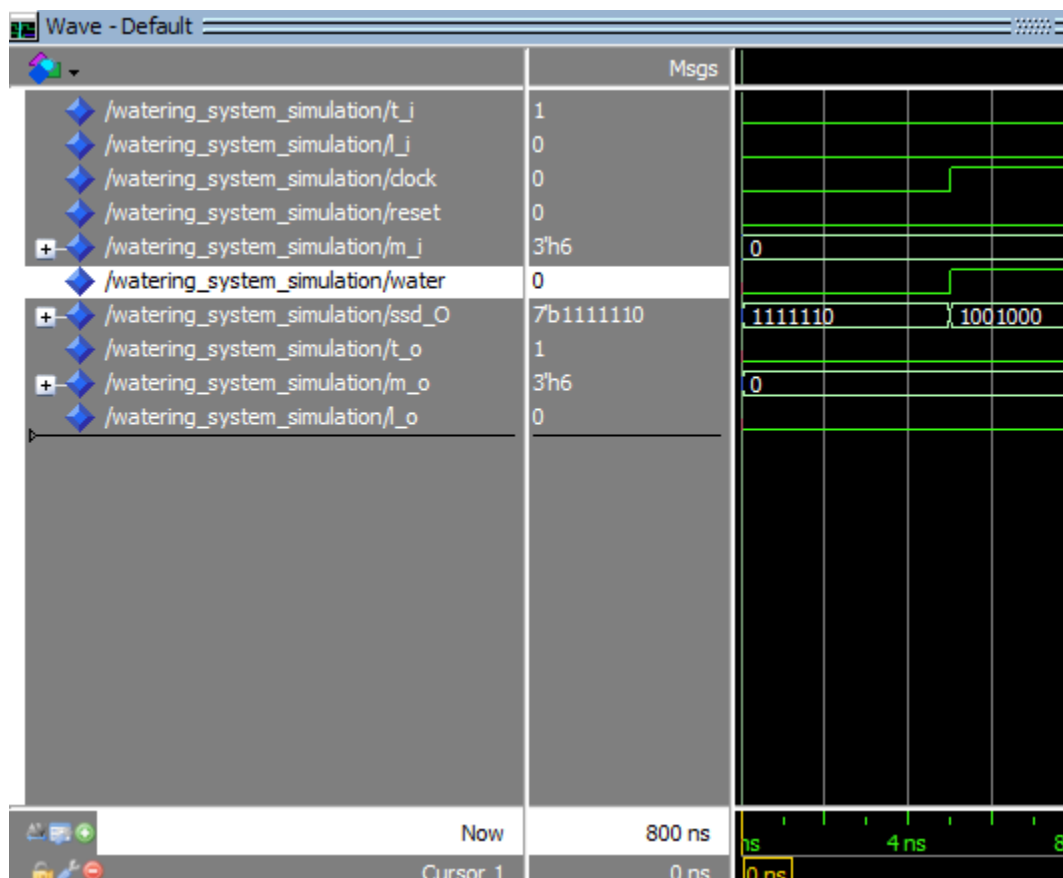


مشکلات حین انجام پروژه:

- تعیین زمان بندی clock و تغییر در ورودی سیگنال ها در test bench:
در صورتی که در process دومی در test bench که مربوط به تغییر در سیگنال های ورودی میشد، از `wait for x ns` استفاده میکردیم، ممکن بود که دو تا از این تغییرات در یک clock period قرار بگیرند که در نتیجه باعث میشد نتیجه ی آن ها از دید ما پنهان بماند.
با تغییر این دستور به `wait until falling_edge(clock)`، که بین هر تغییر قرار میگرفت، این مشکل حل شد.
- مشکل دیگری که باعث درست کار نکردن مدار میشد، اشتباه در تعریف لیست حساسیت
combinational process از fsm بود که با راهنمایی استاد حل شد.

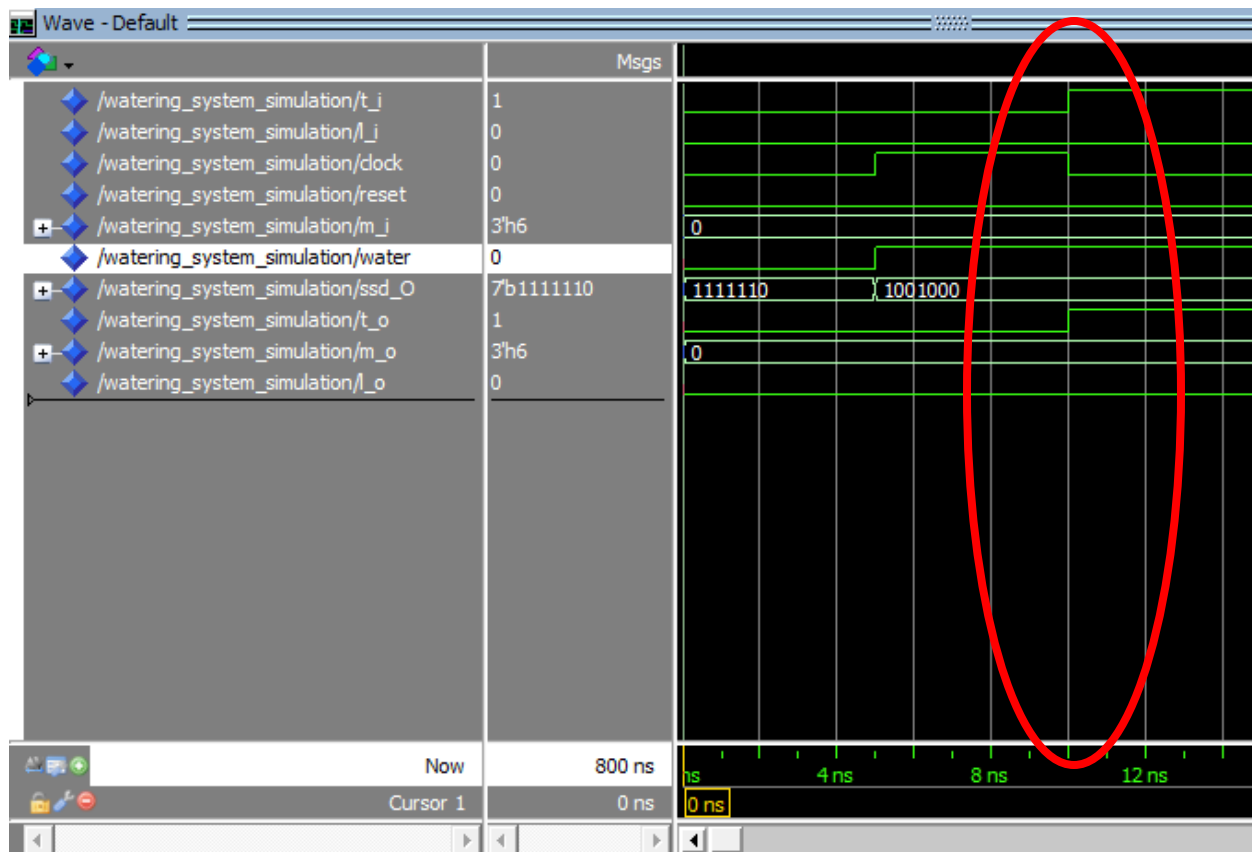
گزارش های simulation:

در زیر نمونه هایی از simulation مربوط به test bench به همراه توضیحات آورده شده است:



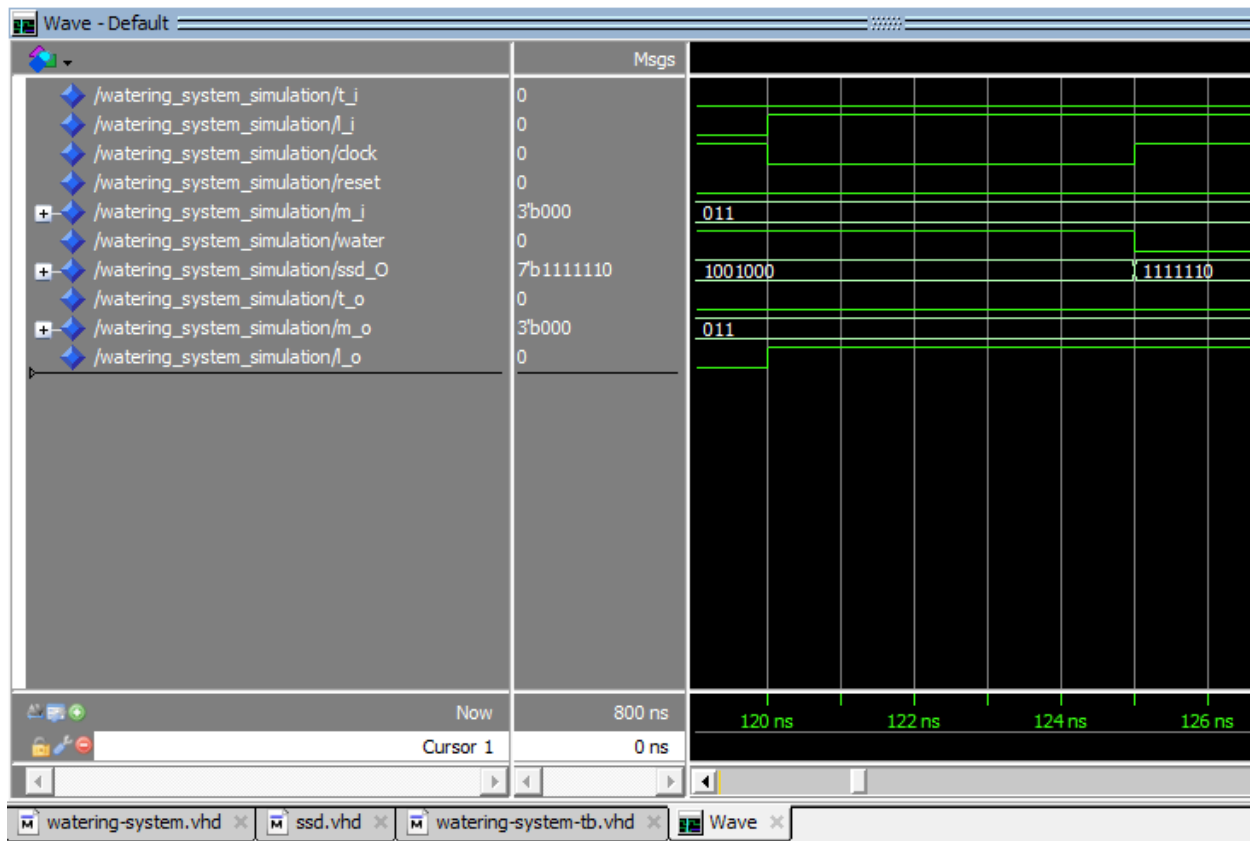
تصویر 1: شبیه سازی 1

مشاهده میشود که در تصویر 1، با توجه به اینکه test bench ما با مقادیر ورودی صفر به ازای هر سه ورودی کار خود را آغاز میکند، با رفتن clock به مقدار 1 در نانو ثانیه 5، با توجه به transition های موجود در fsm، به حالت 01 رفته و نظر به اینکه fsm ما از نوع moore است، سیگنال water به 1 تغییر میکند و led نیز به شکل مناسبی روشن میشود.



تصویر 2: شبیه سازی 2

در تصویر 2 مشاهده می شود که در ثانیه 10 که falling clock edge است، مقادیر جدید وارد fsm میشوند و `t_i` و `t_o` به دنبال آن `t_o` از صفر به یک تغییر میکنند. علت اینکه `t_o` نیز تغییر میکند و منتظر clock edge به مانند سیگنال خروجی `water` نمی ماند، این است که در process مربوط به `clock`، این خروجی ها تعریف نشده است و به صورت combinational در process دومی تعریف شده است.



نصیر 3: شبیه سازی 3

در تصویر 3، مشاهده میشود که در falling clock edge در ثانیه 120، مقادیر t_i از مقدار صفر به یک تغییر داده میشود که این تغییر با توجه به مقادیر قبلی m_i و t_i که برابر با 011 و صفر است، باعث میشود در ثانیه 125 در rising clock edge، state ما به 00 تغییر داده شود و به دنبال آن سیگنال آبدهی به صفر و خروجی led نیز متقابلاً تغییر داده شود.

گزارش های سنتز:

LUTs:

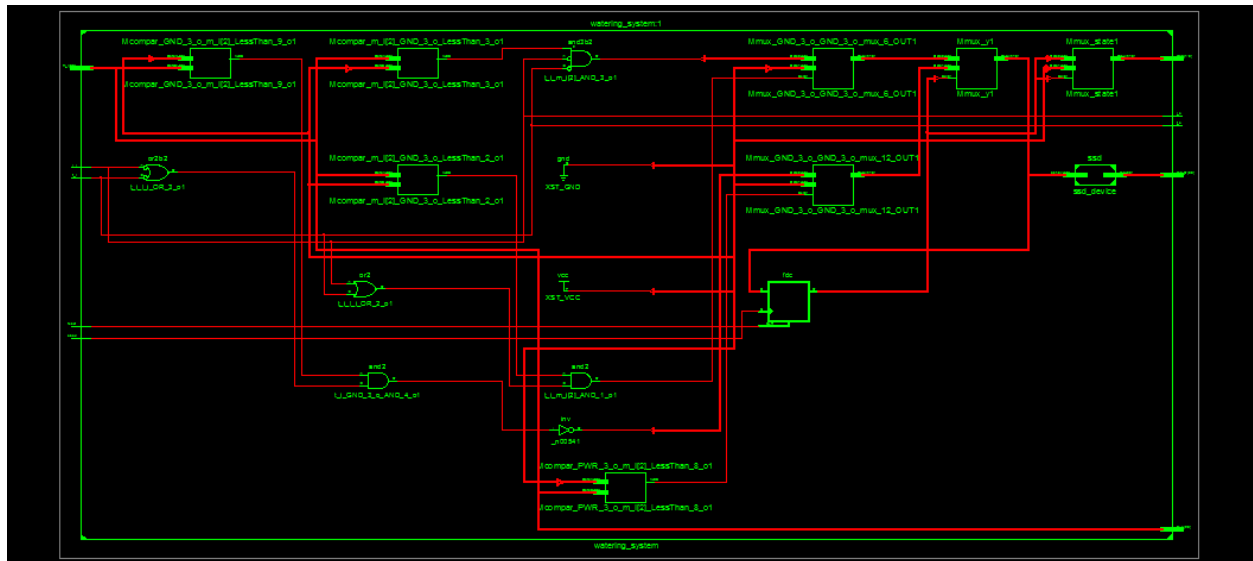
Device Utilization Summary:

Slice Logic Utilization:

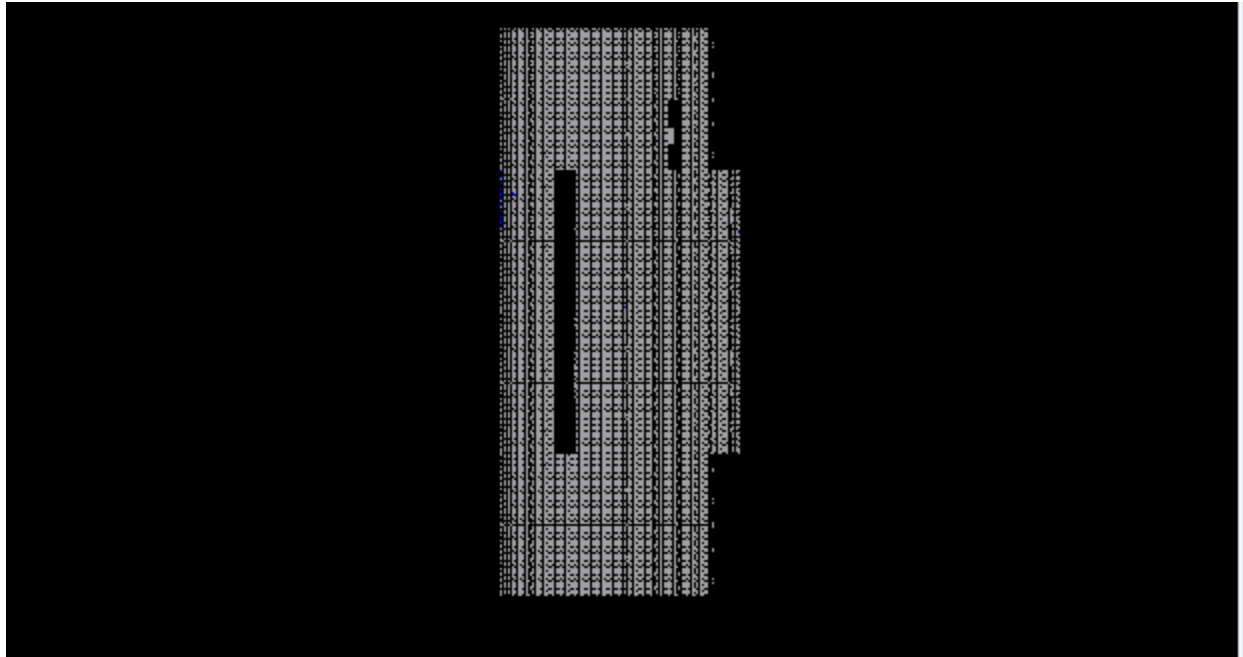
Number of Slice Registers:	1 out of 126,800	1%
Number used as Flip Flops:	1	
Number used as Latches:	0	
Number used as Latch-thrus:	0	
Number used as AND/OR logics:	0	
Number of Slice LUTs:	2 out of 63,400	1%
Number used as logic:	2 out of 63,400	1%
Number using O6 output only:	2	
Number using O5 output only:	0	
Number using O5 and O6:	0	
Number used as ROM:	0	
Number used as Memory:	0 out of 19,000	0%
Number used exclusively as route-thrus:	0	

placement & routing report:

RTL:



FPGA:



Timing:

Data Sheet report:

All values displayed in nanoseconds (ns)

Setup/Hold to clock clock

-----+-----+						
Max Setup to		Process	Max Hold to	Process		
Clock						
Source	clk (edge)	Corner	clk (edge)	Corner	Internal	
Clock(s)	Phase					
-----+-----+						
l_i	-0.386 (R)	FAST	2.266 (R)	SLOW	clock_BUF	GP
0.000						
m_i<0>	-0.259 (R)	FAST	2.081 (R)	SLOW	clock_BUF	GP
0.000						
m_i<1>	-0.308 (R)	FAST	2.131 (R)	SLOW	clock_BUF	GP
0.000						
m_i<2>	-0.402 (R)	FAST	2.261 (R)	SLOW	clock_BUF	GP
0.000						
reset	-0.512 (R)	FAST	2.290 (R)	SLOW	clock_BUF	GP
0.000						
t_i	-0.550 (R)	FAST	2.491 (R)	SLOW	clock_BUF	GP
0.000						
-----+-----+						
-----+-----+						
Clock clock to Pad						
-----+-----+						
-----+-----+						

power:

On-Chip	Power (W)	Used	Available	Utilization (%)
Clocks	0.000	1	---	---
Logic	0.000	2	63400	0
Signals	0.000	8	---	---
IOs	0.000	21	210	10
Leakage	0.082			
Total	0.082			

حذیفہ صالحی پور

400213015

پایان