

BOE 硬件设计方案

_V1.3_20180301

文件状态	当前版本	V1.3
<input checked="" type="checkbox"/> 草稿 <input type="checkbox"/> 正式发布	作 者	马燕涛
	完成日期	
	文档模板	
	密 级	内部使用

分发列表	

变更历史

版本	完成日期	变更记录	作者	审核	批准
V1.0	20180111	初稿	马燕涛		
V1.1	20180202	增加 QSFP 接口 增加 SD 卡	马燕涛		
V1.2	20180210	根据 FPGA 实现结果分配管脚 业务接口调整	马燕涛		
V1.3	20180301	删除顶部 HDMI 接口 删除第二个 USB 接口 将 SODIMM 改为内存颗粒	马燕涛		

目录

1	系统简介.....	4
2	需求列表.....	4
3	硬件框图.....	5

1 系统简介

BOE 是 HPB 推出的区块链硬件加速系统，是 Blockchain Offload Engine 的简写。

BOE 系统设计分为两个阶段，第一阶段为 PCIE 插卡，主要实现网络通信的加速功能，区块链主要代码运行在主机 CPU 上；第二阶段为加速盒子，在单芯片内实现区块链核心节点所有功能。

硬件设计需同时支持 PCIE 插卡和加速盒子两种产品类型。

2 需求列表

- PCIE 插卡接口
 - 通过 1 组 PCIE Gen2×8 接口与主板连接
 - 提供 1 路 QSFP+ 40G 网络接口
 - 提供 1 个绿色 LED 指示光口状态
 - 提供 1 路 SFP+ 10G 网络接口
 - 提供 1 个绿色 LED 指示光口状态
 - 提供 1 路 RJ45 GE 网络接口
 - 提供 1 路 HDMI 输入接口
- 加速盒子接口
 - 接口放置在板卡顶部
 - 提供 1 路 12VDC 输入接口
 - 提供 1 个自锁电源开关
 - 提供 1 路 HDMI 输出接口
 - 提供 1 路 USB3.0 扩展接口
 - 提供 1 路千兆网络管理接口
 - 提供 1 路 RS232 用户管理接口
 - 提供 1 路 SFP+ 万兆网络业务接口
 - 提供 1 个绿色 LED 指示光口状态
 - 提供 1 路 RJ45 千兆网络业务接口
- 关键电路
 - XCZU7EG-FFVC1156-1-E 母片
 - 14 针 2mm JTAG 调试接口
 - PL 侧相关
 - ◆ GTX 接口直接连接到 PCIE 连接器
 - ◆ 放置 2 组 DDR4，每组 4 颗 8Gb 内存颗粒，每颗内存 16 位宽
 - ◆ PCIE 面板侧 1 路 40G 网络接口，从 PL 侧 GTX 连接 QSFP+光模块笼子插座
 - ◆ PCIE 面板侧 1 路 10G 网络接口，从 PL 侧 GTX 连接 SFP+光模块笼子插座
 - ◆ PCIE 面板侧 1 路 GE 网络接口，从 PL 侧 GTX 连接千兆 PHY 芯片
 - ◆ PCIE 面板侧 1 路 HDMI 输入接口，占用 3 路 GTX 输入接口
 - ◆ 板卡顶部 1 路 HDMI 输出接口，占用 3 路 GTX 输出接口
 - ◆ 板卡顶部 1 路 10G 网络接口，从 PL 侧 GTX 连接 SFP+光模块笼子插座
 - ◆ 板卡顶部 1 路 GE 网络接口，从 PL 侧 GTX 连接千兆 PHY 芯片

- PS 侧相关
 - ◆ 放置 1 片 64MB Quad SPI 闪存用于加载 bit 文件
 - ◆ 放置 1 个 miniSD 卡槽,用于加载操作系统和应用程序
 - ◆ 放置 1 个 MSATA SSD 硬盘接口，用于系统运行
 - ◆ 放置 1 组 DDR4，每组 4 颗 8Gb 内存颗粒，每颗内存 16 位宽
 - ◆ 提供 1 路 USB3.0 接口
 - ◆ 提供 1 路千兆网络接口
 - ◆ 提供 1 路 RS232 接口
- 其它
 - ◆ 增加部分备用开关、指示灯用于调试及设备状态指示

3 硬件框图

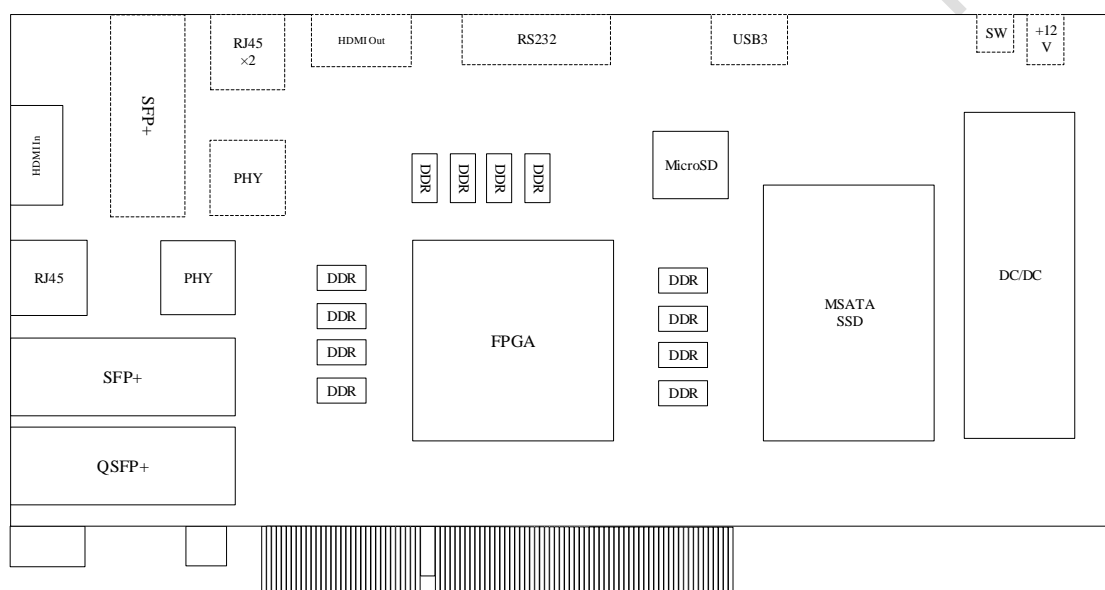


图 3-1 PCIE 插卡结构框图

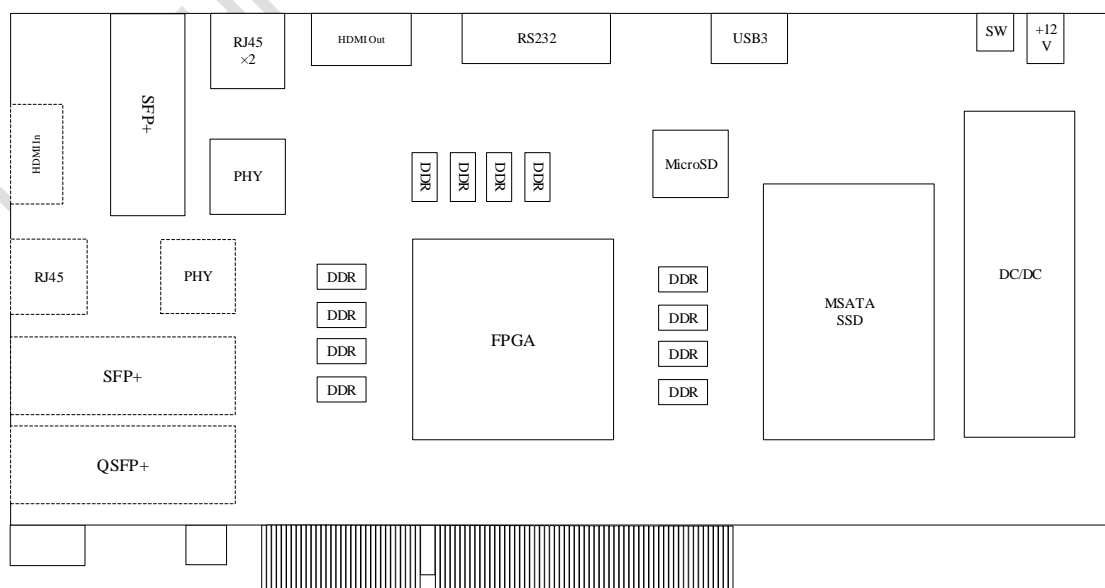


图 3-2 加速盒子结构框图