

---

# 中国科学技术大学

# 本科学位论文



## 基于高速波形采样和可编程逻辑 的核脉冲信息提取方法的实现

作者姓名：杨晨飞

学科专业：物理电子学

导师姓名：封常青 副研究员

完成时间：二〇一四年六月

---

University of Science and Technology of China  
A dissertation for Bachelor's degree



# **Implementation of Pulse Information Extraction Method Based on High Speed Waveform Sampling and FPGA Logic**

**Author:** Chenfei Yang  
**Speciality:** Physical Electronics  
**Supervisor:** Changqing Feng  
**Finished time:** June, 2014

---

## 中国科学技术大学学位论文原创性声明

本人声明所呈交的学位论文,是本人在导师指导下进行研究工作所取得的成果。除已特别加以标注和致谢的地方外,论文中不包含任何他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的贡献均已在论文中作了明确的说明。

作者签名: \_\_\_\_\_

签字日期: \_\_\_\_\_

## 中国科学技术大学学位论文授权使用声明

作为申请学位的条件之一,学位论文著作权拥有者授权中国科学技术大学拥有学位论文的部分使用权,即:学校有权按有关规定向国家有关部门或机构送交论文的复印件和电子版,允许论文被查阅和借阅,可以将学位论文编入《中国学位论文全文数据库》等有关数据库进行检索,可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。本人提交的电子文档的内容和纸质论文的内容相一致。

保密的学位论文在解密后也遵守此规定。

☐ 公开      ☐ 保密 (\_\_\_\_年)

作者签名: \_\_\_\_\_

导师签名: \_\_\_\_\_

签字日期: \_\_\_\_\_

签字日期: \_\_\_\_\_

## 致谢

匆匆四年，转眼间大学本科的时光已经接近尾声。在毕业前的半年里，我在导师封常青老师的指导下，完成了这篇毕业论文。

首先，要感谢封老师对我的悉心指导，无数次我在问题面前不知所措时，封老师总会及时给予我帮助，为我指明方向，并且针对相关的问题与我分享了大量的经验之谈，让我不仅目标明确地解决了问题，并且掌握了行之有效的学习、研究方法。也要感谢实验室的安琪教授和刘树彬教授，两位老师的关心和指导使我在求学乃至人生的道路上不断的发展与进步，在此，我向他们表示最诚挚的感谢。

感谢快电子学实验室郑其斌师兄、张德良师兄、沈仲弢师兄、张俊斌师兄、吴旭师兄、马思源师兄、王奇师兄、董家宁师姐，以及郑佳俊、元光远、刘金鑫、王楠、杨云帆、祝鑫同学，感谢他们在论文完成过程中给予我的无私帮助。感谢中国科技大学快电子学实验室营造的良好学术氛围和硬件条件，在与快电子学实验室的老师 and 同学的交流和讨论中，我不但在专业知识上日益进步，同时也学到很多人生的道理，它们将让我受益终身。

最后我要感谢我的家人和朋友，是他们为我提供了不懈前进的动力。感谢父母对我的培养，以及在论文完成过程中对我的关心。感谢我的女朋友何曦悦对我的支持和鼓励。感谢我的朋友梁日斌、刘骁、王鑫喆和明逸轩提供的帮助。

# 目录

摘要.....	6
Abstract.....	7
第 1 章 前言 .....	8
1.1 波形采样基本原理介绍.....	8
1.2 基于高速波形采样的核脉冲信息提取方法.....	10
第 2 章 高速 AD 采集卡介绍 .....	12
2.1 性能简介.....	12
2.2 高速 AD 采集卡整体介绍.....	13
2.2.1 高速 AD 采集卡构造 .....	13
2.2.2 输入模块（变压器电路） .....	14
2.2.3 USB 传输模块 .....	15
2.3 并行交替采样技术.....	15
2.3.1 提高采样率的两种方法 .....	15
2.3.2 并行交替采样技术介绍 .....	16
2.4 ADC 芯片介绍 .....	17
第 3 章 FPGA 逻辑设计.....	19
3.1 总体逻辑框架.....	19
3.1.1 逻辑结构图 .....	19
3.1.2 逻辑结构简介 .....	20
3.2 重要状态机设计.....	21
3.2.1 过阈甄别逻辑 .....	21
3.2.2 环形 BUFFER 状态控制逻辑 .....	22
3.2.3 USB 写模块逻辑 .....	23
3.3 数字信号处理模块.....	23
3.3.1 求基线 .....	24
3.3.2 寻峰与求面积 .....	24
3.4 逻辑的编译、综合及配置.....	25
第 4 章 逻辑仿真 .....	27
4.1 功能仿真和时序仿真.....	27

4.2	仿真环境的搭建.....	27
4.3	部分仿真模块介绍.....	29
4.3.1	顶层模块 .....	29
4.3.2	USB 仿真模块 .....	29
4.3.3	时钟与 ADC 仿真模块 .....	29
4.4	仿真结果.....	30
第 5 章	数据采集软件 .....	31
5.1	LabWindows 软件介绍 .....	31
5.2	采集软件.....	31
第 6 章	测试与结果 .....	35
6.1	采集卡数据格式.....	35
6.2	信号产生器信号测试.....	36
6.2.1	波形显示 .....	36
6.2.2	数字信号处理 .....	39
6.3	探测器信号测试.....	40
6.3.1	MicroMEGAS 气体探测器测试 .....	40
6.3.2	塑料闪烁体探测器测试 .....	41
第 7 章	总结与展望 .....	42
参考文献	.....	43

## 图表目录

图 1-1 波形数字化系统获取的探测器输出脉冲信号波形 .....	10
图 2-1 高速 AD 采集卡正面照片 .....	12
图 2-2 高速 AD 采集卡背面照片 .....	13
图 2-3 高速 AD 采集卡原理框图 .....	14
图 2-4 变压器电路原理图 .....	14
图 2-5 CY7C68013 结构功能框图.....	15
图 2-6 并行交替采样技术示意图 .....	17
表 2-1 KAD5512P-50 输出模式表.....	18
图 3-1 FPGA 内部逻辑结构图.....	20
图 3-2 过阈甄别逻辑状态机原理图 .....	21
图 3-3 FIFO128to16 控制逻辑状态机原理图.....	22
图 3-4 USB 写模块状态机原理图.....	23
图 3-5 Xilinx ISE 软件界面.....	25
图 3-6 iMPACT 软件界面.....	26
图 4-1 ISE 仿真库编译器.....	28
图 4-2 高速 AD 采集卡读取命令仿真波形图 .....	30
图 4-3 高速 AD 采集卡发送数据仿真波形图 .....	30
图 5-1 采集软件基本结构 .....	32
图 5-2 多线程工作原理 .....	33
图 5-3 采集软件用户界面 .....	34
图 6-1 高速 AD 采集卡输出数据包格式 .....	35
图 6-2 正弦波形实时显示 .....	36
图 6-3 脉冲波形实时显示 .....	37
图 6-4 上升/下降沿 5ns 脉冲波形图 .....	38
图 6-5 上升/下降沿 10ns 脉冲波形图 .....	38
图 6-6 数据包格式图 .....	39
图 6-7 400mV、600mV、800mV 信号对应峰值直方图.....	39
图 6-8 400mV、600mV、800mV 信号对应能谱.....	40
图 6-9 MicroMEGAS 探测器信号峰值直方图.....	41

图 6-10 塑料闪烁体探测器信号峰值直方图 .....	41
------------------------------	----



## 摘要

核与粒子物理实验中，探测器输出的脉冲信号波形携带有粒子最全面、详细的物理信息。核脉冲信息提取是核电子学领域的一项重要技术，通过信息提取可以获得粒子的能量信息或粒子击中探测器的空间位置、时间信息等。

随着高速、高精度 AD 技术的发展，对核脉冲信息采样并进行数字处理已经成为了发展趋势。本论文的研究重点即是利用现有的高速 AD 采集卡实现对探测器波形的高速采样，并在 FPGA 内实现对数字信号的实时处理。其中，高速采样的实现利用了并行交替采样技术，即用两片低采样率的 ADC 交替采样实现系统的高采样率。

本论文主要包括四个方面的工作。首先，为了实现在 FPGA 内对数据的实时处理，使用 HDL 语言（Verilog 与 VHDL）在 ISE 软件内编写逻辑工程，并进行编译后下载到 FPGA 内实现目标。

其次，在 Modelsim 软件内实现了对 FPGA 逻辑的时序仿真。仿真是数字逻辑设计流程中的一个重要环节。在 Modelsim 内实现对 Xilinx 公司 FPGA 的逻辑仿真需要先搭建相应的仿真环境，并编写高速 AD 采集卡上其他模块所对应的激励输入、输出校验模块。

第三，基于 LabWindows/CVI 环境编写了针对高速 AD 采集卡的数据采集软件，实现了从 PC 机向采集卡发送命令与从采集卡读取处理完毕的数据并进行存储的功能。

最后，使用高速 AD 采集卡完成了对信号产生器信号及两种探测器信号的采样与处理，并利用 MATLAB 对数据进行了统计分析。

## Abstract

In Nuclear and Particle Physics experiments, the pulse signal carries the most comprehensive and detailed information from the detector. Nuclear pulse information extraction is an important technology in the field of nuclear electronics.

With the development of high-speed, high-precision ADC (Analog-to-Digital Conversion) technology, nuclear pulse sampling and digital processing has become a trend. In this dissertation, the author focuses on using an existing high-speed AD acquisition card for high-speed waveform sampling, and to achieve real-time digital signal processing in the FPGA.

This work contains three main contributions. First, to achieve real-time digital signal processing in the FPGA, the author writes logic engineering in the ISE Suite using HDL languages (Verilog and VHDL), and download it to the FPGA after compiling.

Second, the author implements timing simulation of the FPGA logic in Modelsim. Simulation is an important part of hardware engineering design.

Third, the author writes the data acquisition software for the high-speed AD acquisition card based on the LabWindows/CVI environment, and realize the command sending and data storing using the acquisition software.

Last, the author tests the high-speed AD acquisition card and completes the pulse sampling and digital processing of the signal generator and two detectors, then uses MATLAB to analyze the data.

## 第1章 前言

### 1.1 波形采样基本原理介绍

采样是将信号从连续时间域上的模拟信号转换到离散时间域上的离散信号的过程，以采样器实现。通常采样与量化联合进行，模拟信号先由采样器按照一定时间间隔采样获得时间上离散的信号，再经模数转换器（ADC）在数值上也进行离散化，从而得到数值和时间上都离散的数字信号。很多情况下所说的“采样”就是指这种采样与量化（数字化）结合的过程。<sup>1</sup>

在一定的条件下，通过采样得到的等时间间隔的样本可以将原连续时间信号全部恢复出来，这就是众所周知的采样定理，它在数字信号与模拟信号之间架起了桥梁。但很容易想到，对于一个特定的模拟信号，可以有无数组不同的离散采样值，而同样的，对于一组特定的等间隔数值，也会有无限多个模拟信号都可以产生这样一组离散值。然而从数学上可以证明，如果一组信号是带限的，并且采样频率大于信号带宽的 2 倍，那么，原来的连续信号可以从采样样本中完全重建出来。这就是奈奎斯特采样定律。

对连续信号进行等间隔采样时，如果不能满足上述采样定理，就无法从采样样本中唯一的重建出原来的连续信号，出现信号频率的重叠，即高于采样频率一半的频率成分将被重建成低于采样频率一半的信号。这种频谱的重叠导致的失真称为混叠，而重建出来的信号称为原信号的混叠替身，因为这两个信号有同样的样本值。为了避免混叠现象的发生，必须要提高采样的频率：对于一个频率成分为  $[f_a, f_b]$  带限模拟输入信号，采样率必须满足  $f_s > 2(f_b - f_a)$ 。

在核与粒子物理试验中，探测器输出的脉冲信号的波形携带有粒子最全面、最详细的物理信息。对于脉冲波形而言，大家通常关心的是波形前沿和脉冲的宽度（或者说是脉冲的面积），这两方面的信息和物理信息一一对应。脉冲波形的前沿信息包含着粒子击中探测器的时间信息，准确地获取脉冲波形的前沿信息，就可以很准确地推断出粒子击中探测器的时刻，这也就是飞行时间探测器鉴别带电粒子种类的最基本方法。脉冲信号的波形面积对应着粒子在探测器中沉积的能量，精确测量出脉冲波形的面积就可以准确地获取粒子能量信息。

传统的核脉冲信息提取使用的是模拟处理。在传统的粒子物理试验中,通常采用电荷积分方法来测量探测器输出脉冲波形的面积,从而得到能量信息。所谓电荷积分法,就是先将探测器输出的电压脉冲信号转换成电流信号,再通过积分电路得到一个缓慢衰减的电压信号。该信号的峰值正比于输入电流的积分,也就是正比于脉冲波形的面积。最好使用相对慢速的高精度的 ADC 对积分器输出信号进行连续的数字化取样获取信号的峰值,可以很容易理解,当采样率越高时,得到的峰值信息约准确,通常在设计时都是在精度和代价两者间取一个平衡。<sup>2</sup>

对核脉冲信号进行处理的一个例子是脉冲甄别,早期的读出电子学中,还通过双积分路线(Double-integration Method)以及成形甄别路线两种方式对模拟信号进行处理,双积分路线是采用两个不同的模拟积分电路,一路只对探测器信号的前一部分进行积分(得到信号前一部分的电荷量),另一路则对整个信号进行积分(得到整个信号的全部电荷量),将这两路积分结果进行对比,就可以区分衰减时间不同的脉冲信号;而成形甄别路线是对探测器信号进行积分成形,然后再对积分输出的前后沿进行甄别,再利用时间数字变换器(即 TDC,早期电路中常用 TAC+ADC 代替)对甄别器的输出进行时间测量,就可以得到积分成形后的脉冲上升时间、下降时间或宽度等信息,而这些时间信息与探测器信号形状直接相关。

利用传统模拟方法进行波形采样和处理的优点和缺点都非常的明显:优点主要是可以很大的节约成本和降低整个系统的功耗;缺点是丢失了粒子的前沿信息,由于积分电路的堆积效应,会带来较大的死时间,不能适应高亮度、高事例率的物理实验等,而且模拟电路中采用的传输线、模拟延时芯片以及电感电容等分立元件的体积都比较大,使系统整体的集成度较低,此外,传统电路只利用了信号脉冲中的少数几个点,由于可利用的物理信息有限,所以难以胜任复杂的处理,一旦信号波形受到干扰、或两个脉冲发生堆积时,就有可能出现误判。所以,在当代的众多物理试验中,波形数字化的应用成为发展趋势。

波形数字化(Waveform Digitization, 简称为: WFD)是一种常用的获取信号波形的的方法,指的是对探测器输出的信号不进行传统的电荷积分、成形,对其幅度数字化获取其电荷(幅度)信息,而是直接对信号波形进行高速采样并数字化、存储。

图 1-1 是一个波形数字化系统获取的探测器输出脉冲信号波形例子,其中

小圆点是原始采样点，曲线是由采样点拟合的脉冲波形，可以看到，只要采集速率足够高，可以无失真地恢复原脉冲波形。波形数字化方法还有其他一些优点，该方法消除了传统电荷积分放大带来的“堆积”效应，死时间小，适应于高事例率的物理实验；此外，波形数字化还可以使物理学家采用任何可能的数字处理方法来处理波形数字化的信号数据，以最大限度地获取其中的物理信息。

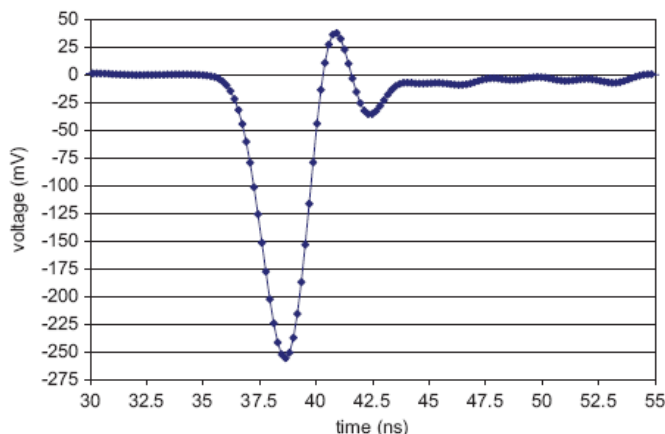


图 1-1 波形数字化系统获取的探测器输出脉冲信号波形

波形数字化一直是前端读出电子学系统设计的难点，对探测器高速脉冲信号进行采样就要求有超高采样率的 ADC 电路和相应的高速数据接收和缓存的电路。一直以来，国内外的实验物理学家都在致力于研究获取粒子脉冲信号的波形的办法，但是都受到技术和 ADC 芯片设计工艺方面的巨大限制。随着大规模集成电路的飞速发展，尤其是 Flash ADC (FADC) 芯片技术的进展和计算机计算能力的大幅提升，使用高速的 FADC 来获取粒子的脉冲波形成为可能。在随后的物理实验中，波形数字化的使用越来越多<sup>345</sup>，应用面也更为广泛<sup>6789</sup>。

## 1.2 基于高速波形采样的核脉冲信息提取方法

基于高速波形采样的核脉冲信息提取的基本思想是先对探测器信号波形进行采样，然后利用数字信号处理技术对采样得到的波形进行灵活的处理。相比于传统的模拟处理，这种方法更容易克服信号堆积、噪声干扰和波形畸变带来的误差，并且可以从信号波形中提取出更多的物理信息——例如前文所提到的时间信息、能量信息等。

基于这些优势,随着大规模集成电路的飞速发展,尤其是Flash ADC (FADC)芯片技术的进展和计算机计算能力的大幅提升,近年来基于波形采样的核脉冲信息提取取得了迅速的发展,并且取得了很好的结果,但仍然有值得进一步开展的工作。对采样得到的波形信息进行处理,过去主要是依赖运行在PC上的离线软件来实现,难以实现真正的实时。而将原始数据连续传送给PC机进行在线处理,即使对于单通道的高采样率(如1Gsp/s采样率)、高计数率的应用,也会给计算机系统的数据传输、缓存和处理造成巨大的压力。如果探测器通道数增多,问题会变得更加棘手。

因此,一种更具前景的解决方案就是在波形采样之后立即利用数字信号处理器(DSP)或大规模的数字逻辑(如FPGA)进行在线处理,然后仅将处理结果发送给PC机。将数字化及处理过程前移之后,既减轻了PC机的数据传输和缓存压力,而且整个数字化处理系统可设计成独立的功能模块,不仅集成度得以提高,且更容易实现通道数目的扩展。

## 第2章 高速 AD 采集卡介绍

### 2.1 性能简介

本论文所使用的采集卡是实验室已设计完成的高速 AD 采集卡，是在已有工作的基础上进行进一步的研究。高速 AD 采集卡的功能是完成对输入信号的采样、量化，并在对转换后的数字信号进行过阈判断后，对满足阈值条件的波形进行测基线、寻峰、求面积、计数等处理，并将处理之后得到的结果通过 USB 系统发送给上位机。高速 AD 采集卡的性能指标如下：

- 1、采样率： 1Gsps；
- 2、分辨率： 12bit；
- 3、电源： 12V 直流电源；
- 4、信号输入： SMA 或 PCIE；
- 5、输出： USB；

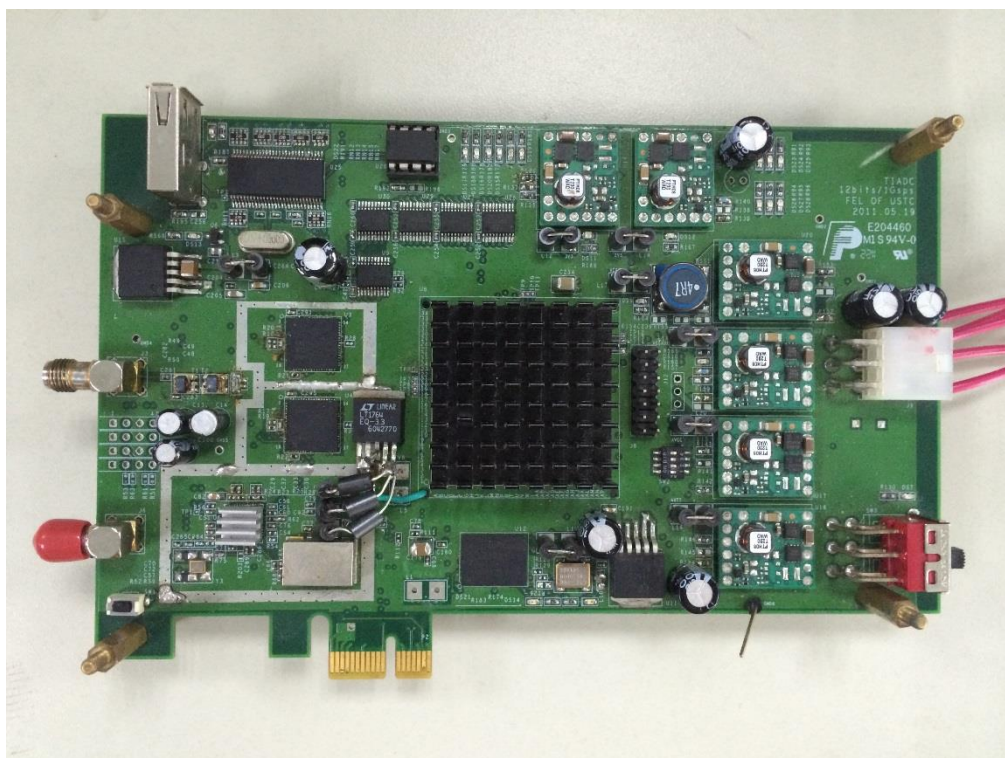


图 2-1 高速 AD 采集卡正面照片



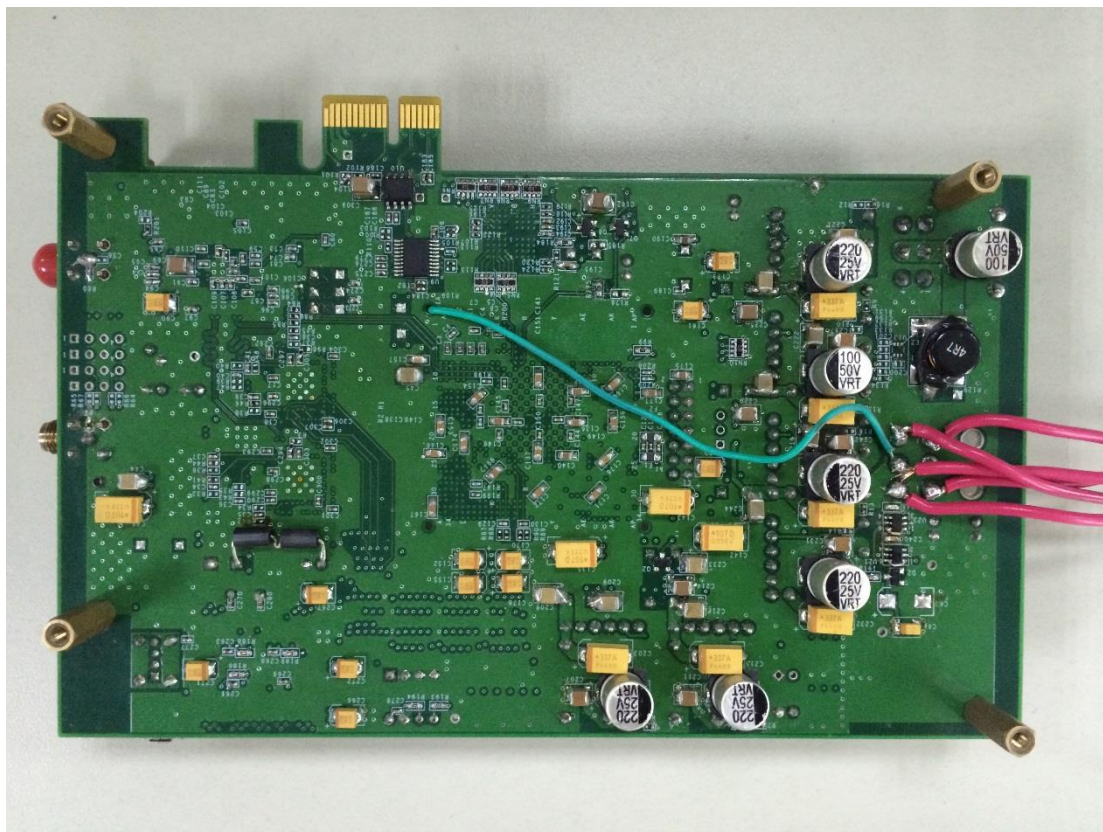


图 2-2 高速 AD 采集卡背面照片

## 2.2 高速 AD 采集卡整体介绍

### 2.2.1 高速 AD 采集卡构造

采集卡照片如图 2-1 与图 2-2 所示。FPGA 芯片型号为 Xilinx 公司的 VIRTEX6 XC6VLX130T FPGA 芯片，封装类型为 FF1156。采集卡为此 FPGA 配有 16M 的 BPI FLASH，型号为 xcf128x-ftg64c，采用 FBGA-64 封装。USB 芯片为 CYPRESS 公司的 CYC7C68013A -56PVXC 芯片，采用 0-56 封装。两片 ADC 芯片为 intersil 公司的 KAD5512P-50 芯片，采用 QFN-72 封装。

采集卡整体原理框图如图 2-3 所示。



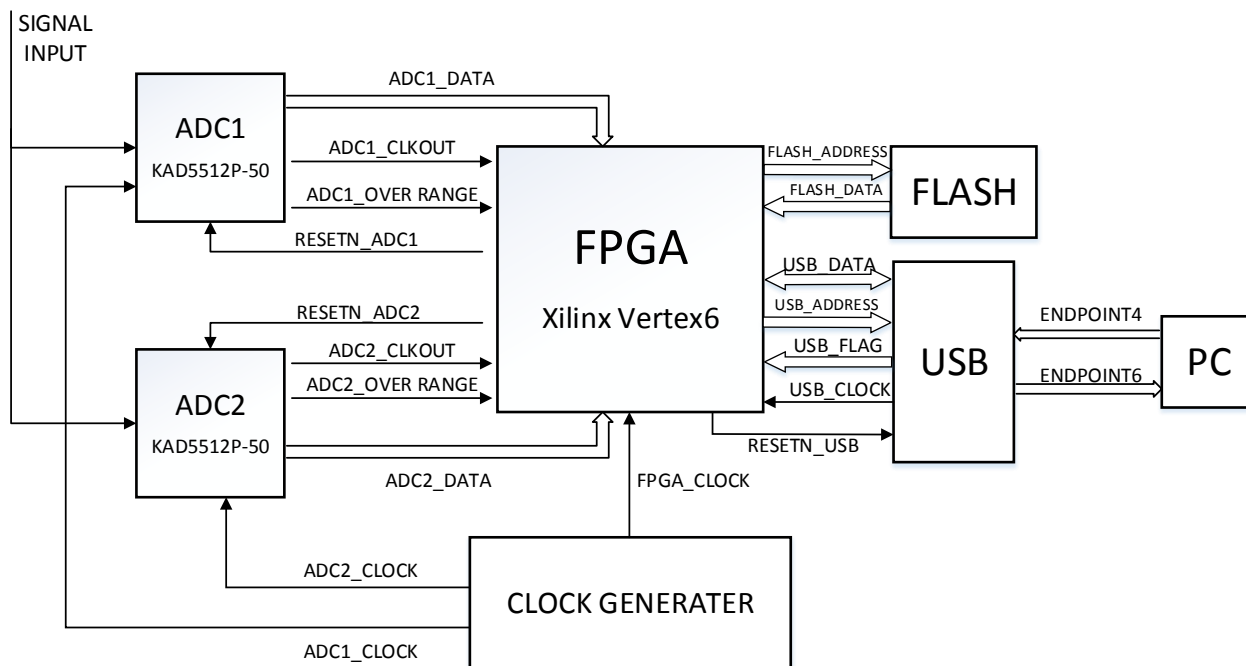


图 2-3 高速 AD 采集卡原理框图

### 2.2.2 输入模块（变压器电路）

采集卡输入部分原理图如图 2-4 所示，输入信号经过电容耦合变换，将单端输入转变为差分信号，得到符合 ADC 输入要求的信号。

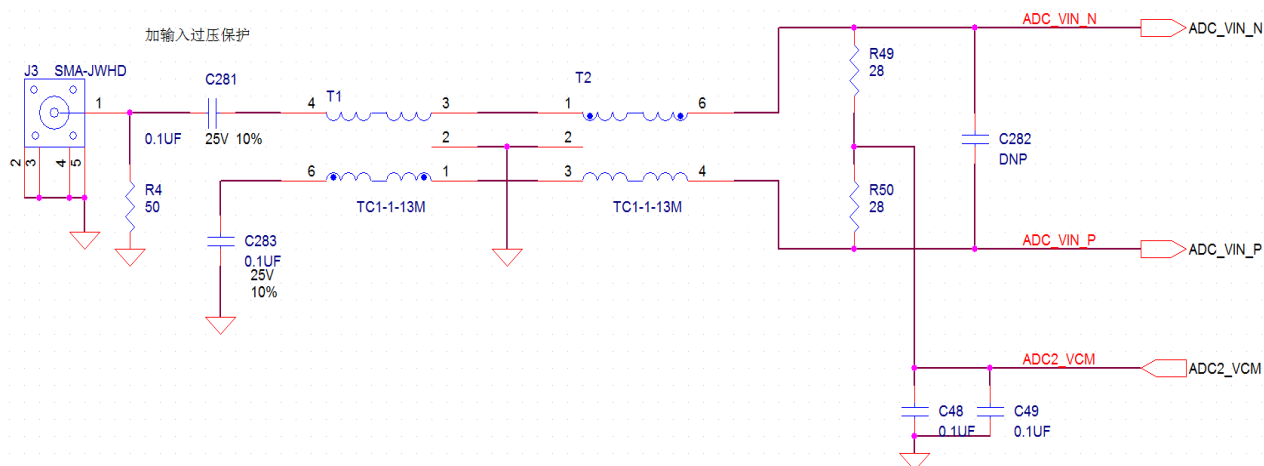


图 2-4 变压器电路原理图

### 2.2.3 USB 传输模块

在数据获取系统中，高速 AD 采集卡通过 Cypress 公司的 EZ-USB FX2LP 系列 CY7C68013USB 接口芯片与 PC 机相连，负责整个电子学硬件部分与 PC 机的通信——包括上行传输数据包和下行传输命令。CY7C68013 芯片的结构功能框图如图 2-5 所示。

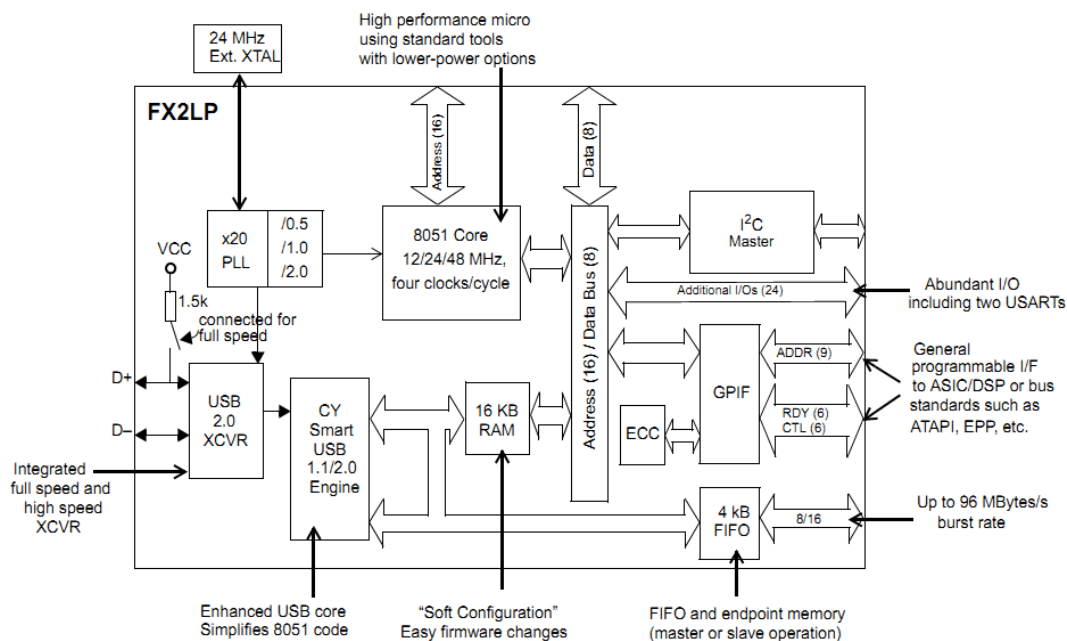


图 2-5 CY7C68013 结构功能框图

## 2.3 并行交替采样技术

### 2.3.1 提高采样率的两种方法

随着模数变换的广泛应用，在越来越多的领域中，人们都对 ADC 的性能指标提出了更高的要求，其中采样率和精度几乎是所有设计者和使用者都非常关注的指标。在粒子物理实验中，高采样率对于具有高速前后沿的脉冲波形处理具有重要意义。然而 ADC 的采样率的提升面临着重重困难，为了提升采样速度，一般采用等效采样技术和并行交替采样技术。等效采样技术一般在重复信号的每个周期或相隔几个周期取一个样，而每个取样点分别取自每个输入信号

波形不同的位置上, 具体来说, 每发现一个触发时, 经过一个虽然很短却明确的延迟 $t$ 后, 就进行采样。当发生下一次触发时, 延迟 $t$ 增加一段小的增量 $\Delta t$ , 这样若干个取样点成为一个周期, 可以组成类似于原信号的一个周期的波形, 只是周期拉长了<sup>10</sup>。而并行交替采样技术是一种利用多片较低采样率的 ADC 来实现较高采样率的技术, 对各 ADC 采样时钟和信号的控制是关键, 通常有两种实现方式: 一种是采用延迟线的方式, 另一种是采用时间交替并行采样的方式<sup>11</sup>。由于在 PCB 板级上做精确的时钟和信号延迟有相当大的困难, 一般都采用后者, 即将输入信号同时送到多个通道的 ADC, 而每片 ADC 的采样时钟保持均匀的相位差, 最后把多个 ADC 的数据依次组合起来, 构成一个数据, 从而实现单片 ADC 难以实现的超高速采样, 整个系统的采样率为多片 ADC 采样率的总和。

由于等效采样需要在同一信号的多个周期内进行采样, 因此这一技术仅适用于周期信号, 而并行交替采样技术则适用于任何信号, 但对各路信号的延迟和增益要求较高<sup>12</sup>。

### 2.3.2 并行交替采样技术介绍

并行交替型 ADC 的结构首先由美国人 Black 与 Hodges 于 1980 年提出<sup>13</sup>, 这种结构包括一组相对低速的 ADCs, 它们在时间上交替并行工作。图 2-6 中给出了以 2 个 ADC 为例的并行交替采样的结构, 输入的模拟信号送给 2 个通道的 ADC 进行交替采样, 2 个 ADC 的采样时钟相差半个时钟周期, 最后把 2 个 ADC 的数据组合起来, 构成一个 ADC 的数据, 每个 ADC 都只需要工作在 $f_s/2$ 的采样率下, 就可以得到采样率为 $f_s$ 的采样系统。

尽管并行的结构可以实现超高速的采样率这种诱人的特点, 它本身也有其固有的缺点。理论上, 如果所有的采样通道都能做到完全的一致而且采样时钟之间的相位绝对均匀, 那么利用并行交替采样技术可以完美的实现高速的采样系统。但是, 实际的电路系统, 各个通道的偏置, 增益以及各个 ADC 的采样时钟之间的间隔都会有偏差, 会给系统带来难以避免的误差。这就是并行带来的多通道 ADC 间的失配误差严重降低了整个 ADC 系统的信噪比(SNR)。<sup>14</sup>

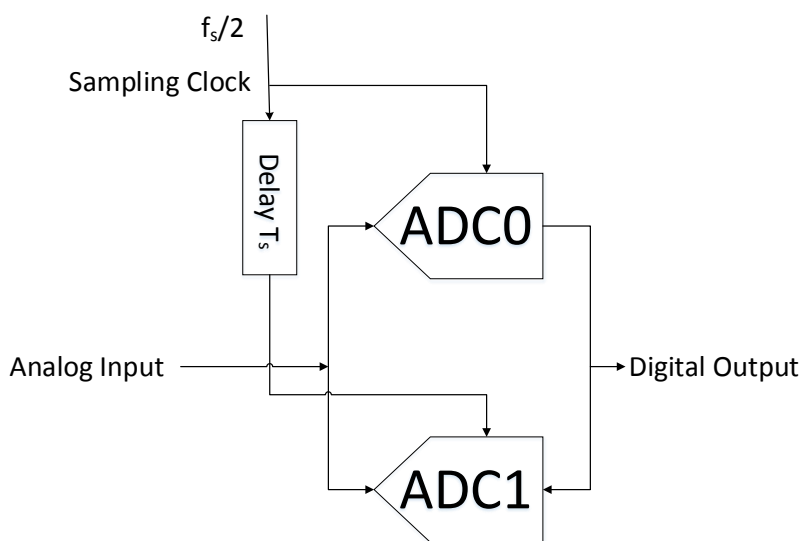


图 2-6 并行交替采样技术示意图

## 2.4 ADC 芯片介绍

采集卡使用的 ADC 型号是 intersil 公司的 KAD5512P-50 芯片，该芯片的分辨率为 12-bit，采样率为 500Msps。它利用两片 12-bit, 250Msps 的 A/D 内核同时采样以达到 500Msps 的总采样率。该芯片拥有 SPI (serial peripheral interface, 串行外围接口) 管脚，使得它具有更为广泛的可配置性，以及对两个 A/D 内核配合特性更好的控制能力。该 ADC 的模拟输入信号幅度最大峰峰值 (Full-Scale Analog Input Range) 为 1.47V (TYP)。ADC 的输入特征同时也就限定了高速 AD 采集卡的输入信号。

芯片的数字输出电平有 LVDS 及 CMOS 两种可选模式，输出数据格式有 OFFSET BINARY, TWO'S COMPLEMENT, GRAY CODE 三种可选模式，如表 2-1 所示，本采集卡使用的输出格式为 OFFSET BINARY。

表 2-1 KAD5512P-50 输出模式表

INPUT VOLTAGE	OFFSET BINARY	TWO' S COMPLEMENT	GRAY CODE
- Full Scale	000 00 000 00 00	100 00 000 00 00	000 00 000 00 00
- Full Scale + 1LSB	000 00 000 00 01	100 00 000 00 01	000 00 000 00 01
Mid-Scale	100 00 000 00 00	000 00 000 00 00	110 00 000 00 00
+Full Scale - 1LSB	111 11 111 11 10	011 11 111 11 10	100 00 000 00 01
+Full Scale	111 11 111 11 11	011 11 111 11 11	100 00 000 00 00

## 第3章 FPGA 逻辑设计

### 3.1 总体逻辑框架

采集卡 FPGA 模块主要功能有：

- 1、读取 PC 机发送到 USB 模块的命令，并依此为 ADC、USB 芯片等提供初始化命令等控制信号；
- 2、将两片 ADC 的数字输出进行组合；
- 3、多级缓存（高速采样，低速处理）；
- 4、对采样后的数字信号进行处理，得到相关结果；
- 5、将处理得到的结果传送给 USB 模块。

#### 3.1.1 逻辑结构图

FPGA 内部逻辑结构如图 3-1 所示。

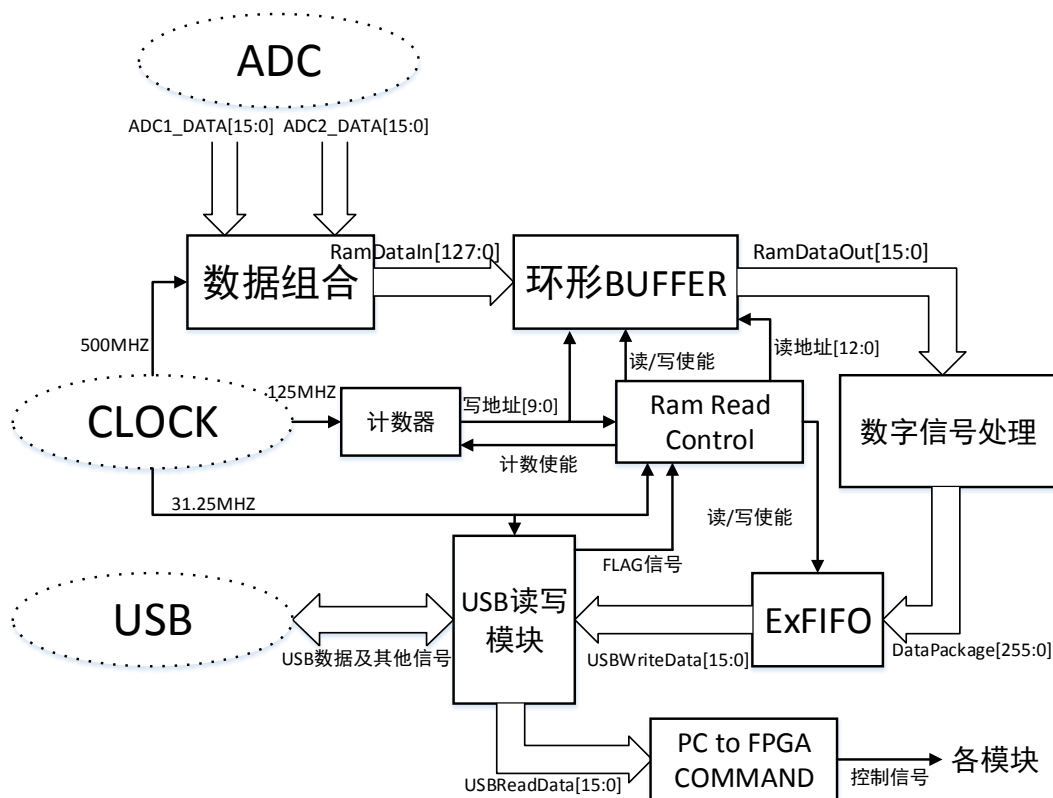


图 3-1 FPGA 内部逻辑结构图

### 3.1.2 逻辑结构简介

FPGA 的输入时钟有 500MHz 以及 31.25MHz 两种频率。其中 500MHz 时钟用于 ADC 数据读入，并经过分频得到 125MHz 时钟，用于 ADC 数据组合后的读写，31.25MHz 时钟用于 USB 模块的读写。

上位机通过 USB 的 ENDPOINT4 (EP4) 向 USB 芯片内地址为 01B 的 slave FIFO 写命令，当此 FIFO 非空时，FPGA 通过 USB 读模块控制 USB 芯片读出此命令。通过 USB 传输的 16-bit 命令，高 8-bit 为阈值控制信号，给出了过阈条件，低 8-bit 则决定了  $resetsn\_adc1$ 、 $resetsn\_adc2$  (ADC1/2 复位信号)、 $adc1\_spi\_reset$ 、 $adc2\_spi\_reset$  (ADC1/2spi 端口复位信号)、 $sysenable$  (系统使能信号)、 $upsetn$  (内/外触发选择信号) 等控制信号。

两片 500MSPS 采样率 ADC 通过并行交替采样技术，系统的总采样率可达到 1GSPS。ADCs 输出的 13-bit (12-bit 数据位以及 1-bit 溢出位) 数字信号进入 FPGA 后，每一个数据在左侧补 3-bit 0 组成 16-bit 信号，再将 ADC1 的 4 个数据和 ADC2 的 4 个数据交叉组合为一个 128-bit 的数据存入环形 BUFFER，存入

时钟为 125MHZ。当 ADC 数据过阈 (over threshold) 时, 按 16-bit 读出 BUFFER 中过阈点前的 2048 个数据 (约 2us) 及过阈点后的 6144 个数据 (约 6us) 总计 8192 个数据 (约 8us), 读出时钟为 31.25MHZ。

读出后的数据在 FPGA 内进行计数、求基线、寻峰、求面积等处理, 处理后得到的数据存入 FIFO, 并通过 USB 写模块写入到 USB 芯片内地址为 10B 的 slave FIFO 内, 并通过 ENDPOINT6 (EP6) 传送给上位机。

## 3.2 重要状态机设计

### 3.2.1 过阈甄别逻辑

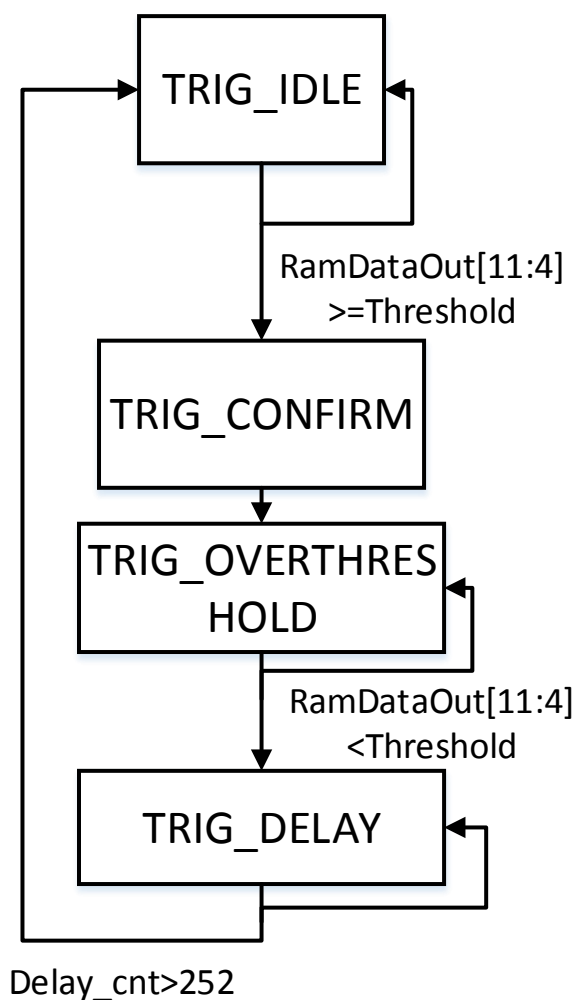


图 3-2 过阈甄别逻辑状态机原理图

过阈甄别状态机结构如图 3-2 所示。此状态机用于判断采集卡的输入信号



是否过阈，以 over\_threshold 信号作为标志信号，此信号为高电平时，表示输入信号过阈。CONFIRM 状态是为了避免对 ADC 输出信号中的毛刺出现误判。

### 3.2.2 环形 BUFFER 状态控制逻辑

对此 BUFFER 读写控制的状态机结构如图 3-3 所示。此状态机用于控制环形 BUFFER 的读写使能与读地址。当输入信号过阈时，进入 OVERTHRESHOLD 状态，过阈 6 微秒之后，进入 READ 状态，BUFFER 不再写使能，从过阈点向前找 2 微秒开始读出 BUFFER 中的数据。读完过阈 6 微秒之后的数据后，不再读出数据，重新进入写使能状态。

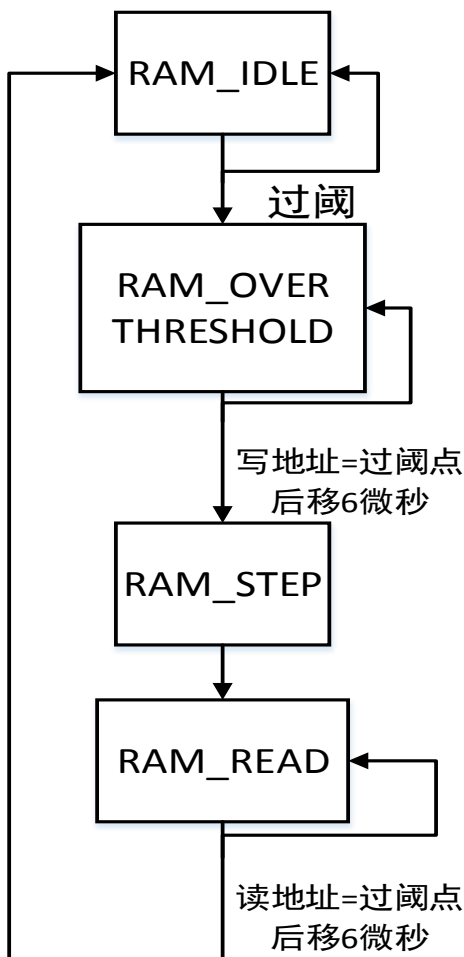


图 3-3 FIF0128to16 控制逻辑状态机原理图

### 3.2.3 USB 写模块逻辑

对 USB 写出模块控制的状态机结构如图 3-4 所示。此状态机用于控制发送给 USB 芯片的 SLWR、PKTEND 等信号。当 USB 总线不在读命令状态中时，即可进行写数据操作。若 FPGA 中的 ExFIFO 处于非空状态且 EP6 FIFO 非满，USB 写模块即将 ExFIFO 中的数据写到 EP6 的 slave FIFO 中并传送给 PC 机。若 ExFIFO 中的数据已经被全部读出了，但此时 EP6 FIFO 还未被写满，则设置 PKTEND 信号，将 EP6 FIFO 中未读完的数据强制读出到 PC 机中，以避免漏掉数据。

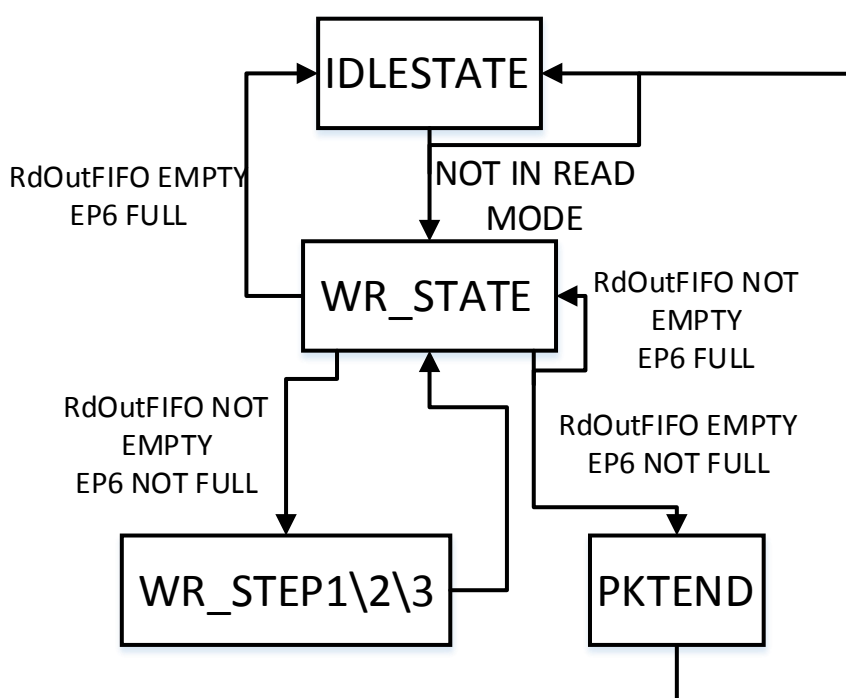


图 3-4 USB 写模块状态机原理图

### 3.3 数字信号处理模块

数字信号处理模块对 ExFIFO 读出的 16-bit 数据进行处理，目前已经实现的包括求基线、寻峰、求面积三个子模块。

### 3.3.1 求基线

基线 (baseline) 指测量值没有变化时传感器产生的电信号。通常表示空载时的输出。通常对脉冲信号进行处理时需要扣除基线。

在 FPGA 逻辑中, 当输入信号过阈时, 在环形 BUFFER 中从过阈点之前 2us 开始读出数据, 由于探测器输出的信号上升沿普遍较快 (ns 量级), 因此过阈前 2us 左右的数据可认为是基线值。该子模块读取 16 个基线数据并求平均, 作为该次过阈触发脉冲的基线值。

### 3.3.2 寻峰与求面积

寻峰 (peak searching) 指找寻某一次脉冲信号中幅度最大的样本值。只需要设立一个 16-bit 寄存器, 在环形 BUFFER 读使能的全过程中, 每读出一个数据即与寄存器当前值比较, 若新数据比寄存器值大则将此数据值赋给寄存器, 若新数据比寄存器值小, 则寄存器值不变。如此, 即可完成寻峰功能。

求面积指计算该次脉冲触发中读出的所有数据的和值, 输出数据为 32-bit。由于求面积过程中读出数据的第 13bit (溢出位) 与第 12bit (符号位) 无用, 因此仅对 0-11bit 数据进行求和。

### 3.4 逻辑的编译、综合及配置

本论文中对 FPGA 逻辑的编译、综合及配置是利用 Xilinx 公司的 ISE 软件。ISE 的全称为 Integrated Software Environment，即“集成软件环境”，是 Xilinx 公司的硬件设计工具。ISE 将先进的技术与灵活性、易使用性的图形界面结合在一起，是相对容易使用的 PLD 设计环境。利用 ISE 开发设计软件的工程设计流程分为五个步骤，分别是输入（Design Entry）、综合（Synthesis）、实现（Implementation）、验证（Verification）和下载（Download）。图 3-5 即为 ISE 软件的使用界面截图。

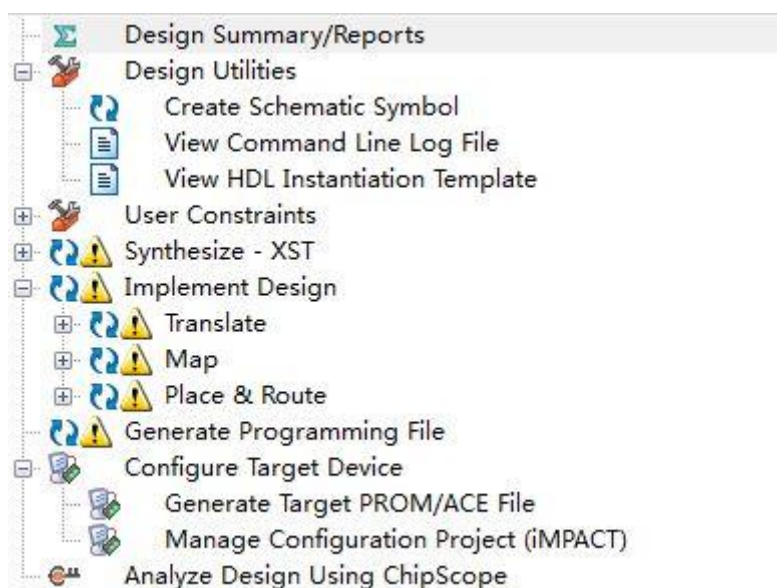


图 3-5 Xilinx ISE 软件界面

输入步骤可以使用原理图、状态机、波形图、硬件描述语言，是工程设计的第一步。常用的设计输入方法是硬件描述语言和原理图设计输入方法。

综合步骤是将行为和功能层次表达的电子系统转化为低层次模块的组合。一般来说，综合是针对 VHDL 来说的，即将 VHDL 描述的模型、算法、行为和功能描述转换为 FPGA/CPLD 基本结构相对应的网表文件，构成对应的映射关系。

实现步骤是根据所选的芯片的型号将综合输出的逻辑网表适配到具体器件上。Xilinx ISE 的实现过程分为：翻译（Translate）、映射（Map）、布局布线（Place & Route）等 3 个步骤。

验证步骤包含功能仿真和时序仿真等。ISE 可结合第三方软件进行仿真，

常用的工具如 Model Tech 公司的仿真工具 Modelsim 和测试激励生成器 HDL Bencher，Synopsys 公司的 VCS 等。通过仿真能及时发现设计中的错误，加快设计中的错误修正，加快设计进度，提高设计的可靠性。

下载步骤即编程设计开发的最后步骤，就是将已经仿真实现的程序下载到开发板上，进行在线调试或者说将生成的配置文件写入芯片中进行测试。在 ISE 中对应的工具是 iMPACT。<sup>15</sup>

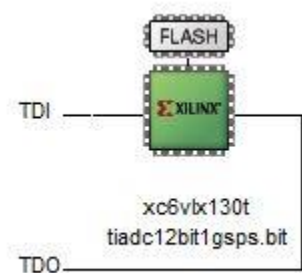


图 3-6 iMPACT 软件界面

## 第4章 逻辑仿真

### 4.1 功能仿真和时序仿真

仿真过程是正确实现设计的关键环节，用来验证设计者的设计思想是否正确，及在设计实现过程中各种分布参数引入后，其设计的功能是否依然正确无误。由于在硬件设计过程中，将设计后的程序下载到硬件中运行往往需要较长的时间，且无法实时监控程序内部的寄存器数值，出现问题时不能快速准确的找到症结所在。而通过仿真环节，既节省了下载的时间，同时可以有效的对设计中的错误进行定位。仿真主要分为功能仿真和时序仿真，也即前仿真与后仿真。功能仿真是在设计输入后进行；时序仿真是在逻辑综合后或布局布线后进行。

具体来说，功能仿真，也即前仿真，是指在一个设计中，在设计实现前对所创建的逻辑进行的验证其功能是否正确过程。布局布线以前的仿真都称作功能仿真，它包括综合前仿真和综合后仿真。综合前仿真主要针对基于原理框图的设计；综合后仿真既适合原理图设计，也适合基于 HDL 语言的设计。<sup>16</sup>前仿真可以有效地节省布局布线的时间，对逻辑功能进行验证。

时序仿真，也称后仿真，它使用布局布线后器件给出的模块和连线的延时信息，在最坏的情况下对电路的行为做出实际地估价。时序仿真使用的仿真器和功能仿真使用的仿真器是相同的，所需的流程和激励也是相同的；它们惟一的差别是为时序仿真加载到仿真器的设计包括基于实际布局布线设计的最坏情况的布局布线延时，并且在仿真结果波形图中，时序仿真后的信号加载了时延，而功能仿真没有。与功能仿真相比，时序仿真需要更长的时间，但仿真结果也更为贴近实际情况。本论文所做的仿真主要是时序仿真。

### 4.2 仿真环境的搭建

由于在 Xilinx ISE 软件中设计的程序使用了 Xilinx FPGA 的功能内核（IP Core），因此在 Modelsim 内进行仿真时需要添加相应的库（Library）以使仿真可以正常进行。

Xilinx ISE 附带的工具中有 Simulation Library Compilation Wizard (仿真库编译器, 如图 4-1), 使用这个工具可以将 Xilinx 仿真库添加到 Modelsim 软件中, 需要导入的包括 Simprim 库、Unisim 库以及 Xilinxcorelib 库。

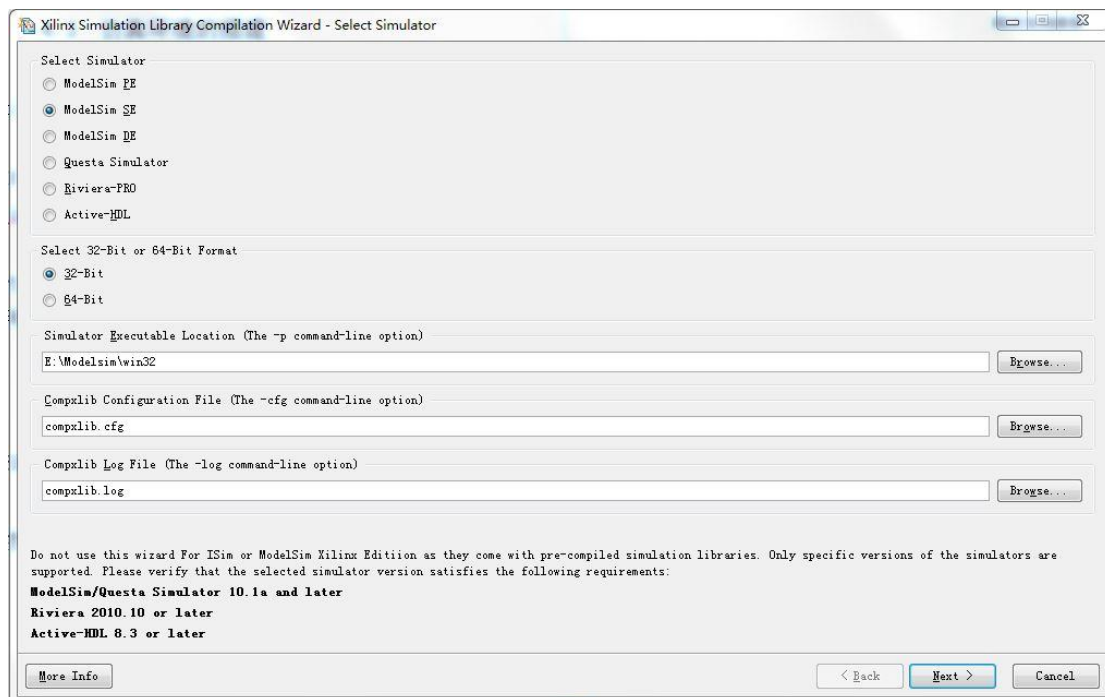


图 4-1 ISE 仿真库编译器

添加完相关的 Xilinx 仿真库之后, 开始对 Xilinx ISE 工程的时序仿真 (后仿真), 首先在 ISE 软件内生成顶层模块的布局布线仿真模型 (Generate Post-Place & Route Simulation Model), 会产生模型的 HDL 文件及 SDF 文件 (Standard Delay Format, 标准延时格式文件), 其中, HDL 文件包括了模型的布局布线信息, 而 SDF 文件则包括了模型的时序信息。将生成的 HDL 文件添加到 Modelsim 软件中, 之后, 为 Modelsim 仿真工程添加仿真配置文件 (Simulation Configuration), 在配置中导入时序 SDF 文件及 Xilinx 仿真库, 即完成了 Modelsim 的仿真配置。

## 4.3 部分仿真模块介绍

### 4.3.1 顶层模块

对所设计的工程进行仿真验证时，需要为此工程提供激励输入，并检验其输出信号是否符合预期的结果。这时便需要在仿真软件中搭建一个模拟实际环境的输入激励和输出校验的“虚拟平台”，在这个平台上你可以对你的设计从软件层面上进行分析和校验，这便是 testbench。Testbench 的顶层模块，也即最终进行仿真的顶层模块，通常包含三个部分，分别是激励生成 (simulator)、设计主体 (DUT, design under testbench) 与输出校验 (markerboard)，其中，设计主体也就是需要进行仿真验证的目标。由于在对采集卡的逻辑工程进行仿真的过程中，输入与输出信号较为复杂，因此在 testbench 顶层模块之下又分别构建了对 USB、ADC、时钟等模块进行仿真的 testbench。

### 4.3.2 USB 仿真模块

Testbench 中对 USB 的输入输出进行仿真的模块，内有两个 FIFO，分别仿真上位机向采集卡发送命令的 EP4 所对应的 FIFO 以及采集卡向 PC 机发送数据的 Ep6 所对应的 FIFO。其输入包括 FIFO 的地址、USB 读写使能、复位、时钟、FPGA 输出数据等信号，而输出则包括两个 FIFO 的空或满状态、PC 机命令数据等信号。

### 4.3.3 时钟与 ADC 仿真模块

时钟仿真模块为 FPGA、ADC、USB 仿真模块提供时钟信号，通过简单的延时命令得到 500MHZ 以及 31.25MHZ 的仿真时钟信号。

ADC 仿真模块则利用简单的计数器，每隔一段时间即产生一个脉冲信号对应的 ADC 码序列输入到 FPGA 模块内。



## 4.4 仿真结果

第一步仿真高速 AD 采集卡读取命令的功能。通过 USB 总线向高速 AD 采集卡发送 2 字节命令：C2A5。在仿真波形图 4-2 中可以看到，当检测到有命令下发时，USB FIFO 地址为 01（EP4 对应 slave FIFO 地址），读使能与输出使能（低电平使能）被触发，将 USB 总线中的命令读出，读完后读使能与输出使能重新被置高。仿真结果符合预期。

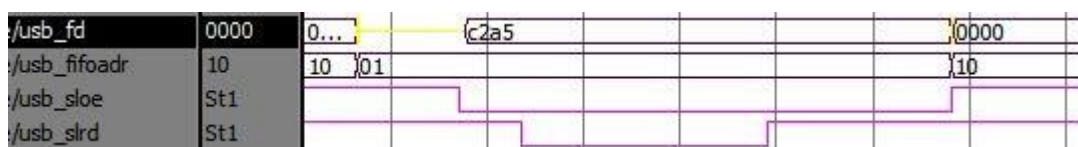


图 4-2 高速 AD 采集卡读取命令仿真波形图

第二步仿真采集卡向上位机发送处理完毕的数据。当 ADC 输出数据过阈触发后，FPGA 对 FIFO128to16 内的数据进行处理，处理结束后将结果通过 USB 总线发送给 PC 机。通过仿真波形图 4-3 可以看到，USB FIFO 地址为 10（EP6 对应 slave FIFO 地址），USB 的写使能（低电平使能）被触发，通过 USB 向 PC 机发送命令，其中 AAAA 为包头格式，0820 为基线数值，符合通过 ADC 仿真模块输入脉冲的基线大小。仿真结果符合预期。

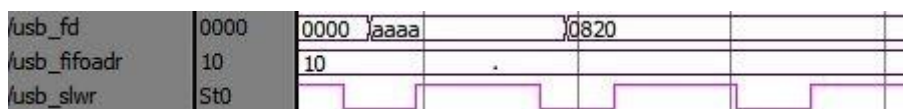


图 4-3 高速 AD 采集卡发送数据仿真波形图

## 第5章 数据采集软件

### 5.1 LabWindows 软件介绍

LabWindows/CVI 是 National Instruments 公司（美国国家仪器公司）推出的交互式 C 语言开发平台。LabWindows/CVI 将功能强大、使用灵活的 C 语言平台与用于数据采集分析和显示的测控专业工具有机地结合起来，利用它的集成化开发环境、交互式编程方法、函数面板和丰富的库函数大大增强了 C 语言的功能，为熟悉 C 语言的开发设计人员编写检测系统、自动测试环境、数据采集系统、过程监控系统等应用软件提供了一个理想的软件开发环境。<sup>17</sup>

使用 LabWindows 进行采集软件的编写，可以创建可视化的图形用户界面（GUI），在此界面内添加按钮、菜单、显示窗口等多种可视化模块，并分别为这些模块编写相应的函数。

### 5.2 采集软件

本软件在 LabWindows/CVI 平台上进行开发，根据实际功能需要，采用模块化的设计思路，仔细考虑软件各个层次各个模块之间的组合搭配。软件目前主要包括命令模块、状态监控模块、数据采集模块以及实时分析模块，还计划实现实时显示模块并进一步开发实时分析模块。采集软件的基本结构如图 5-1 所示。对应于特定的调试测试工作，命令控制模块按照使用者对软件相应控件的操作向外部设备发送命令，数据采集模块负责接收保存硬件上传的数据，并在需要的情况下将数据包复制给实时显示模块进行分析、显示，状态监控模块实时反映 USB 连接状态等信息。此外，测试数据可以交由实时分析模块进行电子学参数的分析。软件各个模块间的相互通信与配合，确保各项调试测试功能的成功实现。

在系统的测试调试工作中，需要由软件向电子学硬件部分下发命令。命令字采用自定义的格式，每个命令字为 2 个字节。软件将命令字以 16 进制数的形式存储在 CHAR 型数组中，使用 VISA 库函数提供的 viWrite() 函数将此数据中

的数据发送给电子学硬件部分。从软件设计的模块化设计理念出发，固定格式的命令程序被设计成子函数的形式，以便于提供给多处调用。<sup>18</sup>

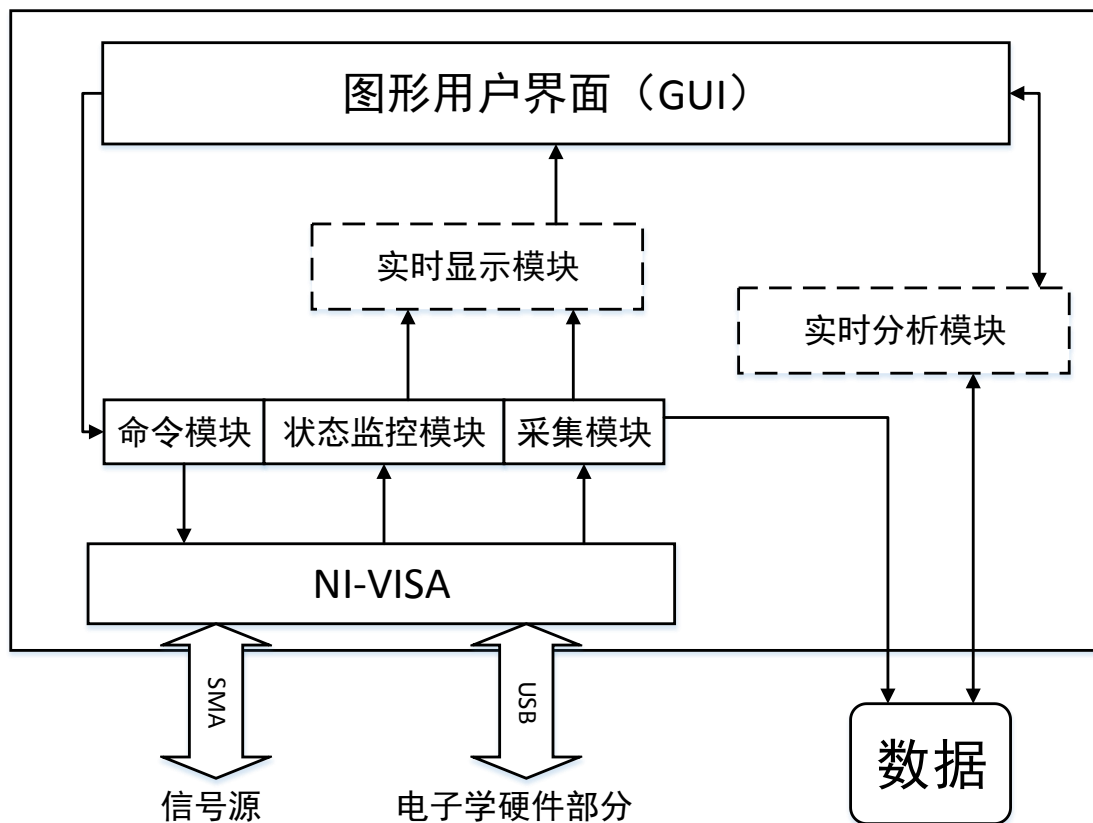


图 5-1 采集软件基本结构

高速 AD 采集卡将处理完毕的数据打包，添加包头后通过 USB 总线由软件的数据读取线程进行读取。viRead() 函数与 USB 固件相互配合，每次固定读取 512Byte 的数据，并保存到事先设置好的数据存储位置。软件停止采集以后，剩余的数据量如果不足 512Byte，USB 固件也将其强制上传到端口 BUFFER，供 viRead() 函数进行读取保存。

为了能够查看某测试通道的实时测试信息，软件中采用双线程的工作方式，同时开发了一个专门用于从采集到的数据包中抽取所需数据进行简单处理并显示的线程。数据采集线程与实时显示线程的协调工作原理如图 5-2 所示。

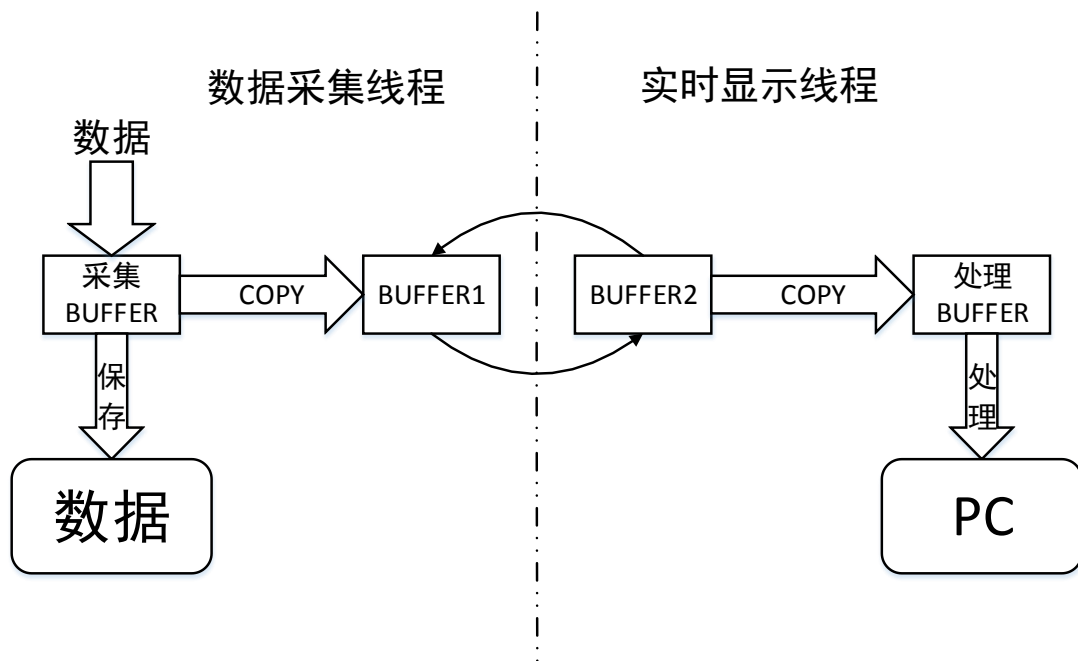


图 5-2 多线程工作原理

数据由数据采集线程的 `viRead()` 函数读取到数据采集 BUFFER 后，首先被复制到数据采集线程与实时显示线程之间的数据传递 BUFFER，在此 BUFFER 装满数据之后释放对其的控制权。实时显示线程探测到数据传递 BUFFER 中的数据被更新并已装满之后，接收此 BUFFER 的管理权，并将此 BUFFER 中的数据拷贝到数据处理 BUFFER 中，并由数据处理程序进行数据包解包、有效数据定位等操作，同时释放对数据传递 BUFFER 的控制权，以使得其可以重新被数据采集线程所使用。为了减少数据传递过程中，由于两个复制过程造成的效率损失，软件中构造了两个数据传递 BUFFER，采用乒乓模式在两个线程之间进行数据传递，使得两个线程能够高效运行，减少时间损失，提高软件对数据的传输和处理速率。

在硬件中，数据经过打包，形成自定义格式的数据包结构。为了得到某个通道的数据信息，实时显示线程的数据处理程序在数据处理 BUFFER 中首先定位包头信息。由于数据包格式固定，特定通道数据总是处于数据包固定的位置，查找此位置即可以得到所需要的通道数据。同时，考虑到数据处理 BUFFER 的大小并不是数据包大小的整数倍，因此可能出现数据包分散在先后两个数据处理 BUFFER 中的情况，此时软件计算出的位置超出了 BUFFER 的容量大小。在此情况下，软件将计算得到的数据位置减去 BUFFER 的容量，即可得到数据在下面一

个 BUFFER 中的位置。

依据以上原理编写了针对高速 AD 采集卡的数据采集软件。其用户界面如图 5-3 所示。



图 5-3 采集软件用户界面

在软件的实际操作中，首先通过 USB 端口连接采集卡硬件，点击 ConUSB 按钮，若与采集卡的连接完好，则左上角 USB 指示灯会被点亮。之后再点击 open 按钮，选择采集数据文件存储路径。在右下角输入十六进制数，再点击 Write USB 按钮可通过 USB 向采集卡发送命令。点击 Start Acq 按钮即可开始记录采集卡发回的数据。此时，Acq 指示灯会被点亮，且 Cmd\_Send 和 Cmd\_Receive 对话框内可实时观察到发送与接收到的数据。

## 第6章 测试与结果

### 6.1 采集卡数据格式

采集卡的输出数据量非常大，因此需要确定数据包的格式以方便进行辨识以及后续处理。目前采用的数据包大小为 32 字节，前 2 字节为数据包头，设定为 16 进制 AAAA，第 3、4 字节为基线数据，5、6 字节为峰值数据，7-10 字节为脉冲总面积数据，11-14 字节为触发号数据，之后为保留位。数据包格式如图 6-1 所示。

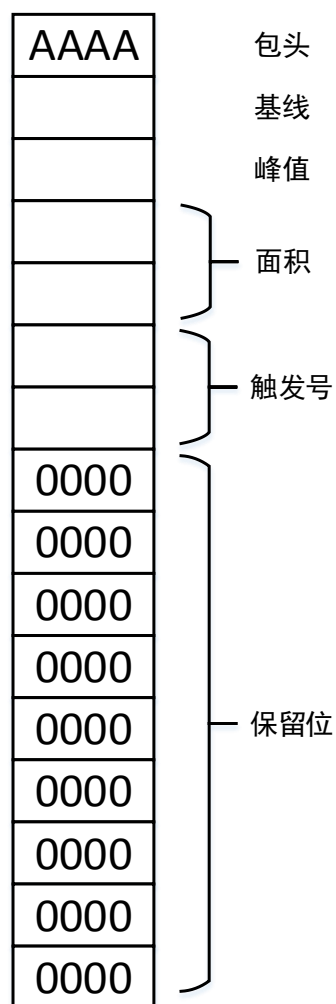


图 6-1 高速 AD 采集卡输出数据包格式

## 6.2 信号产生器信号测试

首先对信号产生器的输出信号进行采样与处理，通过调整信号产生器输出信号的幅度、周期等参数，对高速 AD 采集卡的波形显示功能与数字信号处理功能进行验证。

### 6.2.1 波形显示

信号产生器输出信号幅值小于所设定的阈值时，FPGA 没有信号输出，采集软件中不显示波形。当幅值超过设定阈值时，采集软件开始显示实时波形。

信号产生器输出正弦波信号，峰峰值为 500mV，周期为 1 $\mu$ s 时，显示的波形如图 6-2 所示。其中横轴一格表示 256ns。

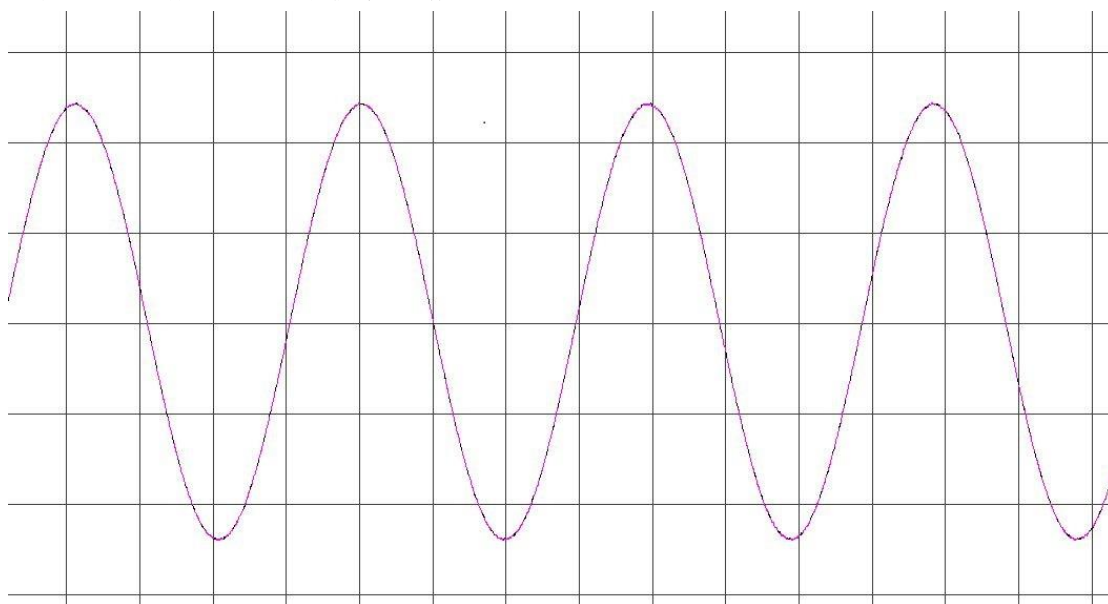


图 6-2 正弦波形实时显示

信号产生器输出方波，幅度为 300mV，周期为 3 $\mu$ s 时显示波形如图 6-3 所示。其中横轴一格表示 256ns。

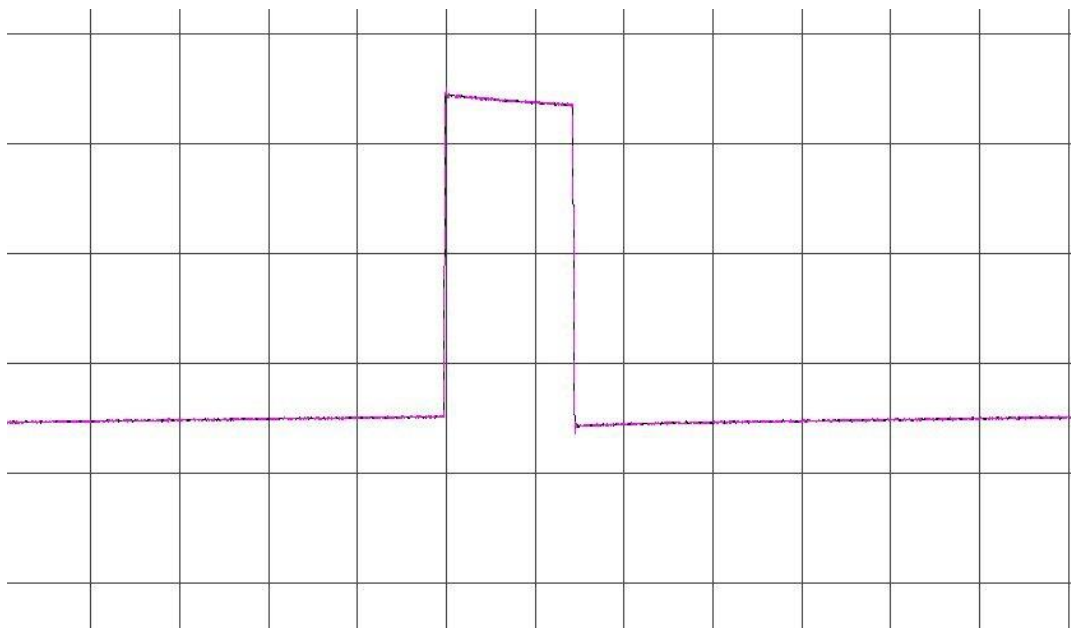


图 6-3 脉冲波形实时显示

对脉冲信号波形的细节进行观察，可以体现出高速 AD 采集卡的高采样率。当信号产生器输出上升沿与下降沿均为 5ns 脉宽 30ns 的信号时，得到的波形如图 6-4 所示。而当信号产生器输出上升沿与下降沿均为 10ns 脉宽 30ns 的信号时，得到的波形如图 6-5 所示。这两张图中，每点的时间间隔均为 1ns。对比两张图可以看出采集卡在 ns 量级可以准确的采到数据。

通过以上测试验证了高速 AD 采集卡的波形显示功能完善，并且可以达到预期的 1G 采样率。



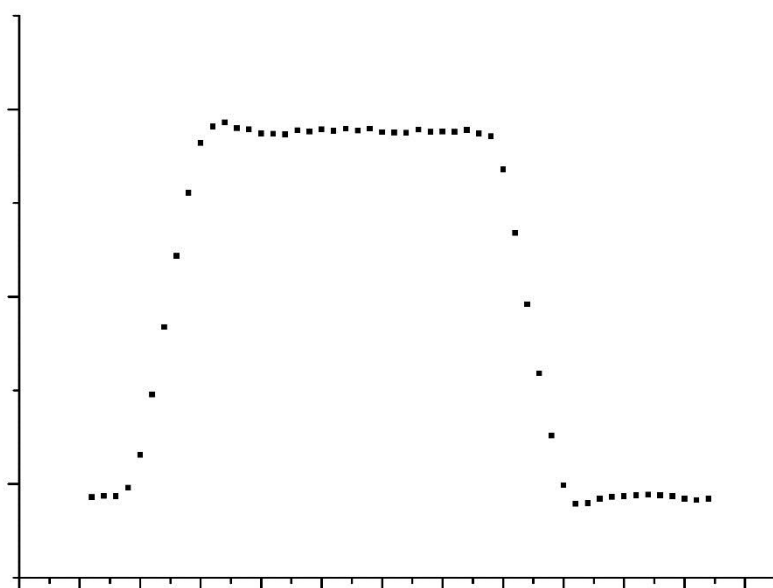


图 6-4 上升/下降沿 5ns 脉冲波形图

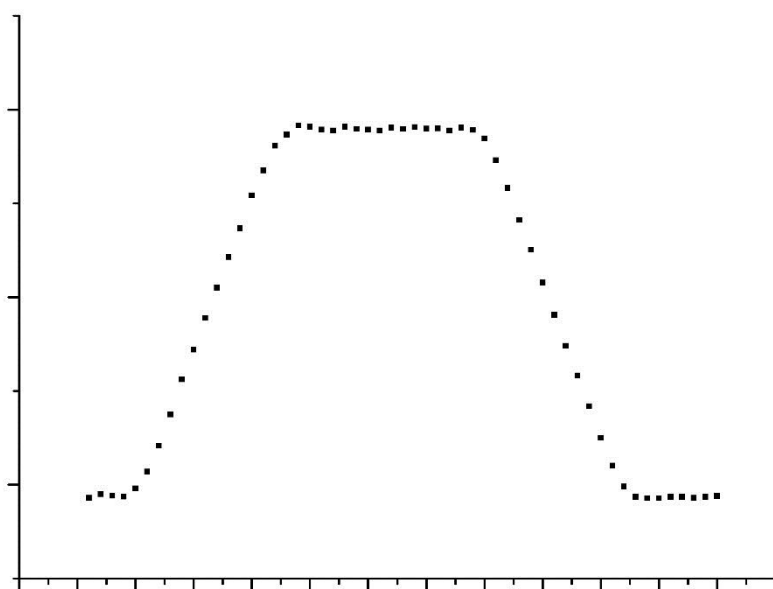


图 6-5 上升/下降沿 10ns 脉冲波形图

## 6.2.2 数字信号处理

使信号产生器输出脉冲波形，存储高速 AD 采集卡返回的数据包。数据包内容如图 6-6 所示，与设定的数据包格式相同。

包头	基线	峰值	总面积	触发号			
aaaa	f907	a50f	4000	4b1f	0000	6a06	0000
0000	0000	0000	0000	0000	0000	0000	0000
aaaa	f807	a10f	4000	591d	0000	6b06	0000
0000	0000	0000	0000	0000	0000	0000	0000
aaaa	f707	a30f	4000	b11f	0000	6c06	0000
0000	0000	0000	0000	0000	0000	0000	0000
aaaa	f807	a60f	4000	b31e	0000	6d06	0000
0000	0000	0000	0000	0000	0000	0000	0000
aaaa	f807	ab0f	4000	551d	0000	6e06	0000
0000	0000	0000	0000	0000	0000	0000	0000
aaaa	f807	a70f	4000	6121	0000	6f06	0000
0000	0000	0000	0000	0000	0000	0000	0000

图 6-6 数据包格式图

利用 MATLAB 编写程序对存储的数据包文件进行分析，可以得到采样信号的幅度及波形面积的统计分布图。

在单次采集的过程中，使信号源间隔输出 400mV、600mV、800mV 的脉冲信号，对高速 AD 采集卡发回的数据包进行统计分析。作出数据包中峰值数据的统计直方图如图 6-7 所示，峰值 1000 对应输入 400mV，峰值 1500 对应输入 600mV，峰值 2000 对应输入 800mV。

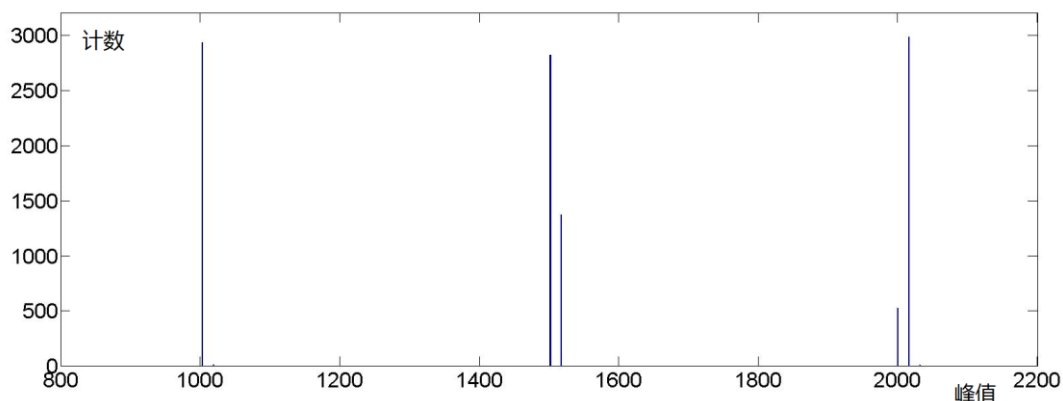


图 6-7 400mV、600mV、800mV 信号对应峰值直方图

再作出数据包中波形总面积数据的统计直方图，即可得到所采信号的能谱分布图如图 6-8 所示。

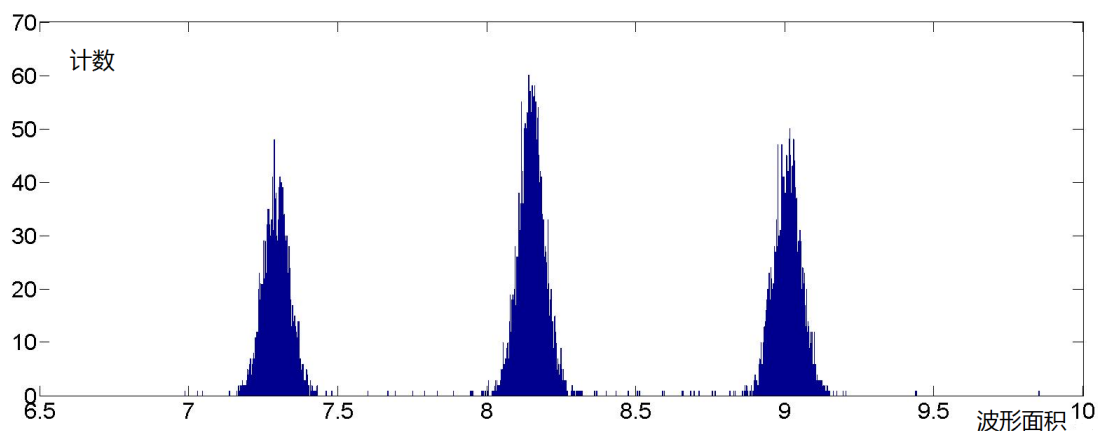


图 6-8 400mV、600mV、800mV 信号对应能谱

由图可见，波形面积分布也集中在三个峰附近，这与输出了三种不同的脉冲相对应，而峰的高低应与输出对应脉冲的时长有关。

通过以上测试验证了高速 AD 采集卡的数字信号处理功能完善，寻峰、面积计算等功能都正确无误。

### 6.3 探测器信号测试

最后是对实际探测器输出的信号进行采样与处理，并利用 MATLAB 绘制相应谱图。目前完成的测试中，分别对 MicroMEGAS 气体探测器以及塑料闪烁体探测器的信号进行了采集。探测器输出的信号不符合高速 AD 采集卡的输入要求时，则利用前放大器、衰减器等器件对输出信号进行调节。

#### 6.3.1 MicroMEGAS 气体探测器测试

对 MicroMEGAS 气体探测器的输出信号进行采集时，使用了  $^{55}\text{Fe}$  的放射源，并在输入采集卡之前采用了电荷灵敏放大器与成形放大器，因此计算结果中峰值为有效数据。利用 MATLAB 对采集卡的处理数据进行统计分析，作出脉冲幅度的直方图如图 6-9 所示。峰值在 1400 附近的峰对应于  $^{55}\text{Fe}$  的全能峰，能量为 5.9keV，在 600 附近的峰对应于  $^{55}\text{Fe}$  的逃逸峰，能量为 2.7keV。

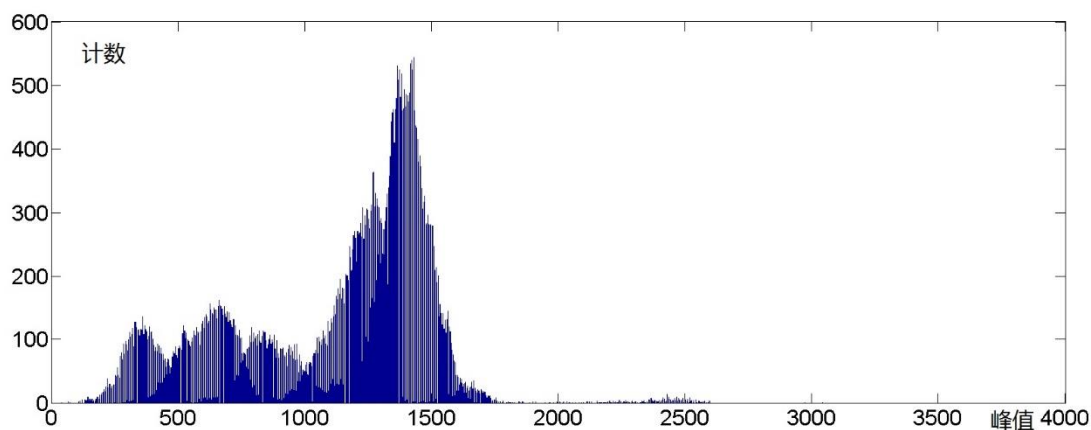


图 6-9 MicroMEGAS 探测器信号峰值直方图

### 6.3.2 塑料闪烁体探测器测试

测试中的塑料闪烁体探测器采用的是 PMT 耦合输出，其输出信号送入采集卡之前经过了 10 倍快放大器。采集到的幅度谱如图 6-10 所示。由图可见采到的数据谱近似为朗道峰，应为宇宙线 muon 子信号。

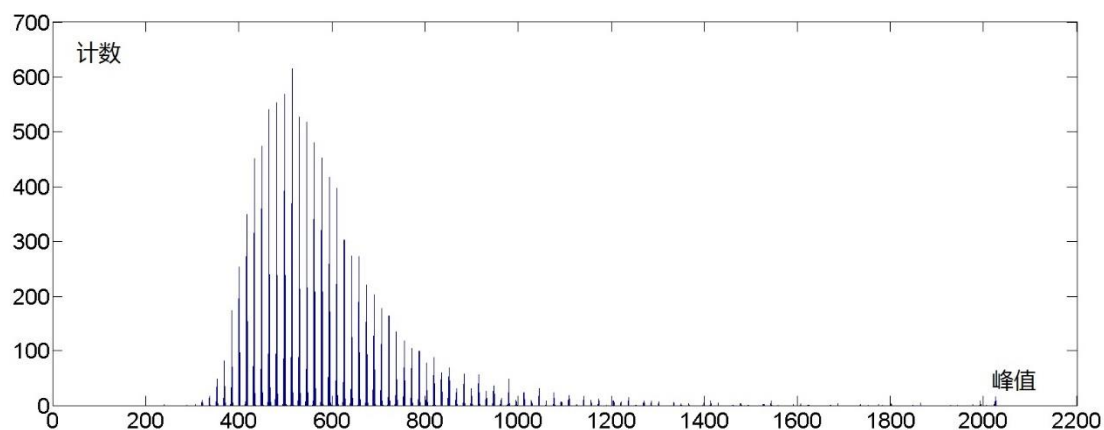


图 6-10 塑料闪烁体探测器信号峰值直方图

## 第7章 总结与展望

利用高速 AD 采集卡对高速核脉冲信号（1GHz 左右）进行实时采样分析，目前已经实现了对信号产生器输出信号求基线、寻峰、求面积的功能，并且可以通过数据采集软件完成命令控制、实时监控、数据存储等任务，已经实现了基本的功能。并与两种探测器完成了联试，得到了初步的结果，但仍需要进一步的完善。下一步还计划在采集卡内实现更多的实时处理功能，例如脉冲形状甄别、前沿获取等，以及在数据采集软件中实现实时波形显示、实时扣基线等功能。由于已经搭建了完善的逻辑仿真平台，下一步的设计过程将会更加准确和快速。

## 参考文献

- 1 维基百科. 采样. <http://zh.wikipedia.org/wiki/%E9%87%87%E6%A0%B7>
- 2 唐邵春. 基于时间并行交替技术的超高速高精度波形数字化研究 [D] [D]. 中国科学技术大学, 2012.
- 3 Adam Bujak, Ulrich J. Becker, and Joseph D. Burger et al, “Spatial resolution and induction-crosstalk effects in the L3 muon drift chambers at LEP2,” Nucl. Instr. and Meth., A 354, pp 288-295, 1995.
- 4 S.Dhawan, V.W\_ Hughes, and D. Kawall et al, “A quad 500 MHz waveform digitizer with differential trigger for use in the muon g-2 experiment, Nucl. Instr. & Meth., A 450, pp 391-398, 2000.
- 5 V.A. Khriachkov, V.V. Ketlerov, and V.F. Mitrofanov et al, “Low-background spectrometer for the study of fast neutron-induced (n, a) reactions,” Nucl. Instr. & Meth., A 444, pp 614-621, 2000.
- 6 F. Becvar, J. Cizek, and I. Prochazka, et al, “The asset of ultra-fast digitizers for positron-lifetime spectroscopy,” Nucl. Instr. & Meth., A 539, pp 372—385, 2005.
- 7 Weijun Guo, and Robin P. Gardner et al, “A study of the real-time deconvolution of digitized waveforms with pulse pile up for digital radiation spectroscopy,” Nucl. Instr. & Meth., A 544, pp 668-678, 2005.
- 8 L.C. Mihailescua, C. Borceaa, and A.J.M. Plompen et al, “Data acquisition with a fast digitizer for large volume HPGe detectors,” Nucl. Instr. & Meth” A 578, pp 298—305, 2007.
- 9 L.C. Mihailescua, A. Borella, and C. Massimi et al, “Investigations for the use of the fast digitizers with detectors for radiative capture measurements at GEUNA,” Nucl. Instr. & Meth., A 600, pp 453-459, 2009,

- 10 百度百科. 等效采样.  
<http://baike.baidu.com/view/2686057.htm?fr=aladdin>
- 11 向川云. 一种并行架构的数字存储示波器研究与设计[D]. 成都: 电子科技大学, 2009: 6-12.
- 12 黄武煌, 王厚军, 曾浩. 一种超高速并行采样技术的研究与实现[J][J]. 电子测量与仪器学报, 2009, 23(8): 67-71.
- 13 W.C. Black Jr. and D.A. Hodges, "Time interleaved converter arrays." IEEE J. Solid-State Circuits. vol. SC-15, no.6, pp.1022-1029, Dec. 1980.
- 14 李玉生. 超高速并行采样模拟/数字转换的研究 [D][J]. 北京: 北京科学技术大学, 2007.
- 15 百度百科. Xilinx ISE.  
<http://baike.baidu.com/view/1616079.htm?fr=aladdin>
- 16 百度文库. 前仿真和后仿真.  
[http://wenku.baidu.com/link?url=aaF9\\_QNk6-pzqDufqCPN20HzX9ti9q0QBC3MZsvehYV3M\\_DeqMyvw8FNJdsMVECzh687IJVzpqzbv4iailebr0lwGCpkXAGxDQthg2Jowz3](http://wenku.baidu.com/link?url=aaF9_QNk6-pzqDufqCPN20HzX9ti9q0QBC3MZsvehYV3M_DeqMyvw8FNJdsMVECzh687IJVzpqzbv4iailebr0lwGCpkXAGxDQthg2Jowz3)
- 17 百度百科. LabWindows/CVI.  
[http://baike.baidu.com/link?url=Vw0HPsw6YNUq8RMplQT5OzTGLdLdyUvf-u6qaImA0s39hKoxuWT2a7ujlv8CF\\_GbE0QagmVnK6Hc0Y7Bui6djQ](http://baike.baidu.com/link?url=Vw0HPsw6YNUq8RMplQT5OzTGLdLdyUvf-u6qaImA0s39hKoxuWT2a7ujlv8CF_GbE0QagmVnK6Hc0Y7Bui6djQ)
- 18 黄亚齐, 刘树彬, 封常青, 等. 基于 LabWindows/CVI 的空间暗物质粒子探测预研系统的数据获取软件设计[J]. 核电子学与探测技术, 2012, 32(4): 407-411.