

SMIC040 工艺后仿流程

Made by qinlin and lizhengda

说明: smic40 工艺库支持 Cadence615 和 Cadence5141 两个版本, Cadence615 的为 Openaccess (OA) 格式, 而 Cadence5141 为 CDA 格式。本流程以 Cadence615 为例进行说明。

1 基本介绍

本文档是关于 SMIC040 工艺的后仿流程, 版图绘制工具仍然使用我们熟悉的 Virtuoso 616。而 DRC、LVS、ERC 和 PEX 等验证功能将使用 Mentor Graphics 的 IC 版图验证软件 Calibre。

1.1 Calibre 基本介绍

Calibre 软件的操作界面主要分为图形模式(GUI)(graphical user interface) Calibre Interactive 与指令模式 (Command Line), 其中图形模式可以单独启动, 亦可与 Virtuoso 等软件相连接, 其操作界面皆相同; 指令模式则是类似于 Dracula 的操作方式。

对于规模较小的版图应用 Interactive 很方便, 而且直观的图像化接口便于初学者使用。采用命令行模式能够快速输入控制命令, 快速执行, 其结果精确稳定。

以下流程说明以图形模式为主。

1.2 Calibre、Dracula 和 Assura 的区别

3 款软件同样都为 IC 版图验证工具, 其中 Calibre 属于 Mentor 公司, Dracula 和 Assura 属于 Cadence 公司。

Calibre 验证引进了 Hierarchy 的理念, 也就是所谓的“分而治之”的处理方法。原理其实很简单, 举例来说, 假设一个单元被调用了上万次, 如果这个单元本身就有一个错误, 如果 Flat 地看来, 也就是在 Dracula 看来就有上万的错误, 其实

Hierarchy 地看就只有一个单元错误。大大缩减的查错的时间。Hierarchy 验证的优点是显而易见的，一下子很多问题都迎刃而解。轻松解决在 dracula 时代看似困难的问题如连线 short 之类的问题。

在跑流程中会多次看到 Hierarchy 和 Flat 这两个词，需留意。

有用的缩写：

- 1) SVRF---Standard Verification Rule Format（标准的检查文件）
- 2) RVE---Results Viewing Environment（显示结果用的环境窗口）
- 3) SVDB---Standard Verification Database (LVS results)
- 4) DRC---Design Rule Check（设计规则检查）
- 5) ERC---Electrical Rule Checking（电气规则检查）
- 6) LVS---Layout Versus Schematic（版图原理图一致性检查）
- 7) PEX---Parasitic Extraction（版图寄生参数萃取）

2 启动命令

首先在自己目录下添加.cdsinit 文件，注意此为隐藏文件，该文件所在路径为/yjs1/lizhengda，拷贝过来即可。

之后的需要对 unix 环境进行设置，与启动 Virtuoso 类似，输入以下指令：

Setdt ic616

Setdt mmsim111

Setdt calibre

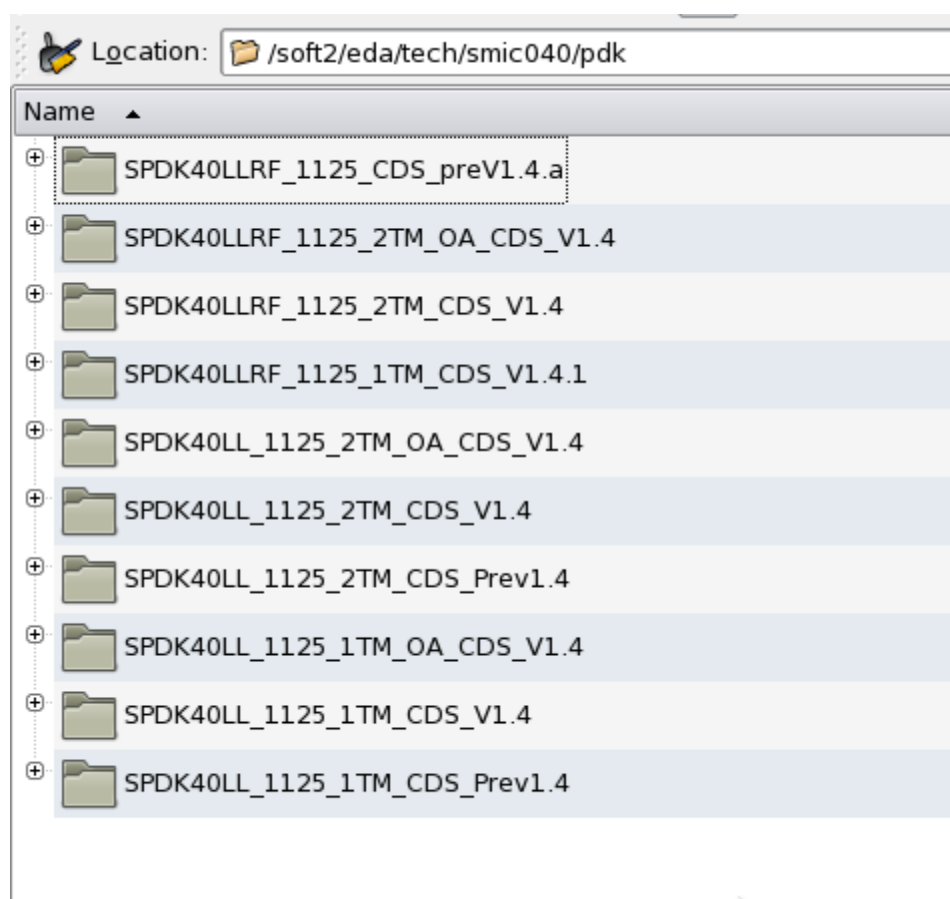
命令需要分开敲，否则可能会出现无法仿真的情况。

```
[tanlin@mgt:/yjs2/tanlin]$ setdt ic6
SUCCEED TO SET UP: Cadence IC Design      (Ver. 616)
[tanlin@mgt:/yjs2/tanlin]$ setdt mmsim111
SUCCEED TO SET UP: Cadence MMSIM          (Ver. 111)
[tanlin@mgt:/yjs2/tanlin]$ setdt calibre
SUCCEED TO SET UP: Mentor Calibre         (Ver. 2013.2_18.13)
```

之后再进入 Virtuoso

3 SMIC40nm 的工艺库路径

命名规则：LL 指 low leakage，RF 指 radio frequency，1125 指 1.1V 和 2.5V 工作电压，TM 指 thick metal 版图中使用的厚金属（一般指顶层金属），OA 指 Openaccess。

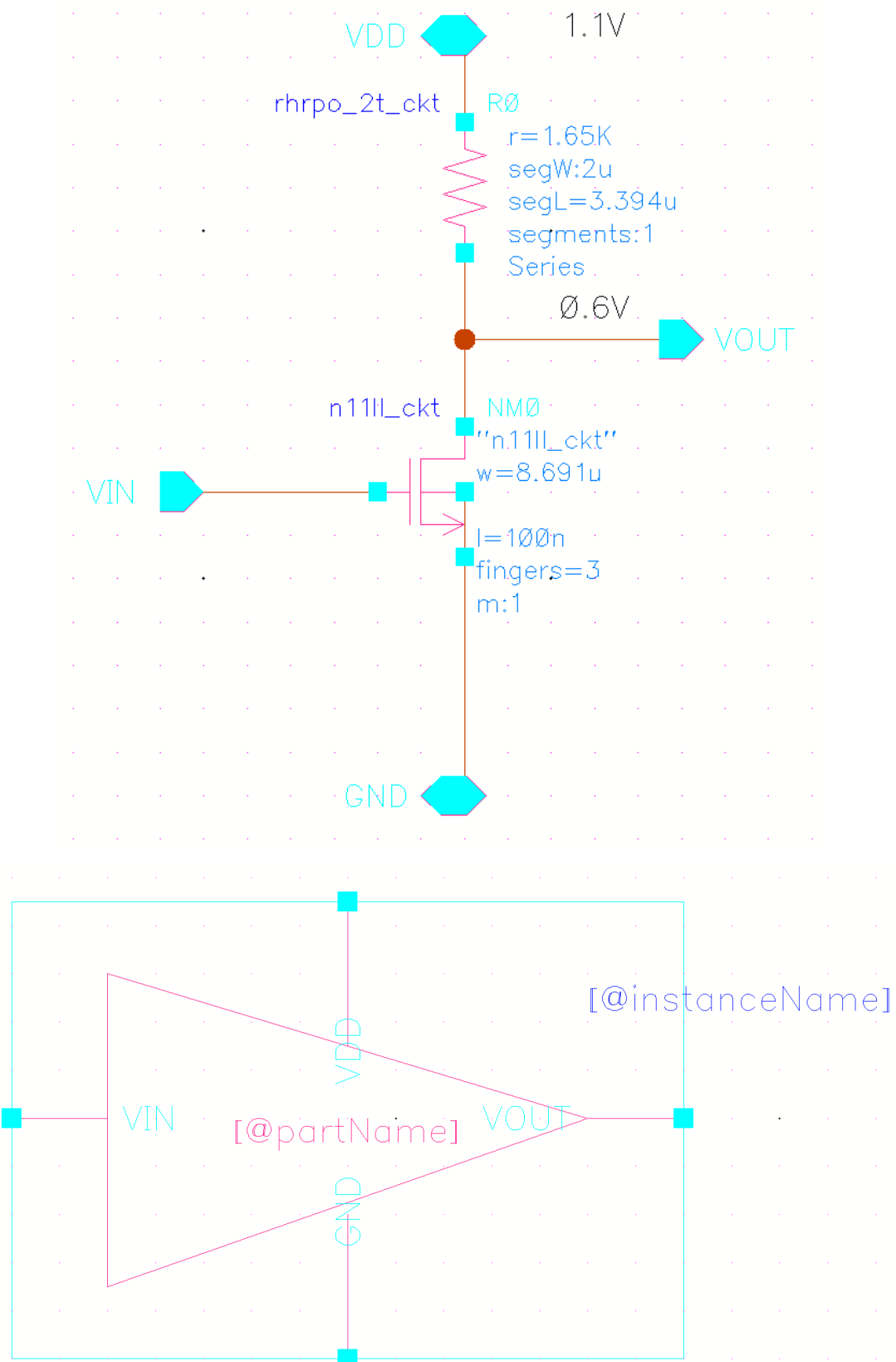


根据自己的项目需求选择合适的工艺库，本次流程选用以下路径的工艺库。

/soft2/eda/tech/smic040/pdk/SPDK40LLRF_1125_2TM_OA_CDS_V1.4/smic40llrf_1125_2tm_oa_cds_1P8M_2012_11_07_v1.4

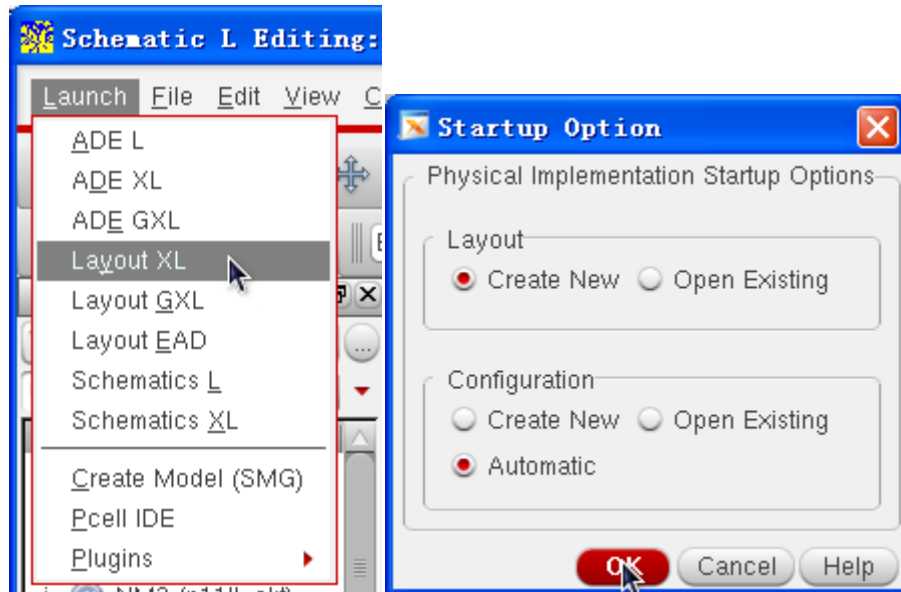
4 画原理图

本次实验流程将以单级放大器为例。在 Cadence 软件中设计好单级放大器，生成 symbol，进行前仿。

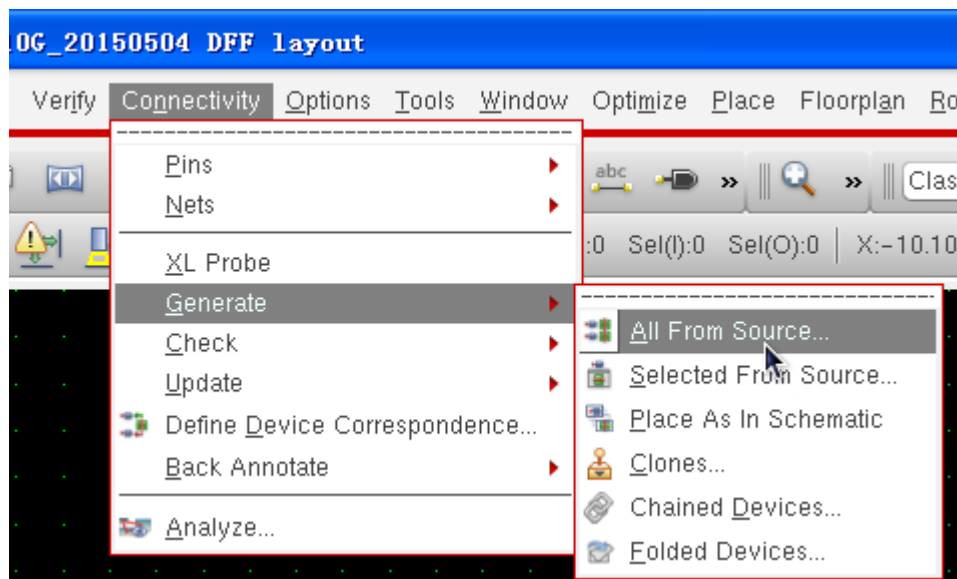


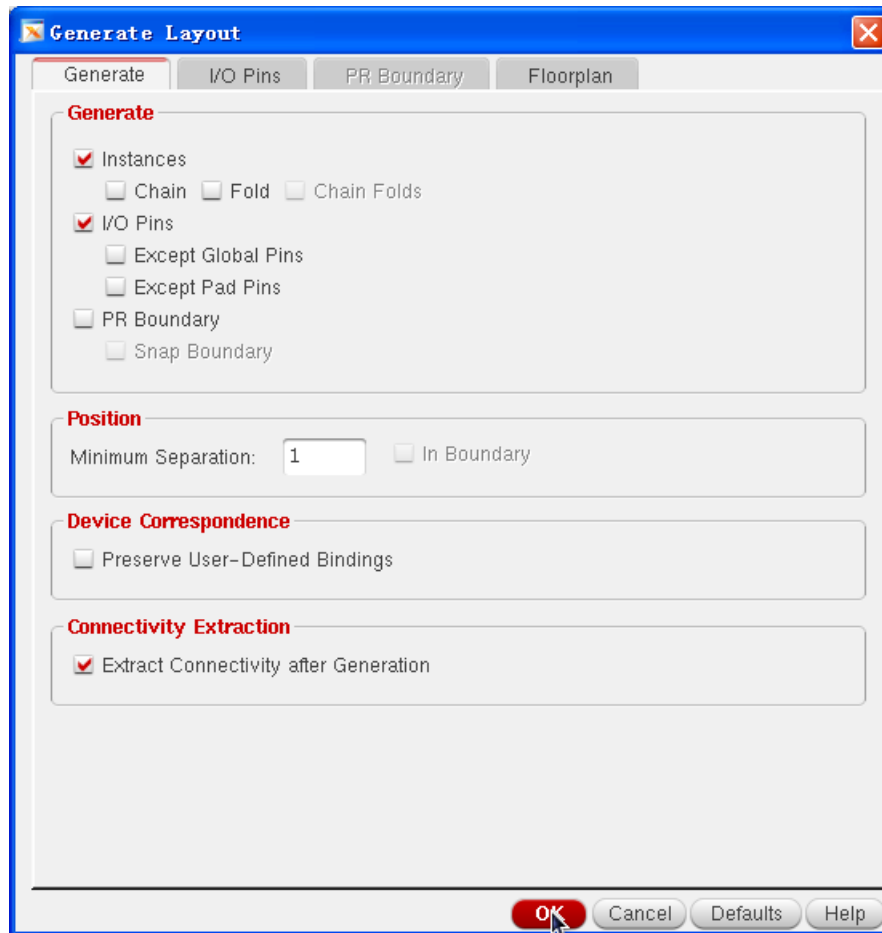
5 从原理图中导入生成版图

在原理图编辑窗口中，点击 Launch->Layout XL

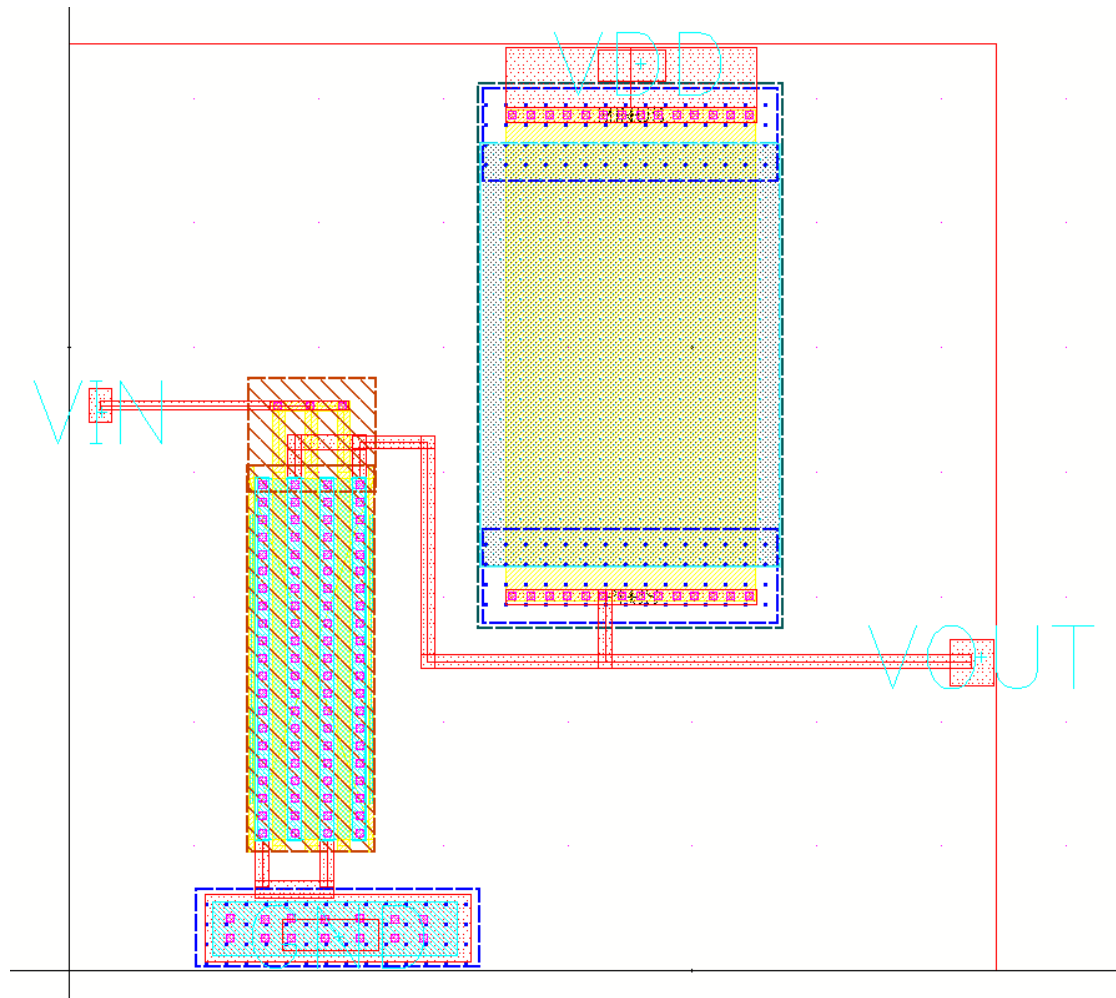


在版图窗口中，



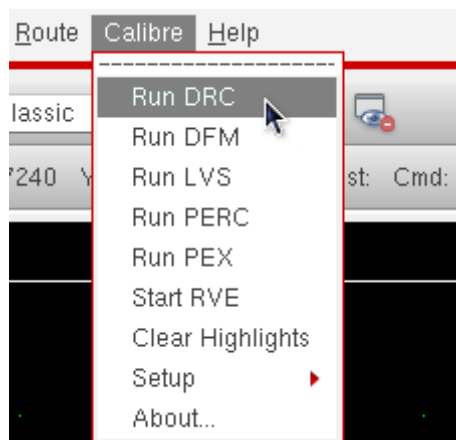


再把版图连接好，加上 label 名即可，如下图所示：

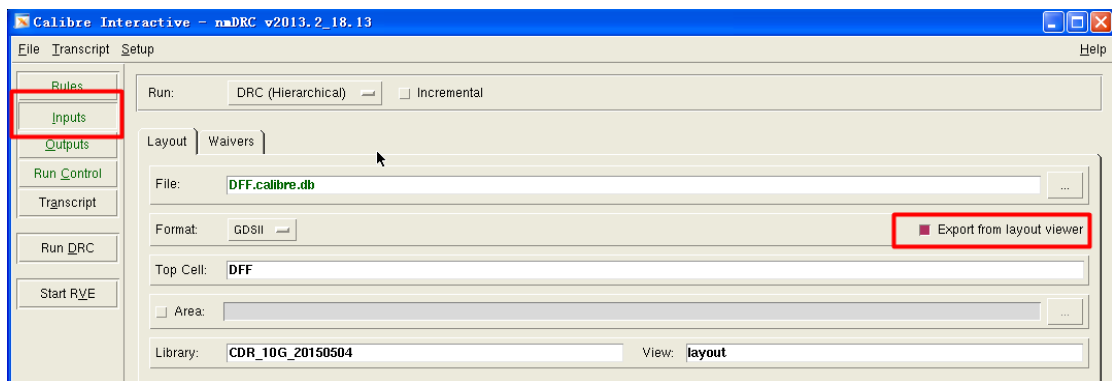
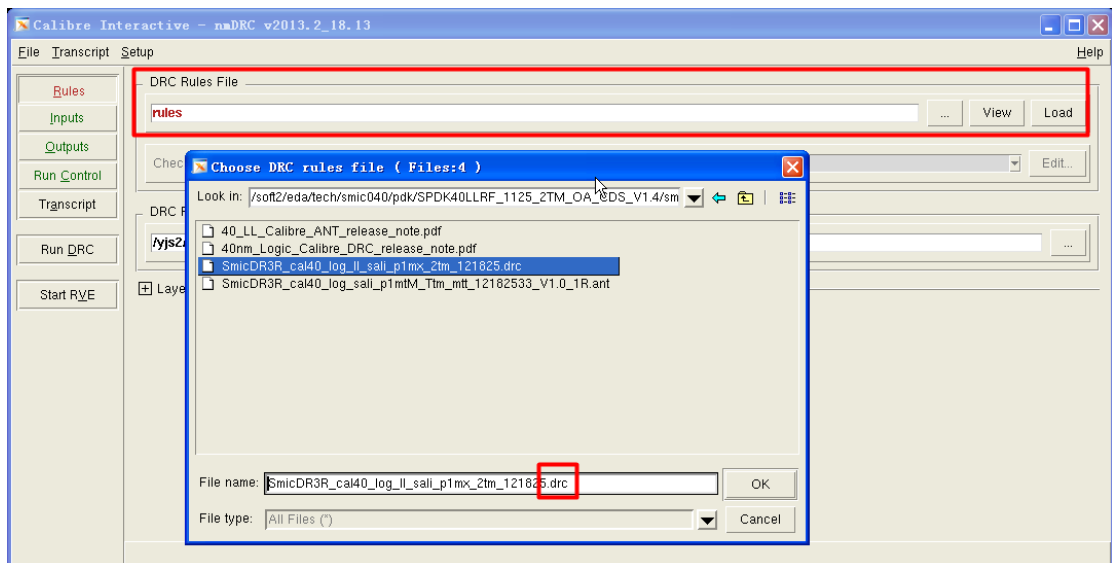


6 DRC

在 layout 中选择:



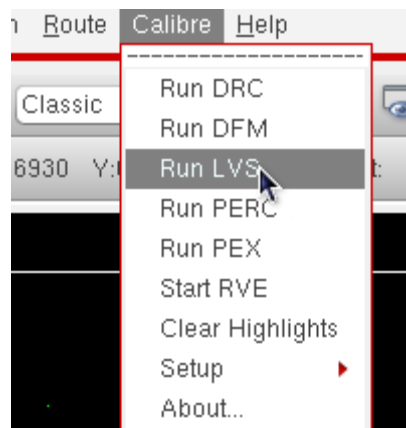
添加 drc 规则，drc 文件的后缀为.drc，一般在文件路径在对应的工艺库路径下。



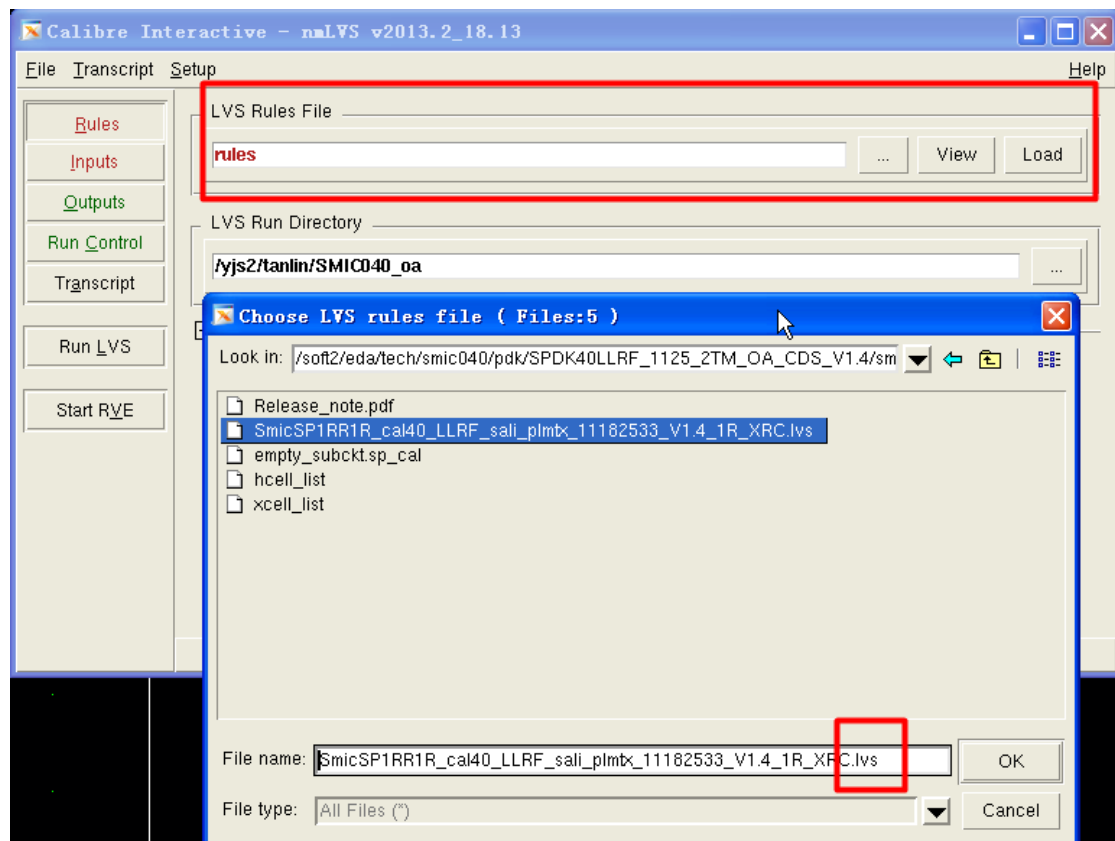
运行 DRC，改正错误，直到只剩下密度错误和边缘错误，这些错误最后拼版时统一修改。

7 运行 LVS

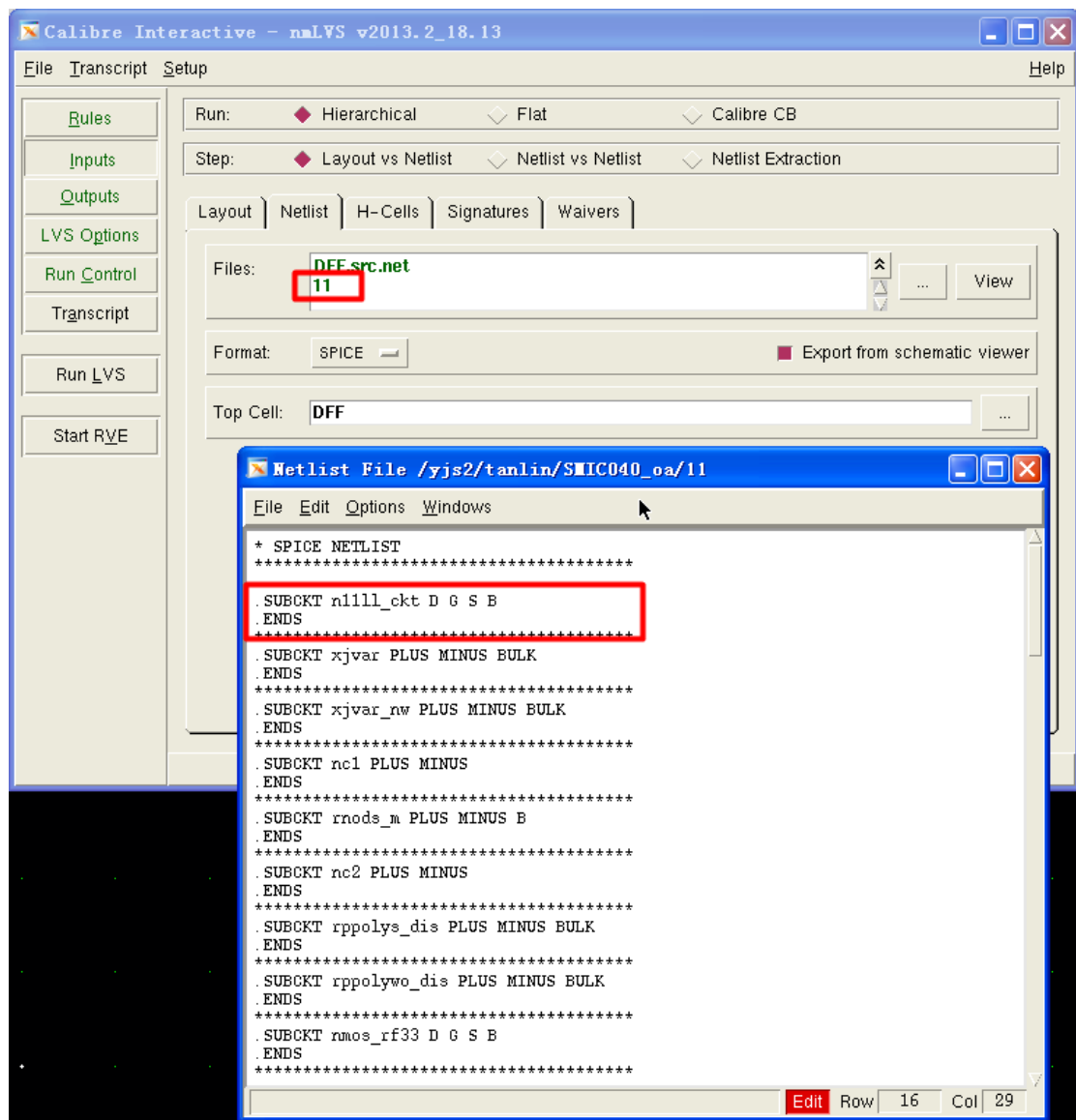
启动 LVS：



添加规则文件，规则文件后缀为.lvs，在对应的工艺库路径下。



需要在添加额外的网表文件，对管子、电阻和电容等进行说明。如下图示。

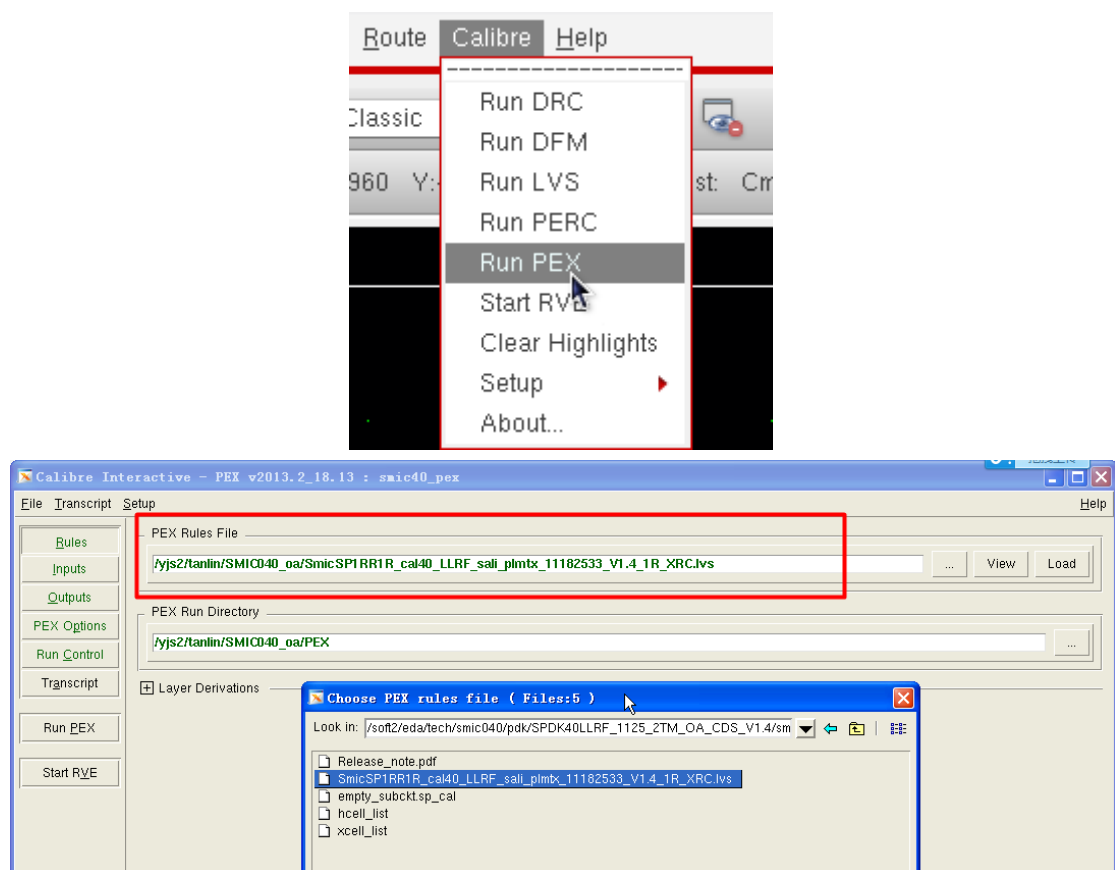


上图中的 11 文件是自己手动添加的，可以用下面的文件替代

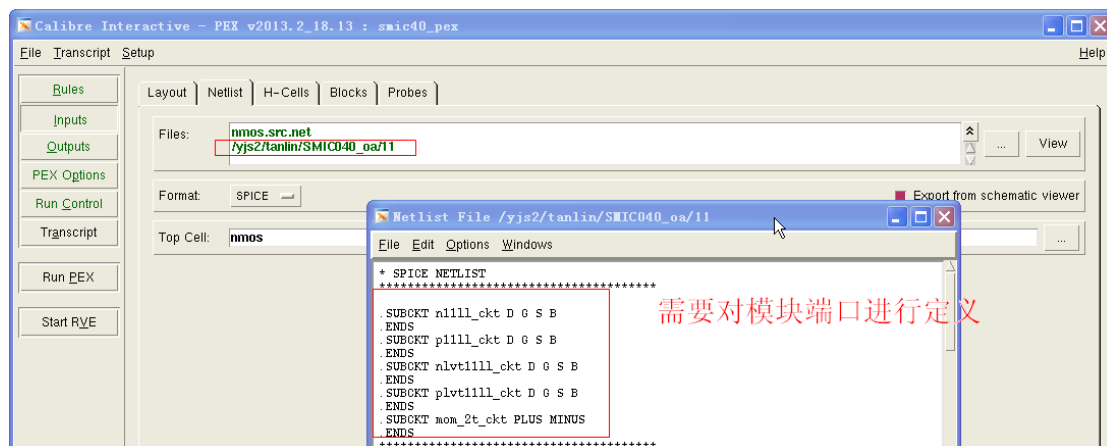
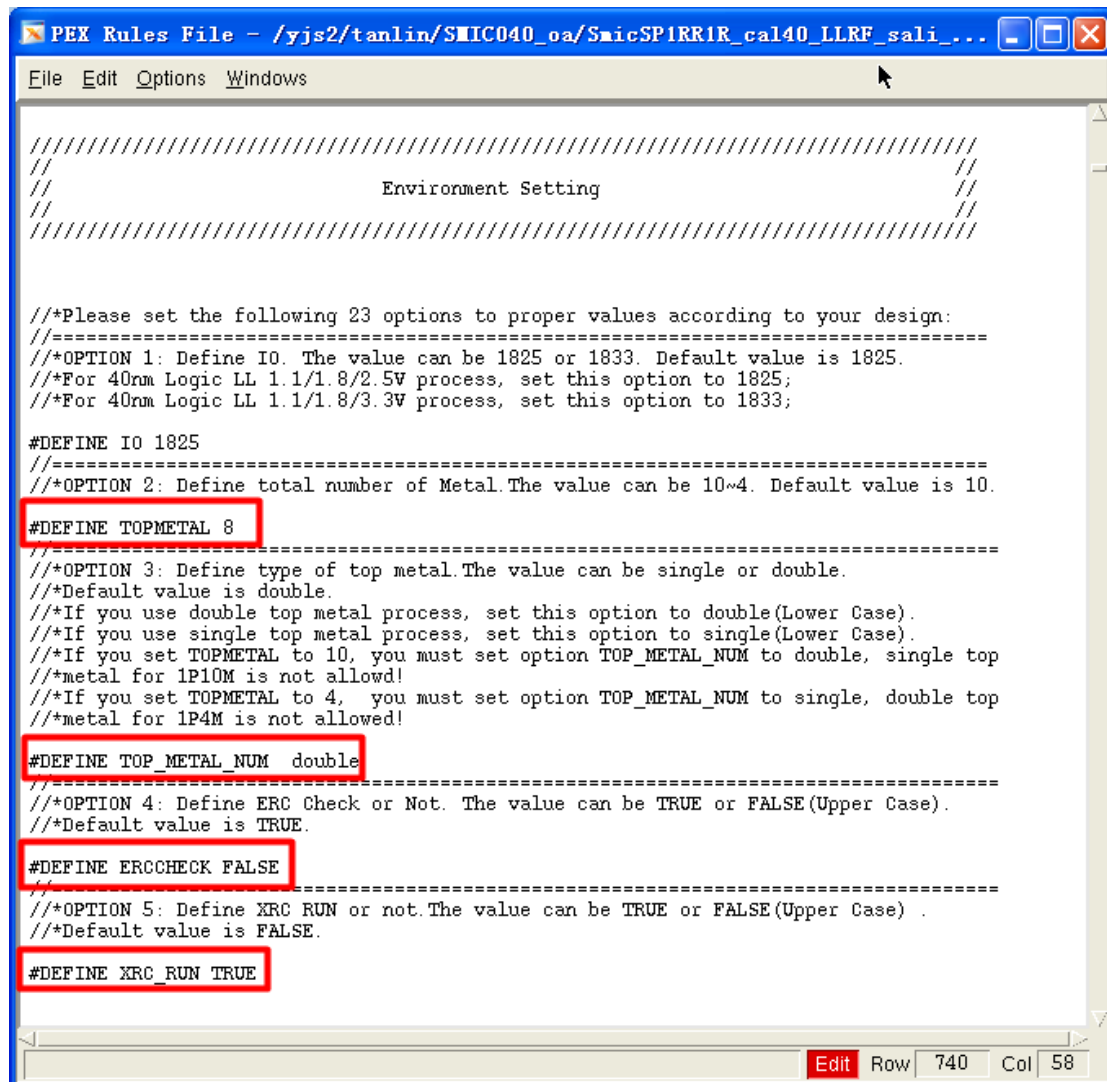
/soft2/eda/tech/smic040/pdk/SPDK40LLRF_1125_2TM_CDS_V1.4/smic40llrf_1125_2tm_cds_1P8M_2012_10_30_v1.4/Calibre/LVS/empty_subckt.sp_cal

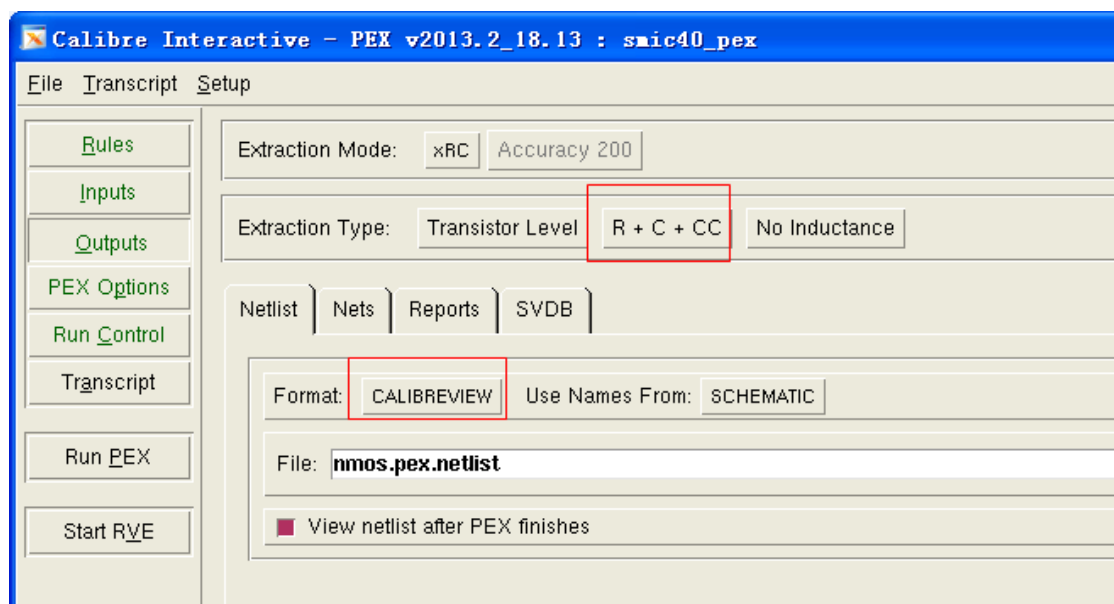
8 提取寄生参数

Calibre->Run PEX

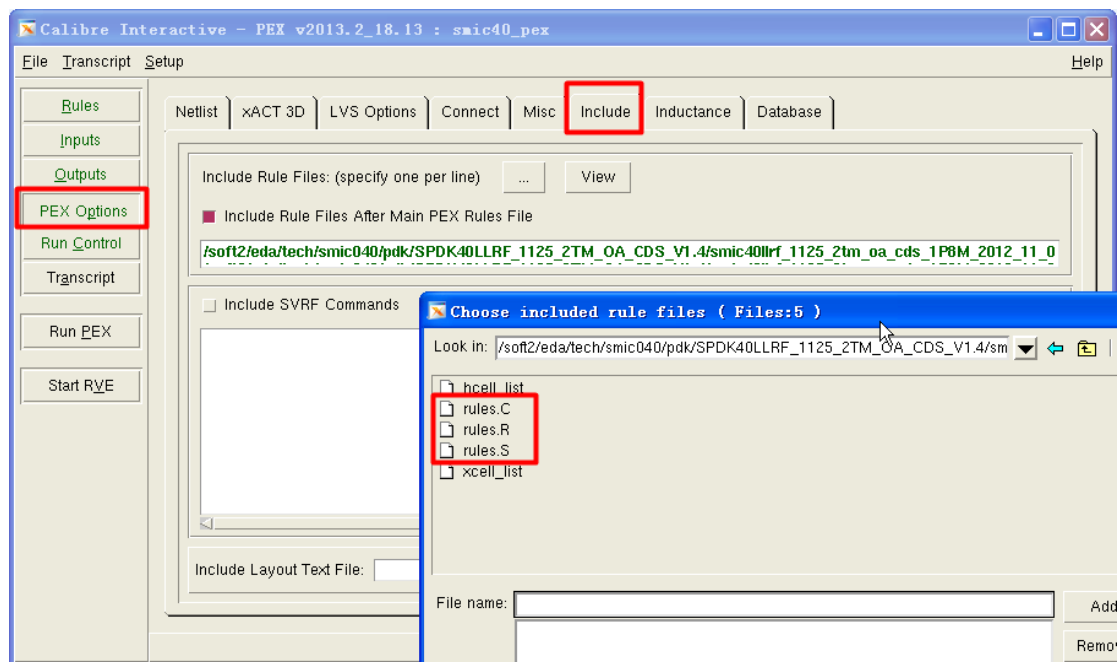


Rule file 使用的规则文件和 LVS 使用的规则文件相同,但是需要对规则文件中的环境设置进行修改。如下图。

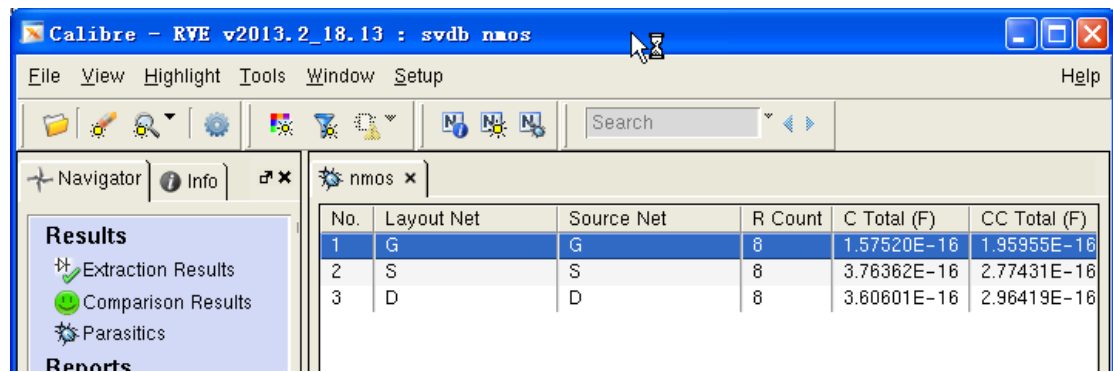




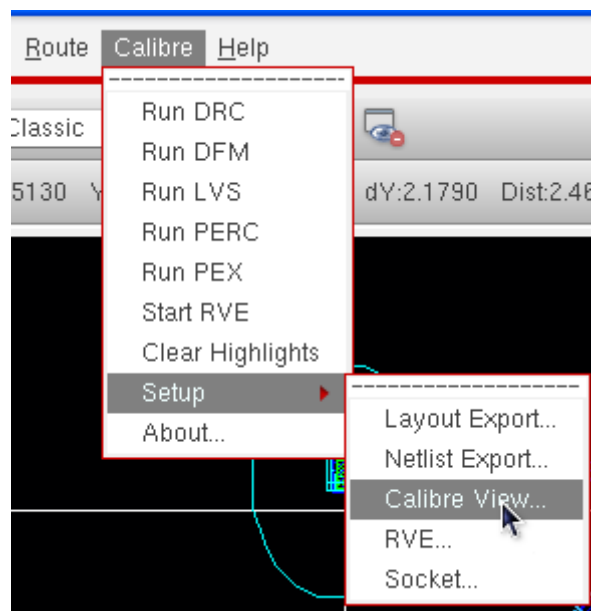
需要在 include 中添加 rules.C, rule.R, rules.S。这些文件在
 /soft2/eda/tech/smic040/pdk/SPDK40LLRF_1125_2TM_OA_CDS_V1.4/smic40
 llrf_1125_2tm_oa_cds_1P8M_2012_11_07_v1.4/Calibre/calibrexrc_40LL_1P8M_1T
 MMTT_ALPA14.5k_v1.4_0R/rulefiles/TYPICAL 中。



点击 Run PEX。运行。运行结束后，点击 Start RVE，可以观察寄生参数。



9 后仿



Cellmap file 路径:

/soft2/eda/tech/smic040/pdk/SPDK40LLRF_1125_2TM_OA_CDS_V1.4/smic40llrf_1125_2tm_oa_cds_1P8M_2012_11_07_v1.4/Calibre/calibrexc_40LL_1P8M_1TMMTT_ALPA14.5k_v1.4_0R/smic40llrf.calview.cellmap

Calibre View Setup

CalibreView Setup File:

CalibreView Netlist File:

网表文件

Output Library:

Schematic Library:

Cellmap File:

和rules同一个路径

Log File:

Calibre View Name:

Calibre View Type: ☐ maskLayout ☒ schematic

Create Terminals: ☒ if matching terminal exists on symbol ☐ Create all terminals

Preserve Device Case ☐

Execute Callbacks ☐

Suppress Notes ☐

Reset Properties:

Magnify Instances By:

Device Placement: ☐ Layout Location ☒ Arrayed

Parasitic Placement: ☐ Layout Location ☒ Arrayed

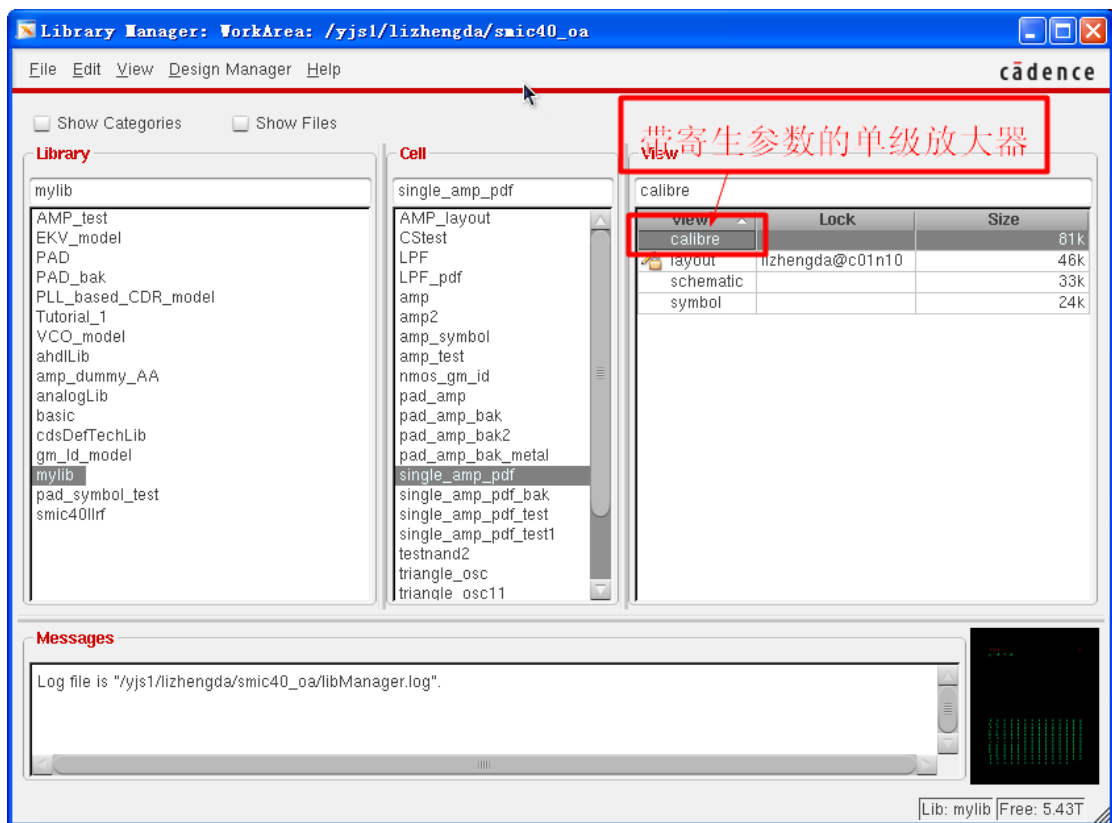
Show Parasitic Polygons ☐

Open Calibre CellView: ☐ Read-mode ☐ Edit-mode ☒ Don't Open

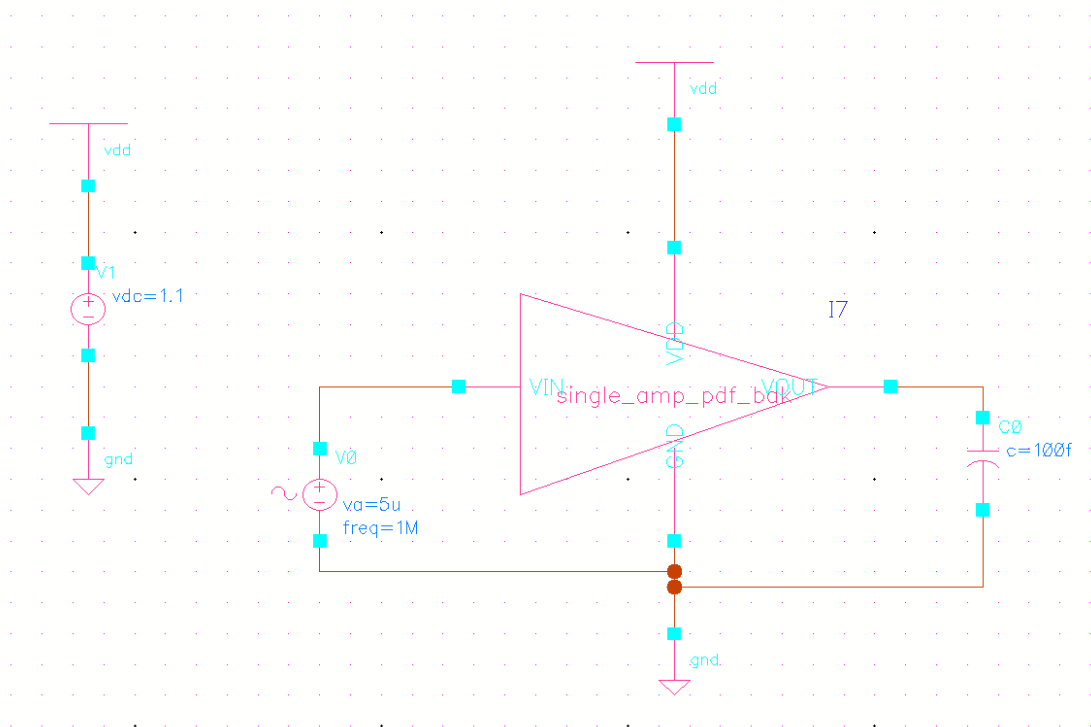
Generate SPECTRE Netlist ☐

Always Show Dialog ☒

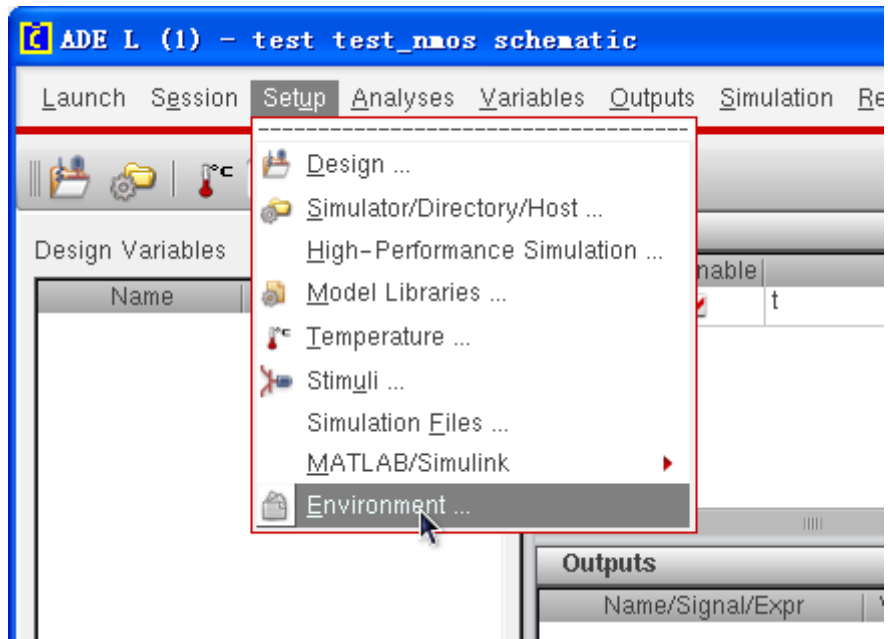
点 OK，此时将在 Library Manager 中看到下图：



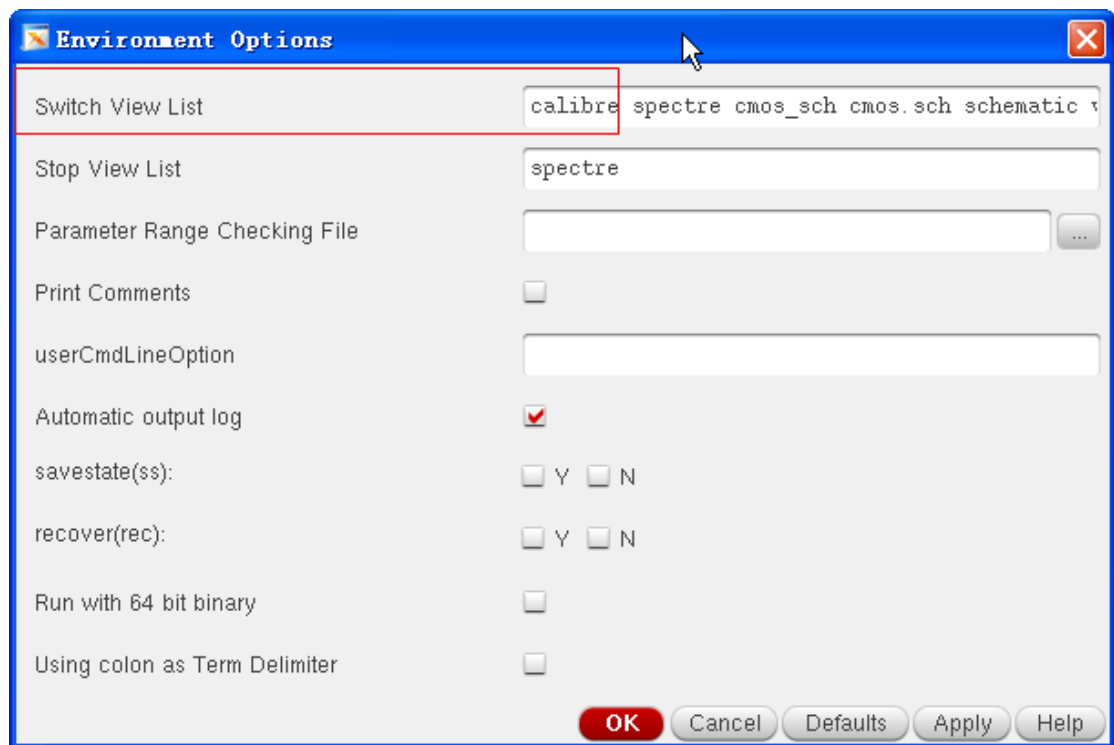
然后搭建测试电路，如下图所示：



对测试电路进行仿真，需对仿真环境进行如下设置：

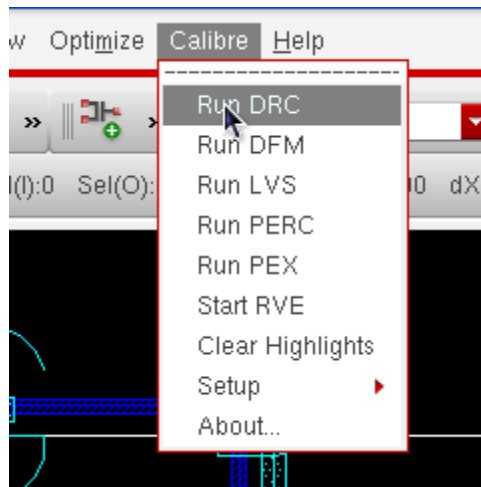


在 switch view list 添加 calibre。



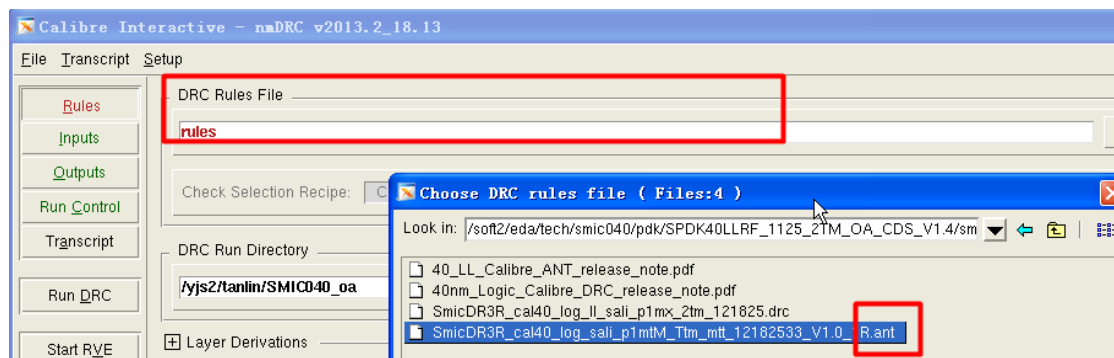
之后，正常仿真即可。注意：不添加 calibre，仿真的是 schematic 里面的电路，添加了 calibre 后，仿真的即为 calibre 里面的电路。

10 仿天线效应

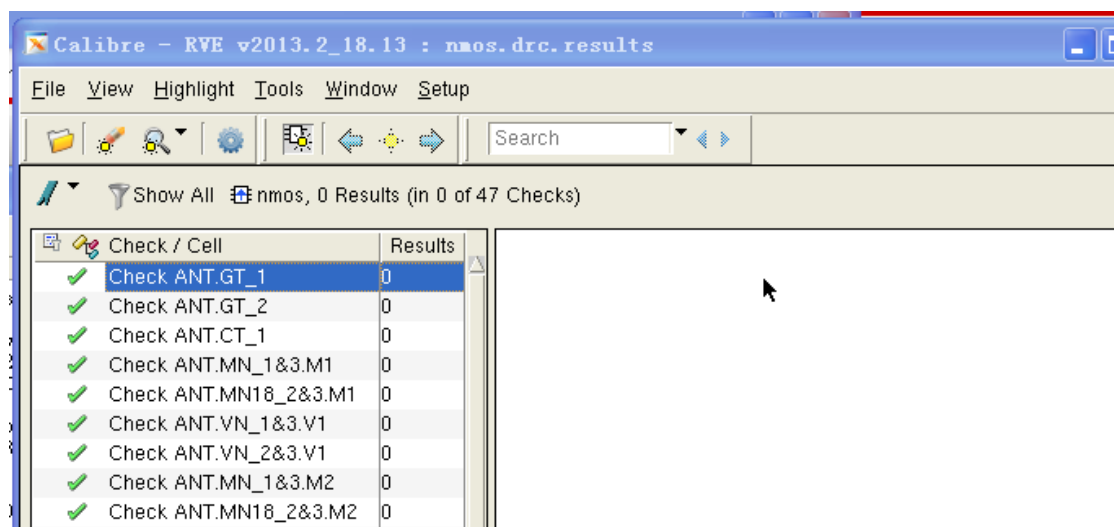


规则文件后缀为.ant。文件路径：

/soft2/eda/tech/smic040/pdk/SPDK40LLRF_1125_2TM_OA_CDS_V1.4/smic40llrf_1125_2tm_oa_cds_1P8M_2012_11_07_v1.4/Calibre/DRC

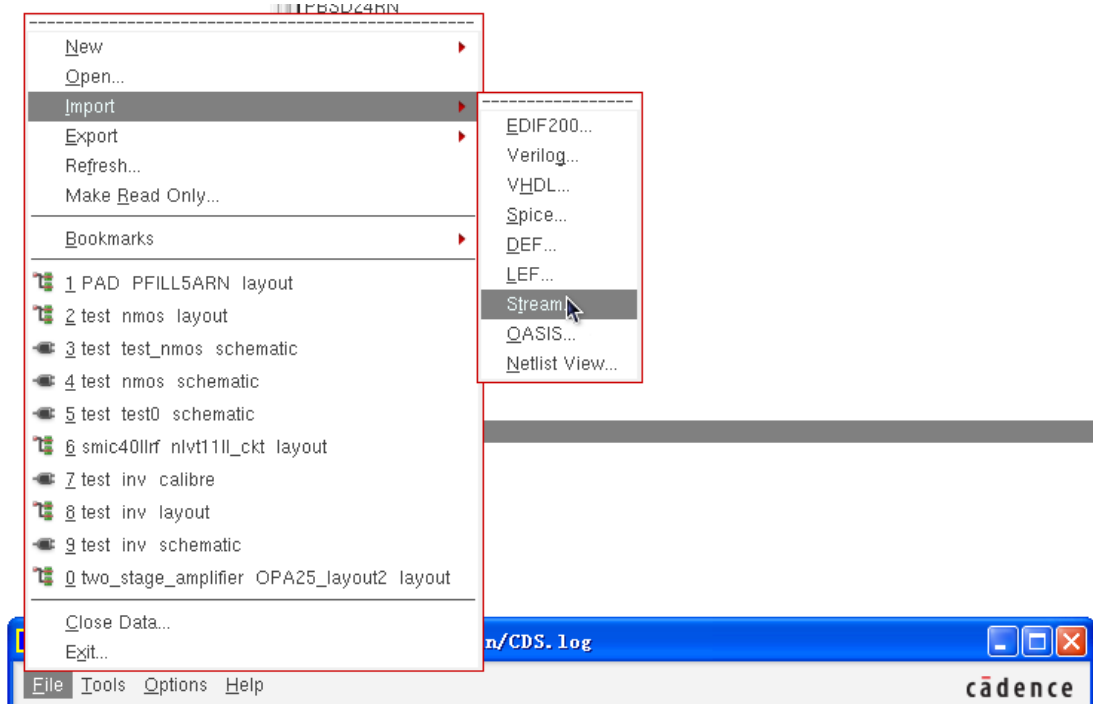


其他设定和 DRC 一致。



11 加 PAD

11.1 导入 PAD 库

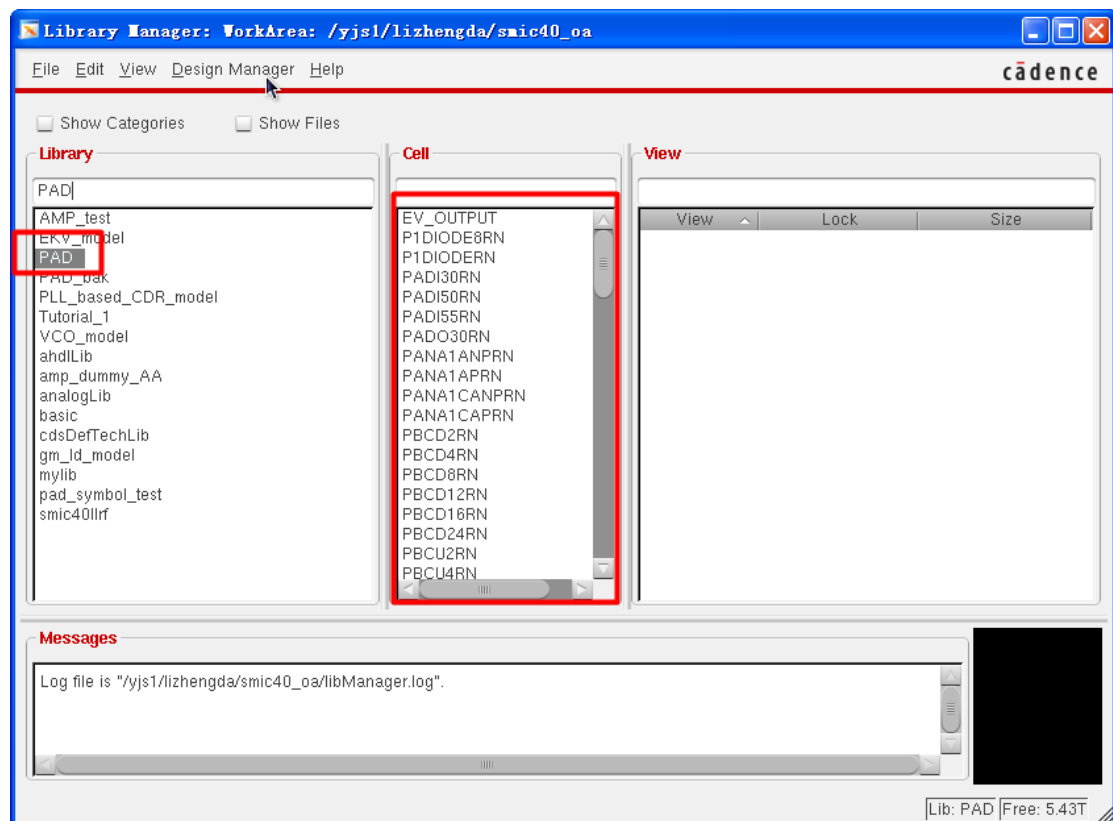


导入 pad 的 gds 路径：（和工艺库路径相似）

/soft2/eda/tech/sm1c040/library/io/SP40NLLD2RN_3P3V/V0p4/gds/SP40NLLD
2RN_3P3V_V0p4_8MT_2TM.gds

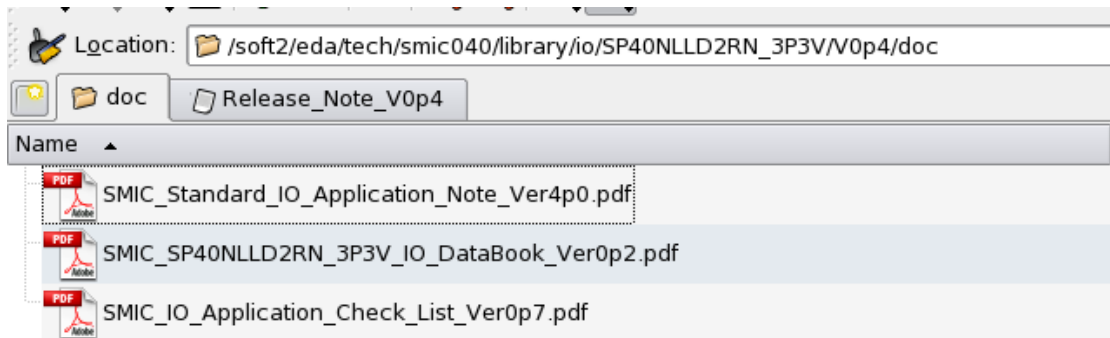


点击 apply，导入。在 Library Manager 窗口中便可看到 PAD 成功导入。

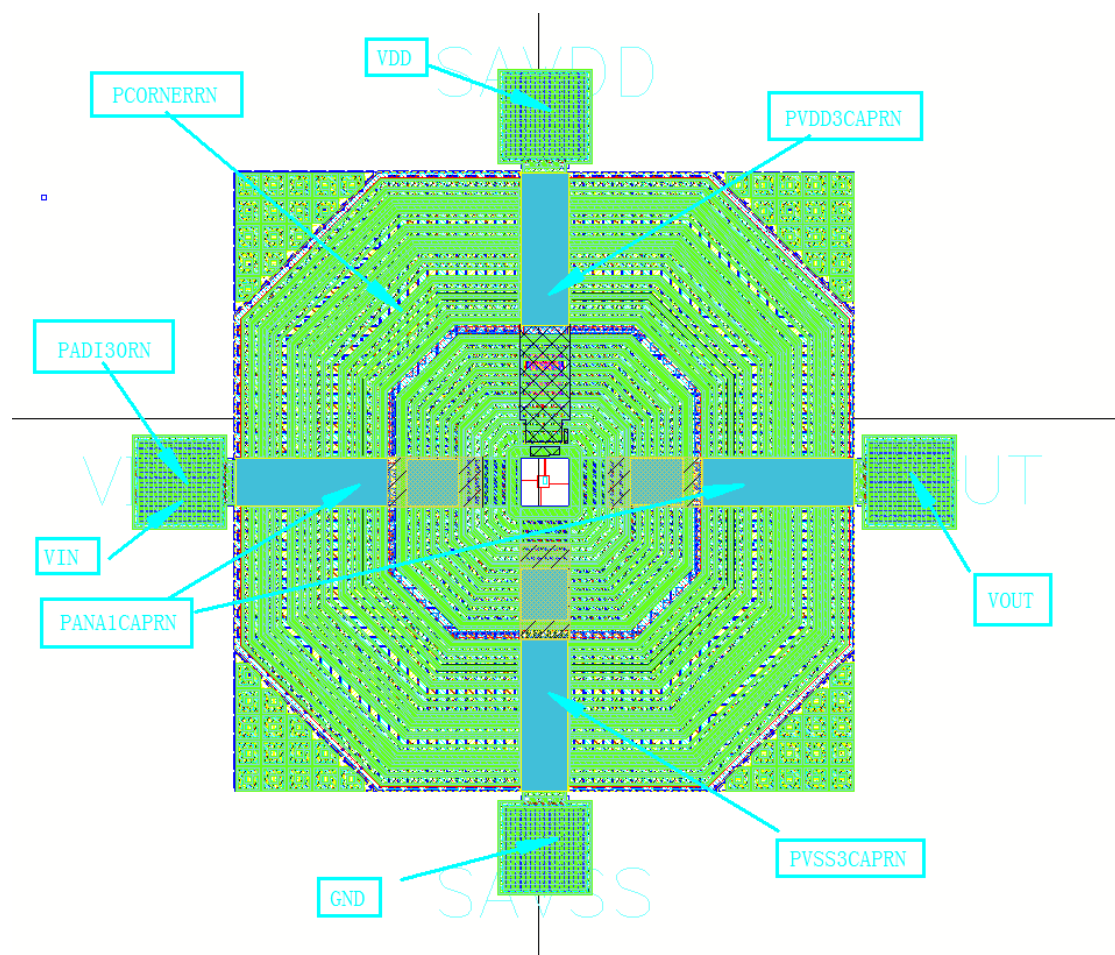


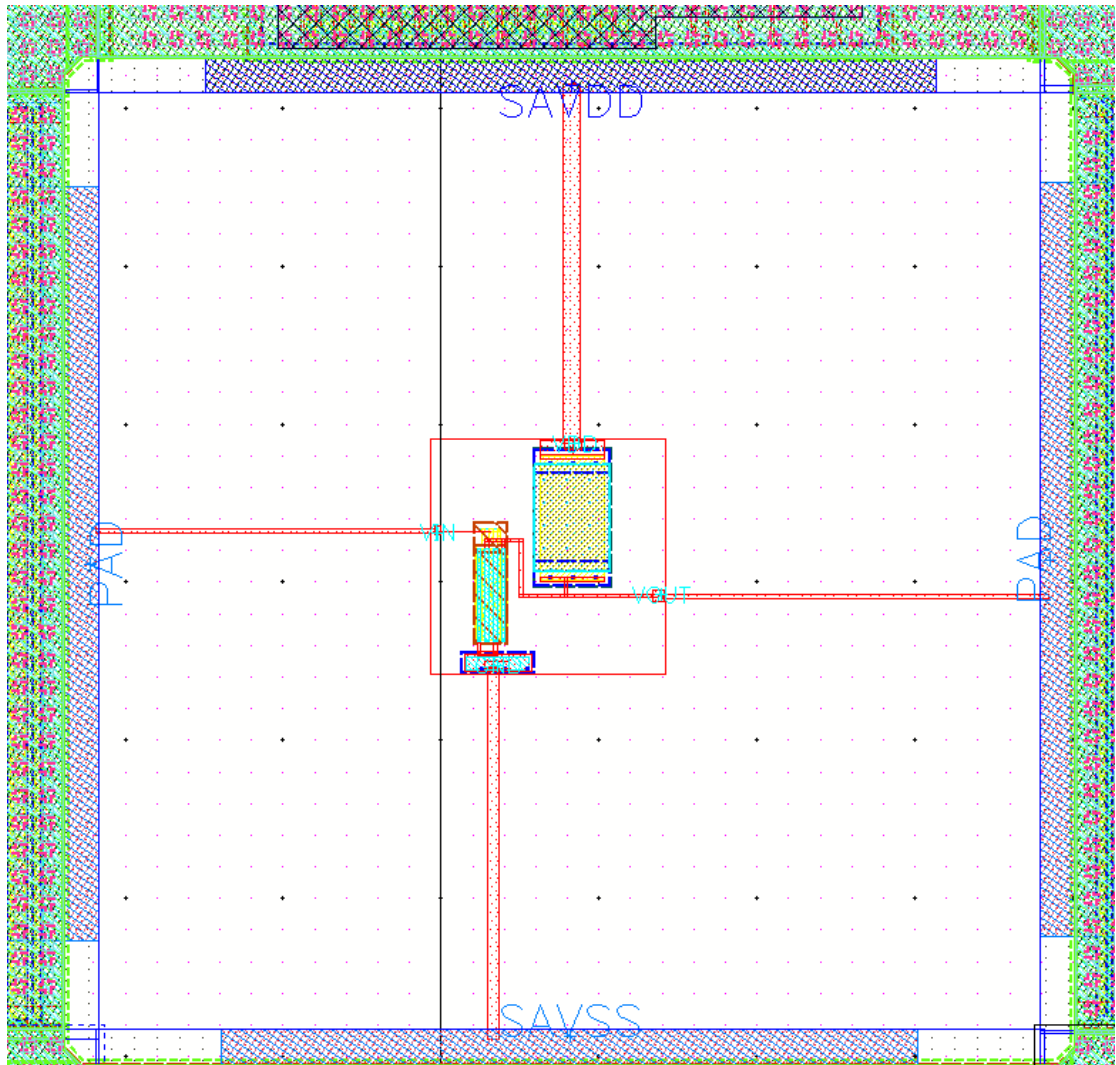
11.2 选择合适的 PAD

在 /soft2/eda/tech/smic040/library/io/SP40NLLD2RN_3P3V/V0p4/doc 路径下，有关于 PAD 类型的说明文档，根据自己的需要，选择合适的 PAD。



最终要搭建成下图：



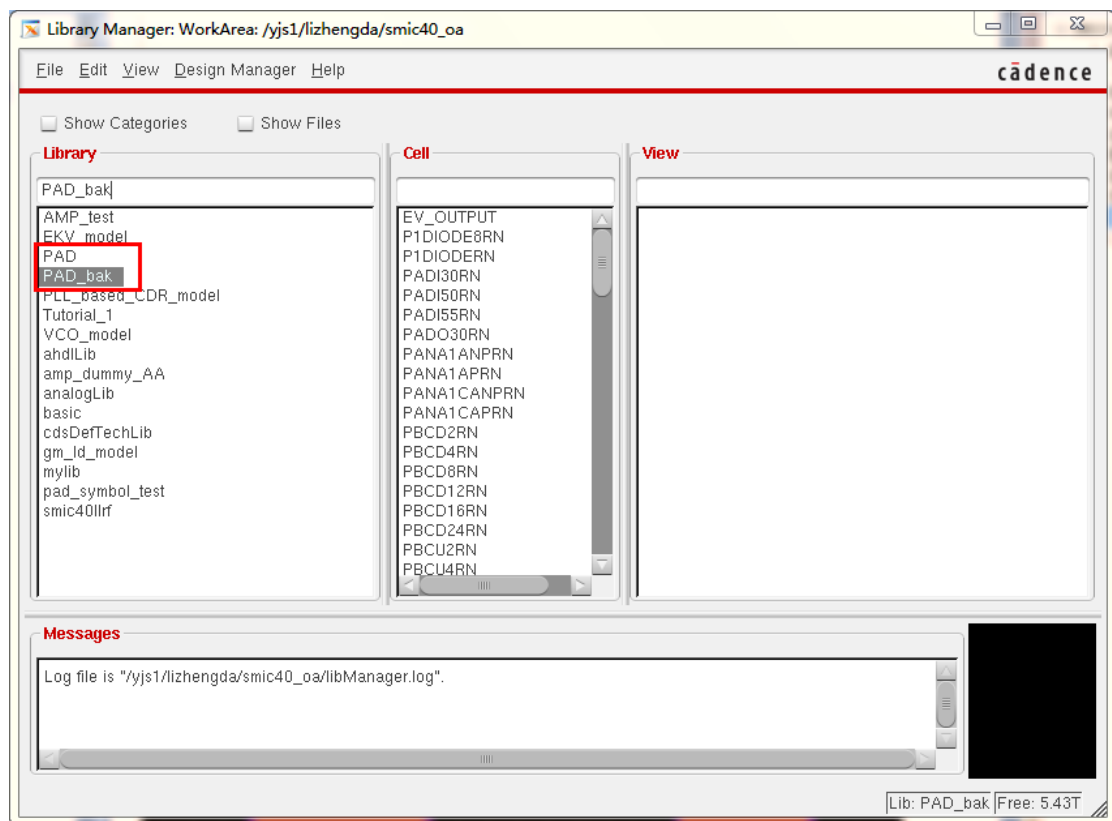


电源和地 PAD 选择 PVDD3CAPRN 和 PVSS3CAPRN，信号 PAD 选择 PANA1CAPRN，绑定 PAD 选 PADI30RN，金属连线选 PCORNERRN，填充物选后缀为 ARN。

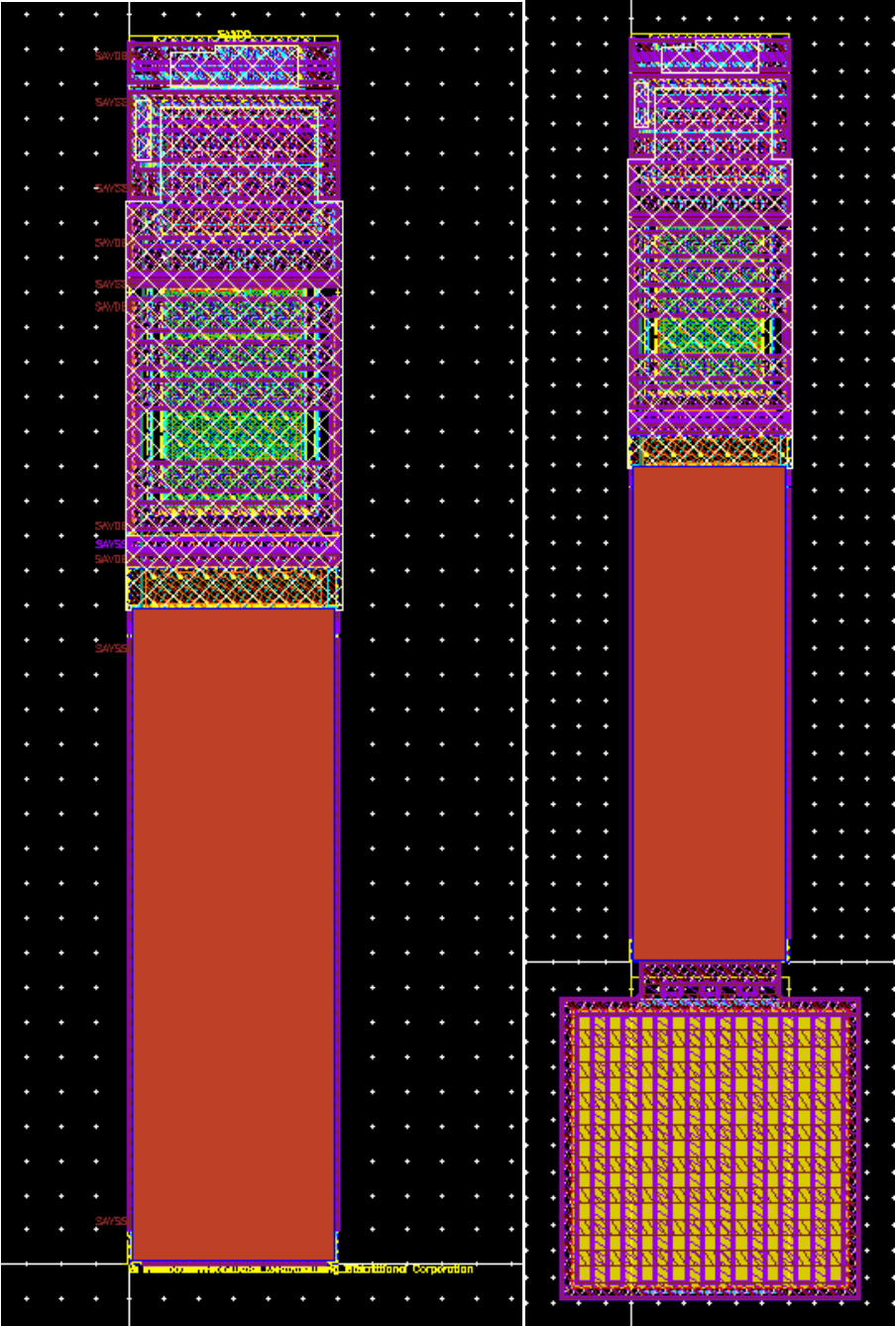
下面说明每一步的操作。

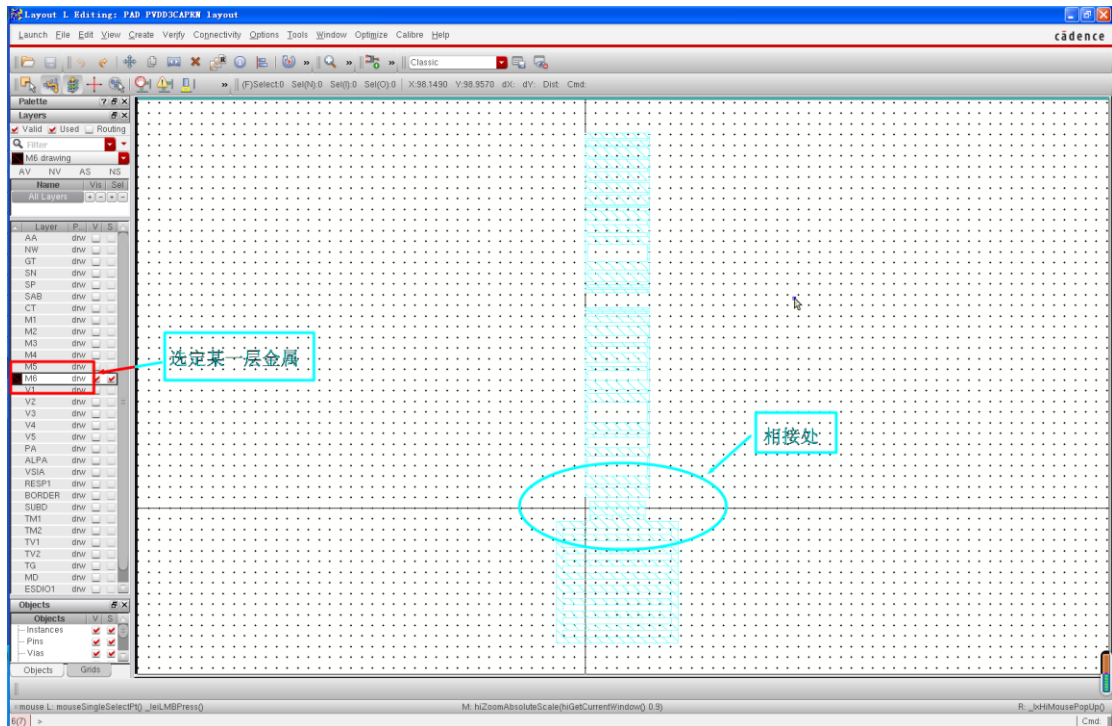
11.3 PAD 组装与原理图生成

首先将 PAD 的 library 全部复制到 PAD_bak 中，如下图



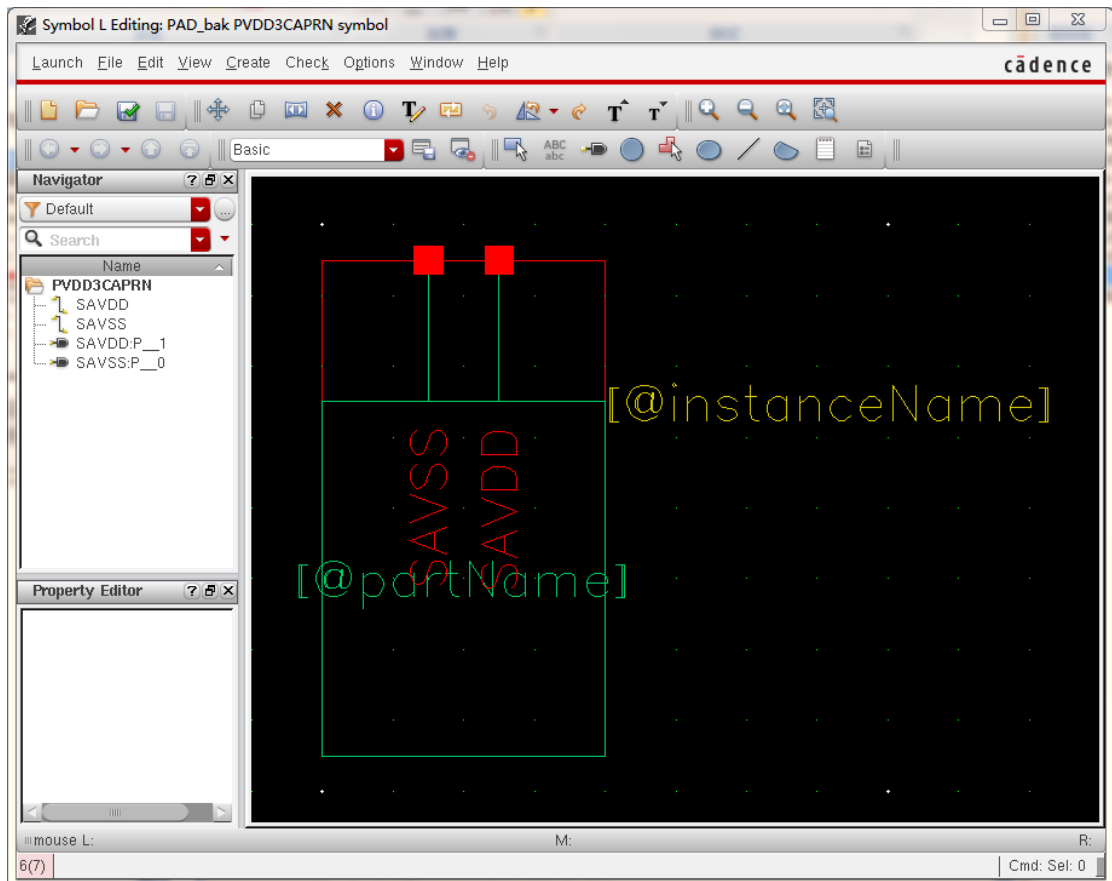
打开 PAD_bak 中的 PVDD3CAPRN 的 layout，往 layout 中添加绑定 PAD：PADI30RN，将 PADI30RN 接在 PVDD3CAPRN 上。如下图所示，左图未加 bondingPAD，右图为加了绑定 PAD（在 layout 中选定某一层金属，让金属相接即可）。





绑定好后，跑通 drc（仅剩密度错误）和 lvs。

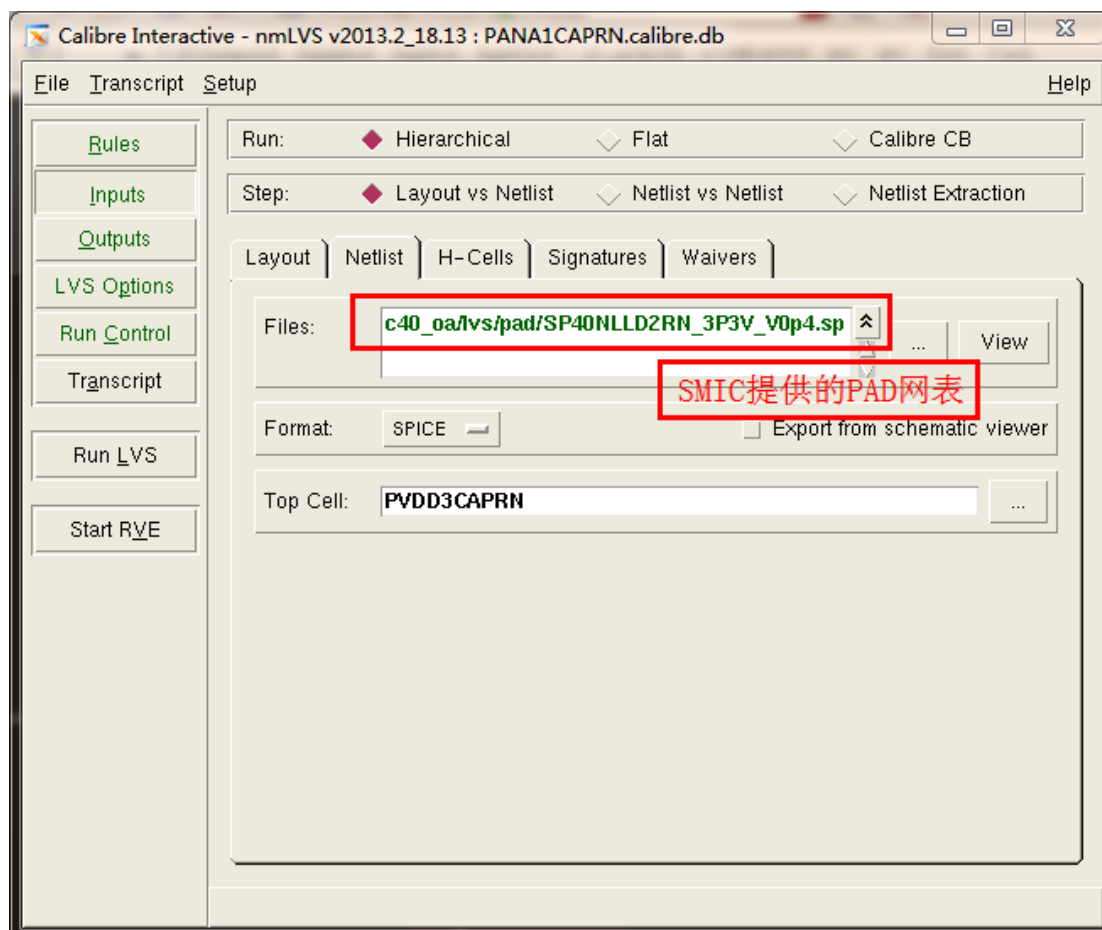
跑 lvs 之前，先在 PVDD3CAPRN 中建立 schematic，加入 pin 脚 SVADD 和 SVASS。然后生成 symbol。如下图

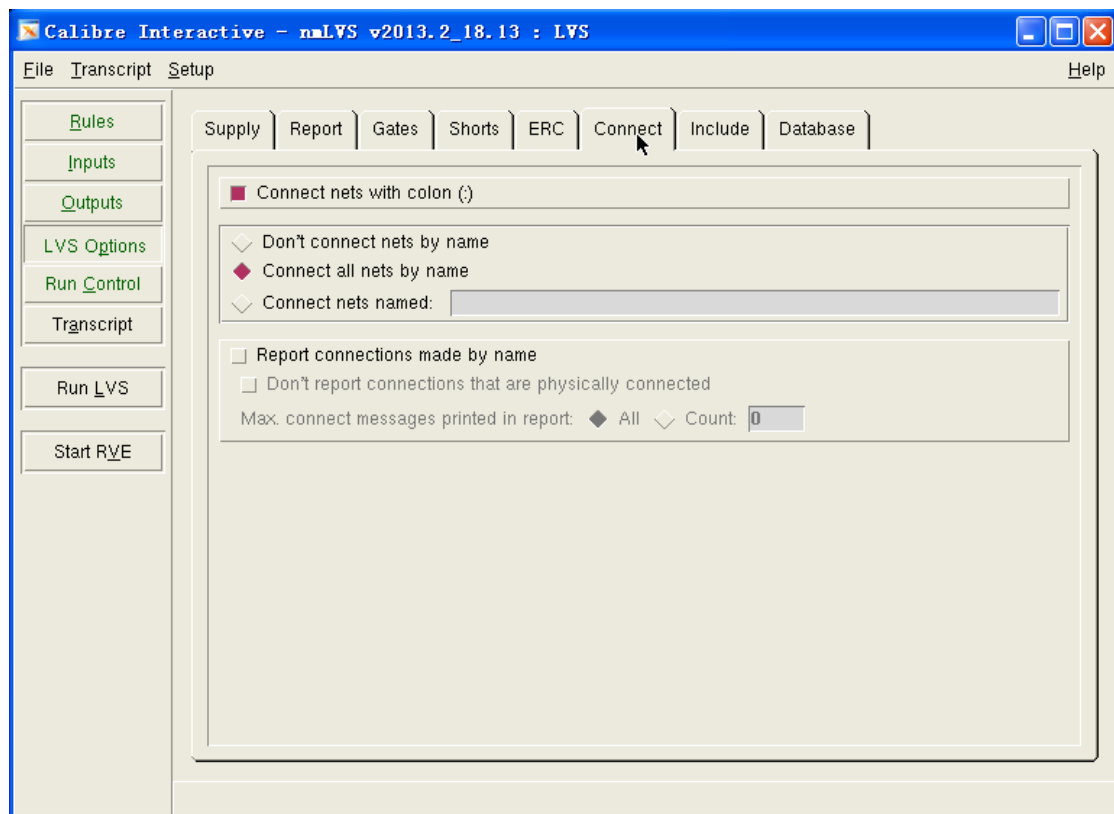


然后再回到 PVDD3CAPRN 的 layout，打开 LVS，设置如下：

PAD 网表路径：

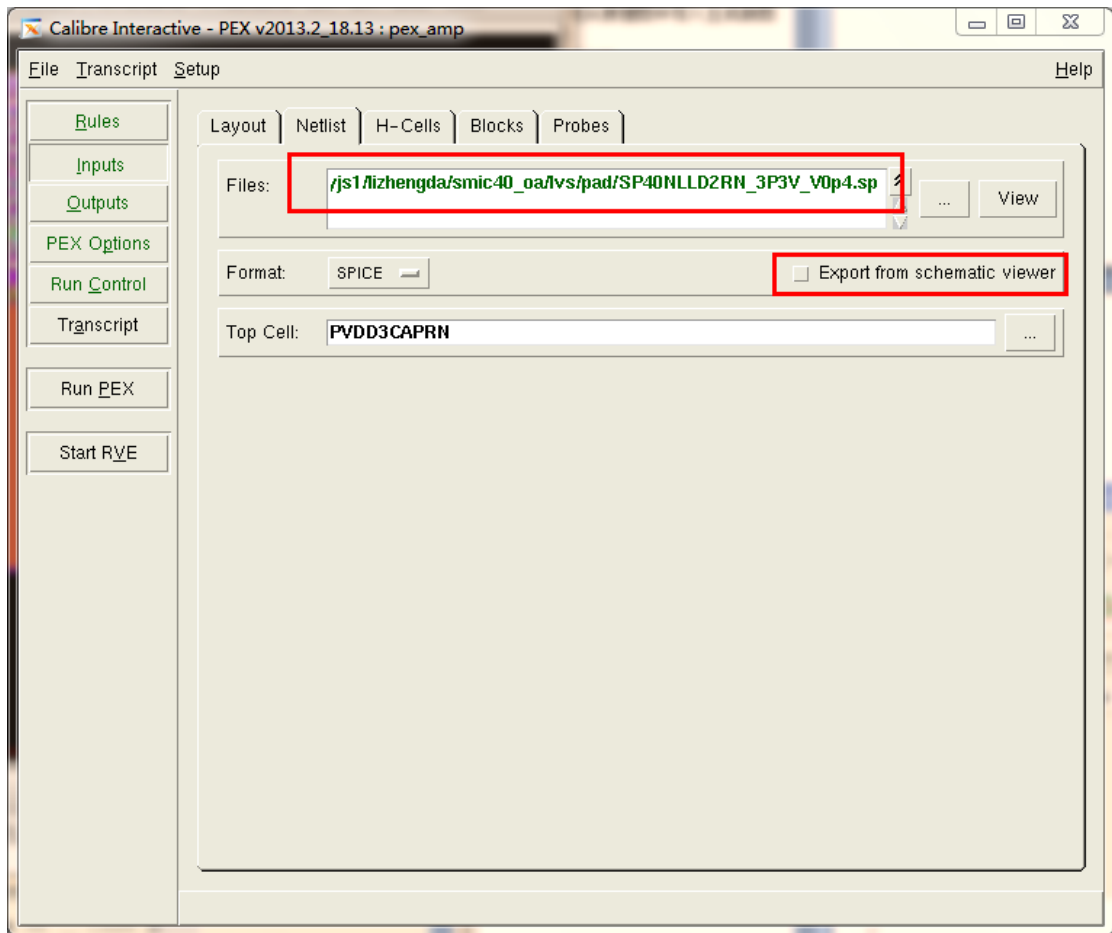
/soft2/eda/tech/smic040/library/io/SP40NLLD2RN_3P3V/V0p4/lvs/SP40NLLD
2RN_3P3V_V0p4.sp

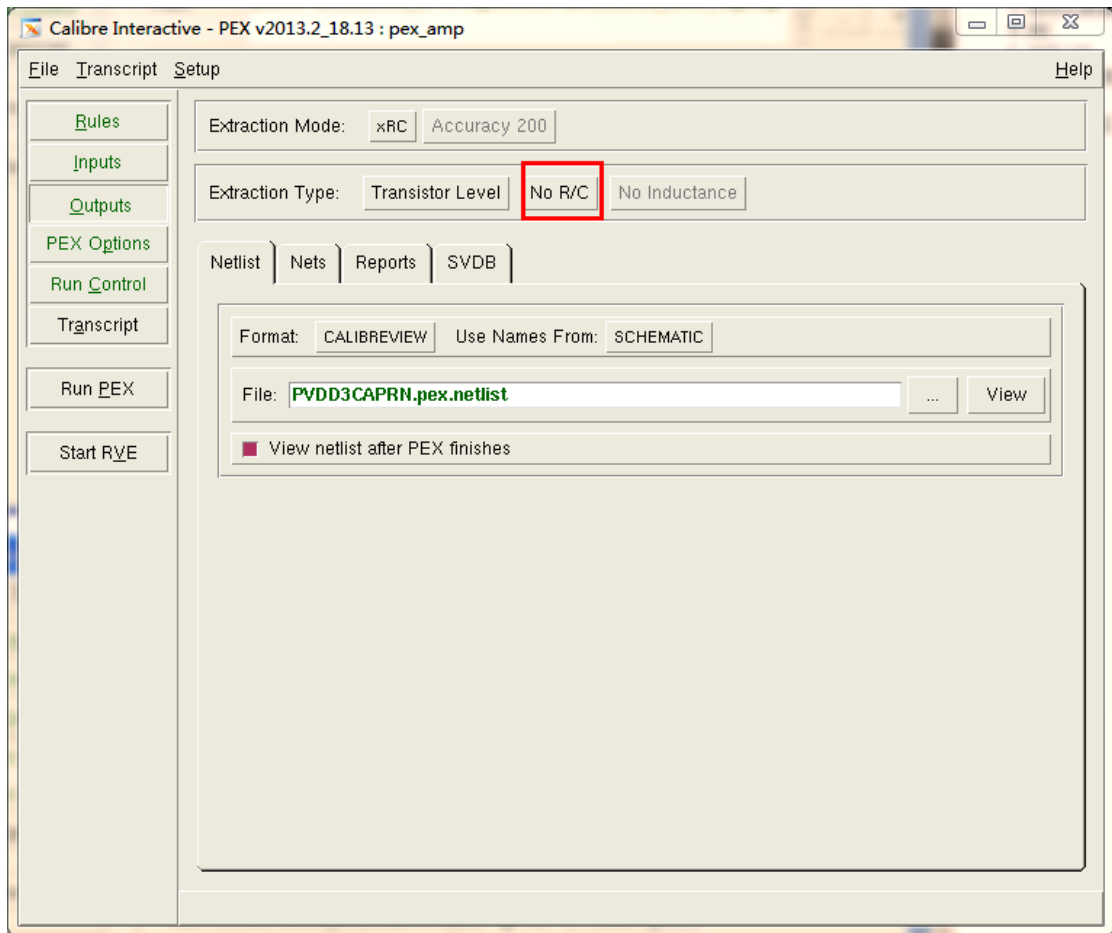


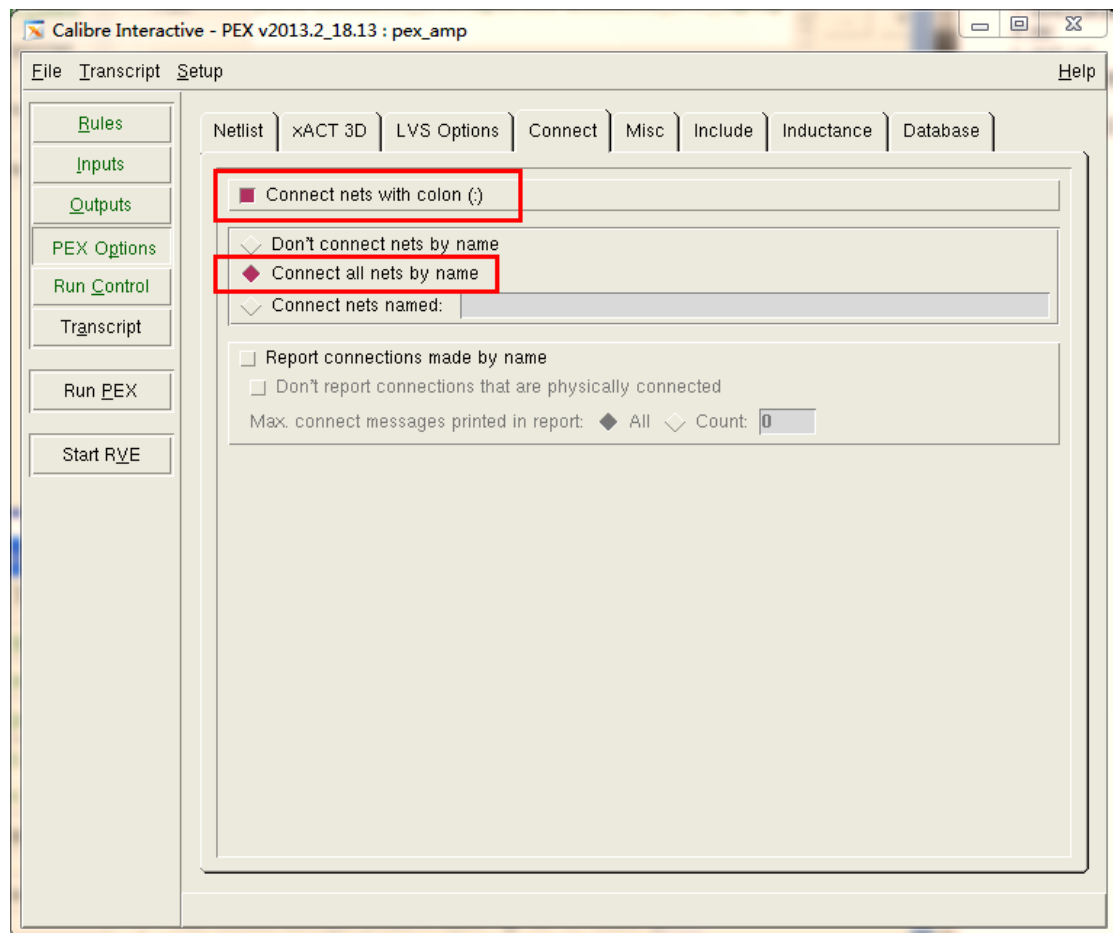


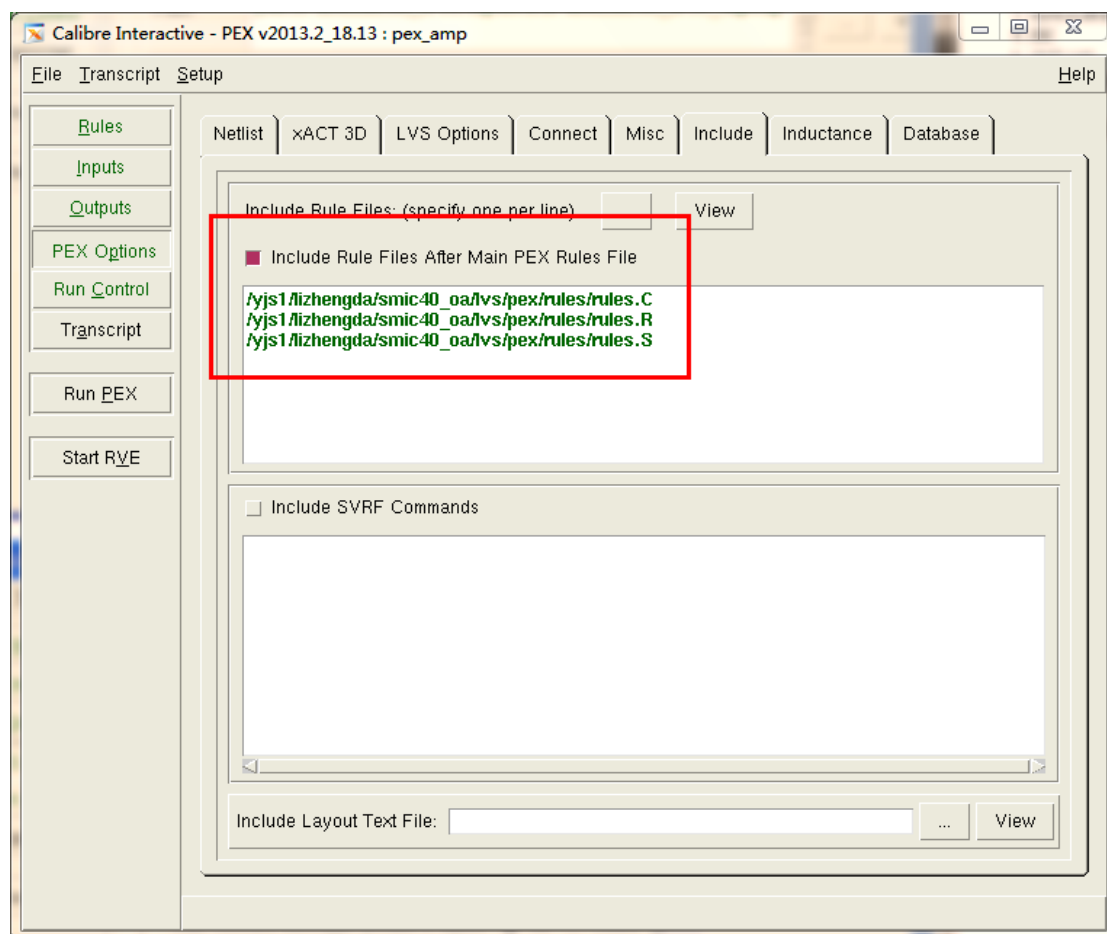
接下来将要提取 PAD 的电路原理图：

回到 PVDD3CAPRN 的 layout，跑 PEX，设置如下：









设置好后点击 RUN PEX。弹出 calibre view setup，设置同上。

Calibre View Setup

CalibreView Setup File:

CalibreView Netlist File:

Output Library:

Schematic Library:

Cellmap File:

Log File:

Calibre View Name:

Calibre View Type: ☐ maskLayout ☒ schematic

Create Terminals: ☒ if matching terminal exists on symbol ☐ Create all terminals

Preserve Device Case ☐

Execute Callbacks ☐

Suppress Notes ☐

Reset Properties:

Magnify Instances By:

Device Placement: ☐ Layout Location ☒ Arrayed

Parasitic Placement: ☐ Layout Location ☒ Arrayed

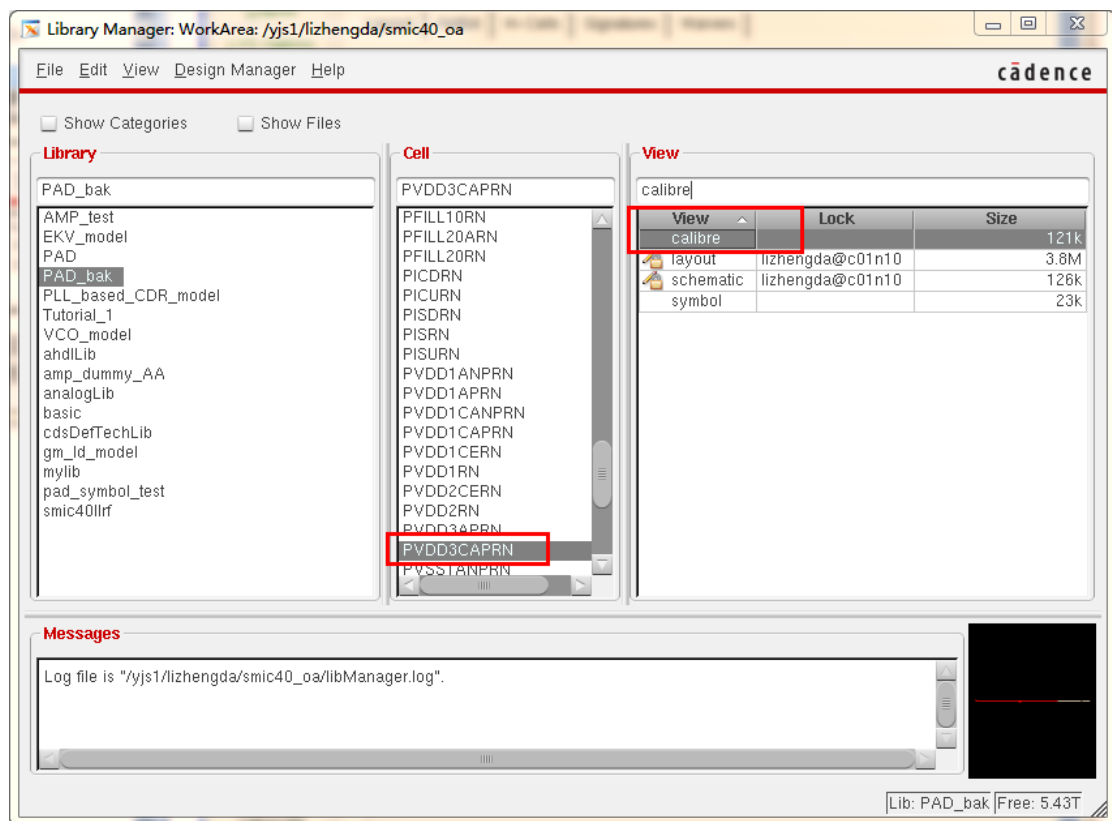
Show Parasitic Polygons ☐

Open Calibre CellView: ☐ Read-mode ☐ Edit-mode ☒ Don't Open

Generate SPECTRE Netlist ☐

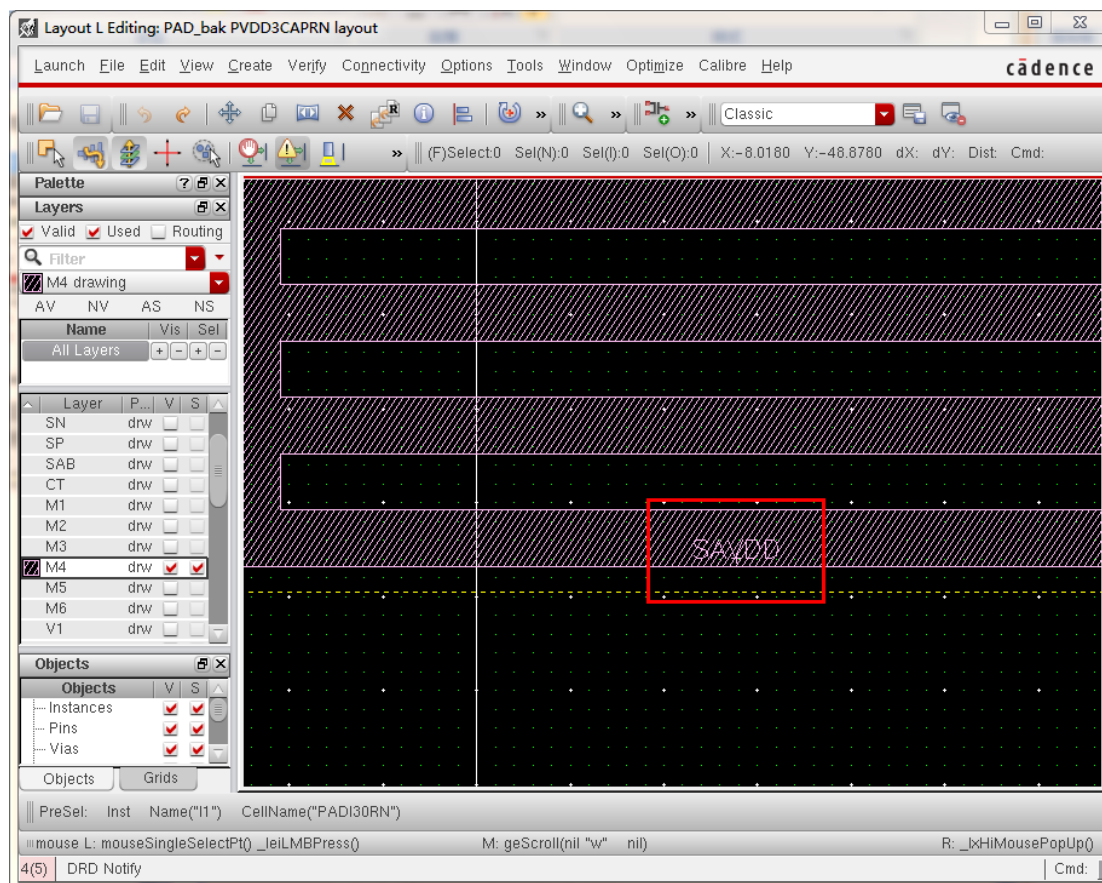
Always Show Dialog ☒

点击 OK。然后在 library manager 窗口将可看到下图：



Caliber 里面便是 PAD 的电路原理图，把 schematic 里原有的 pin 脚删掉，将 calibre 的原理图复制到 schematic 中，点击保存，会有 4 个警告，可以忽略。此时 PAD 的原理图生成成功。

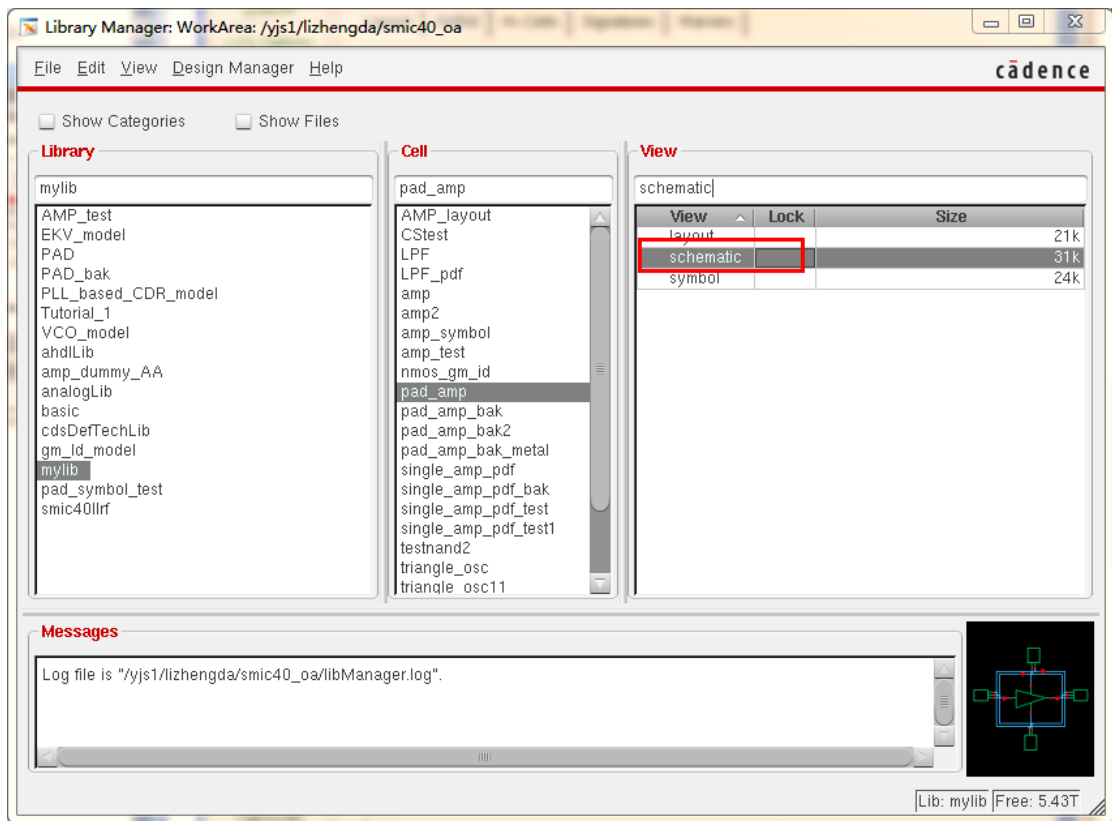
打开 PVDD3CAPRN 的 layout，将 SAVDD 的 label 名移到绑定 PAD 上。如下图所示：



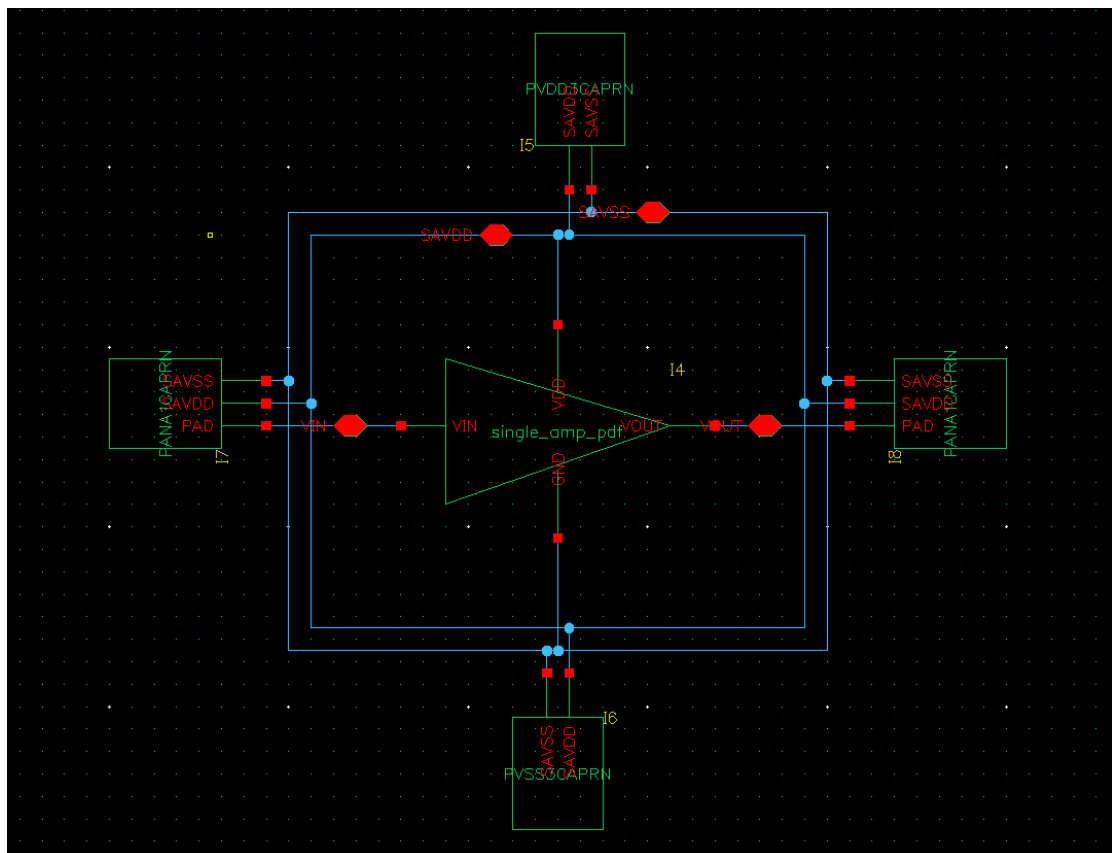
同理对 PVSS3CAPRN 和 PANA1CAPRN 进行上面的操作，注意：PANA1CAPRN 有三个 pin 脚（PAD、SAVDD 和 SAVSS），PANA1CAPRN 要移动的 label 名是 PAD。

11.4 搭建 PAD 环

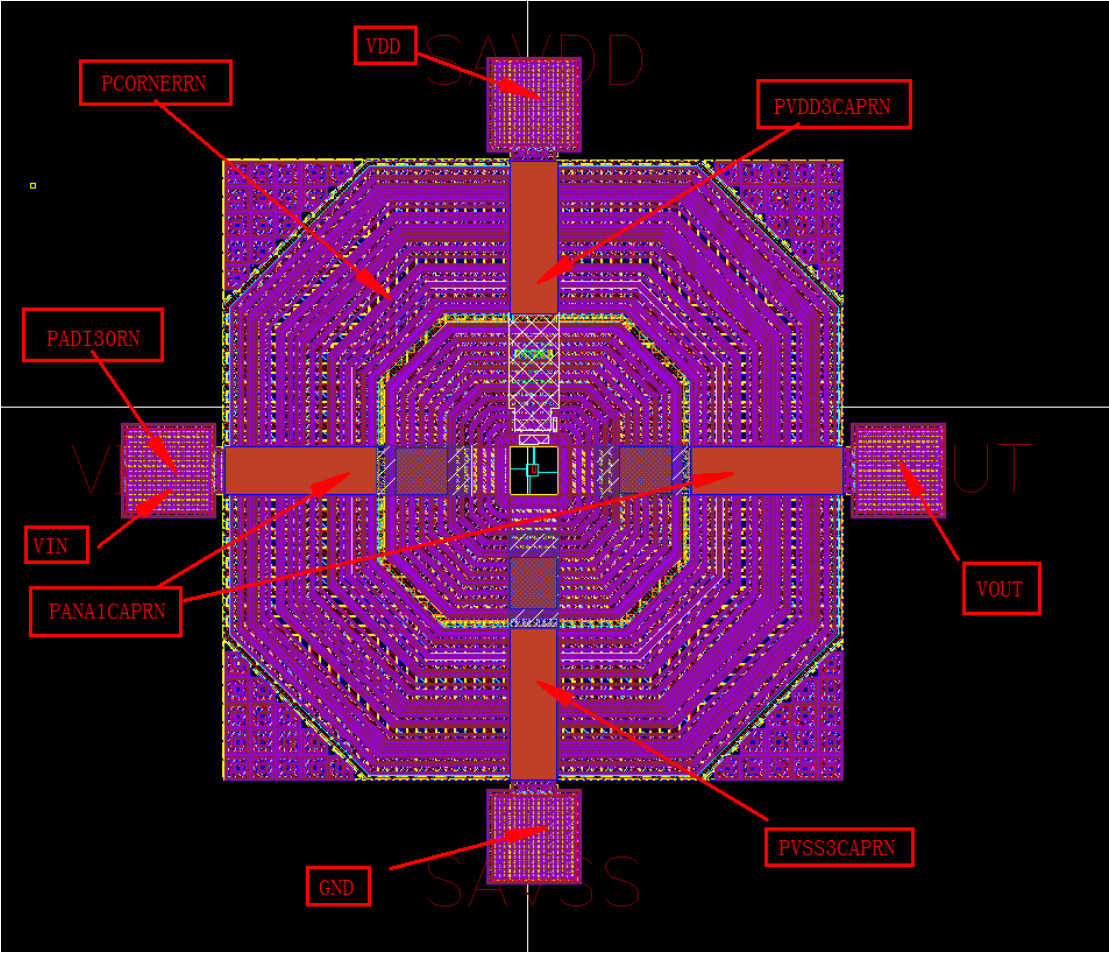
新建一个 schematic，如下图所示：

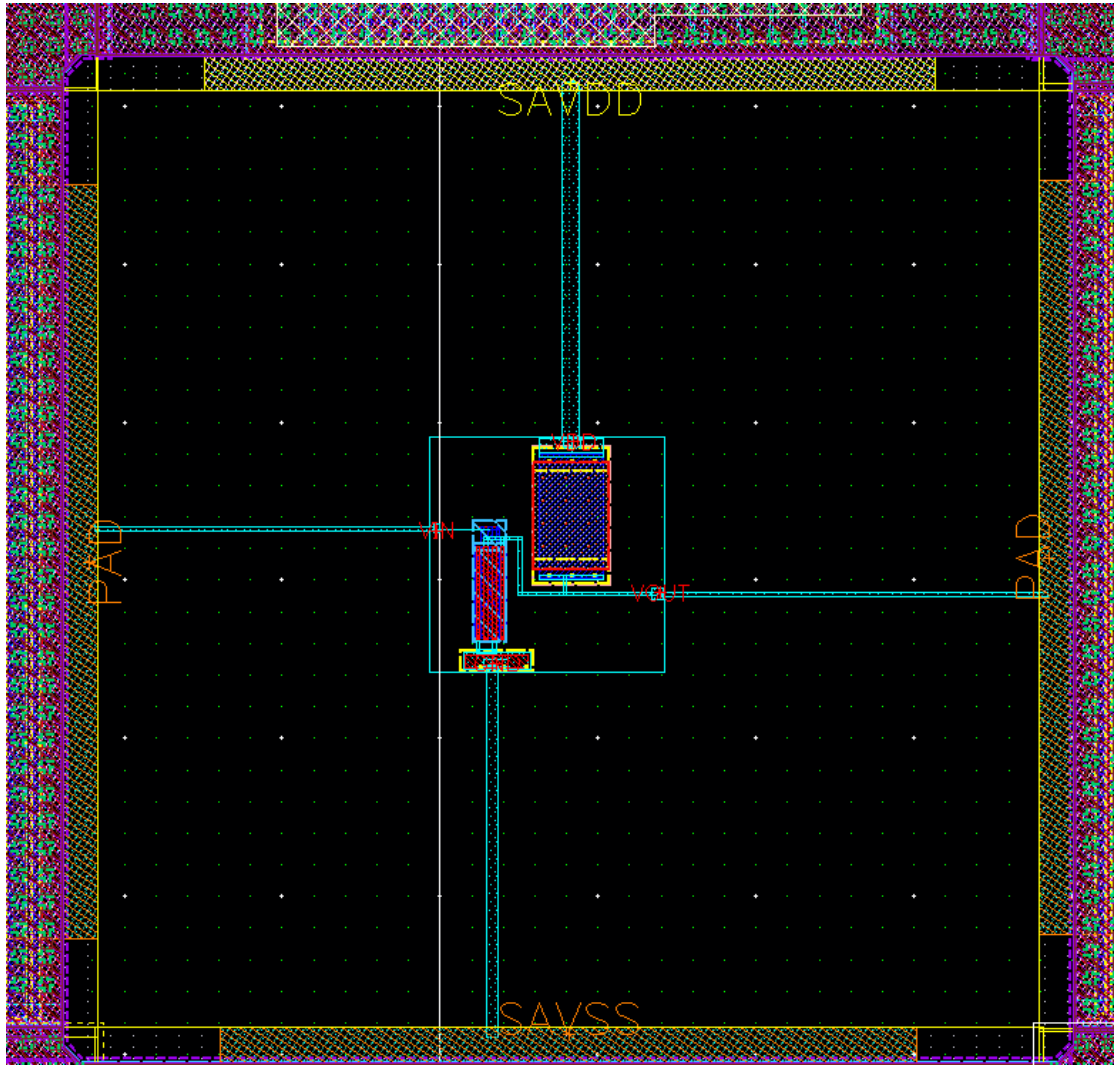


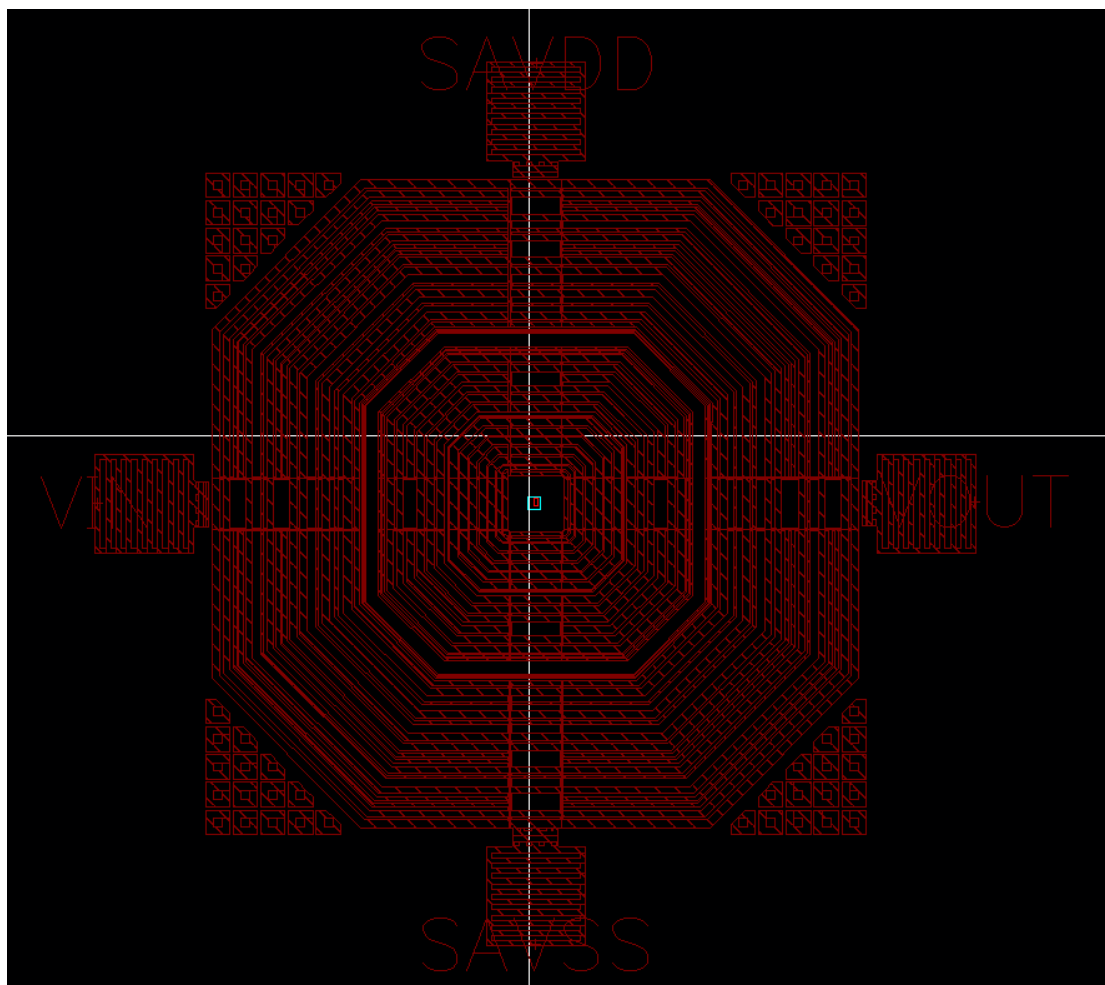
搭建如下的电路原理图：



画出相应的版图







任选一层金属加上 label 名，这里选择的是 M6，然后跑通 DRC（仅剩密度错误）和 LVS。最后跑 PEX，此时 PEX 中需选择 R+C+CC。生成 calibre，再去后仿即可。