

BES III 飞行时间计数器前端电子学测试系统设计

郭建华 刘树彬 封常青 李 浩 安 琪

(中国科学技术大学近代物理系快电子学实验室 合肥 230026)

摘要 BESIII 的 TOF 前端电子学(Front End Electronic, FEE)共有 488 个通道, 如何快速地测试所有的 FEE 通道是个亟待解决的问题。本文详细描述一个基于网络互联的虚拟仪器测试系统, 利用该系统可以实现对 TOF FEE 进行测试, 较快速地得出 FEE 的相关指标。

关键词 TOF FEE, 虚拟仪器, VISA, SCPI, VME

中图分类号 TL8, TP2

北京正负电子对撞机(Beijing Electron Positron Collider, BEPC)正在升级为 BEPC II, 其相配套的磁谱仪——北京谱仪(BES)也在进行 BES III 升级, BES 的飞行时间计数器(TOF)也须升级, 要求其时间分辨率不大于 90 ps (RMS)^[1], 则其前端电子学(FEE)时间测量的分辨率应好于 25 ps。

整个谱仪共需 448 个 TOF 测量通道, 付诸应用前须知道每个通道的时间、幅度测量精度。测试 448 个通道将是一项非常繁琐的工作: 幅度线性测试须用精密信号源对每个通道进行线性扫描, 若每条拟合曲线需 80 个测试点, 则共需 35840 个测试点。这些工作如由手工完成将耗费大量人力。为快速地测得所有 FEE 读出通道的性能指标, 亟待搭建一个自动测试系统。本文介绍该测试系统的硬件配置和软件架构, 并给出该测试系统的测试结果。

1 TOF FEE 简介

BES III 的 TOF 探测器设计采用快塑料闪烁体 + 光电倍增管(Photomultiplier Tube, PMT)方案, TOF FEE 用于测量 PMT 输出信号的时间和电荷信息, 并通过 VME 总线送至数据获取系统。

图 1 是读出电子学系统大致信号流向图^[2]。强磁场下光电倍增管的输出信号幅度较小, 且距 TOF 读出电子学系统较远, 须采用前置放大器放大其输出, 并通过 18 m 差分电缆把前放输出的差分信号送到读出电子学插件, 以保证传输过程的信噪比和时间信息不受损失。

前放信号通过插件上的一个差分缓冲芯片后分为两路, 一路送入甄别器用于时间测量, 另一路送给电荷测量电路。

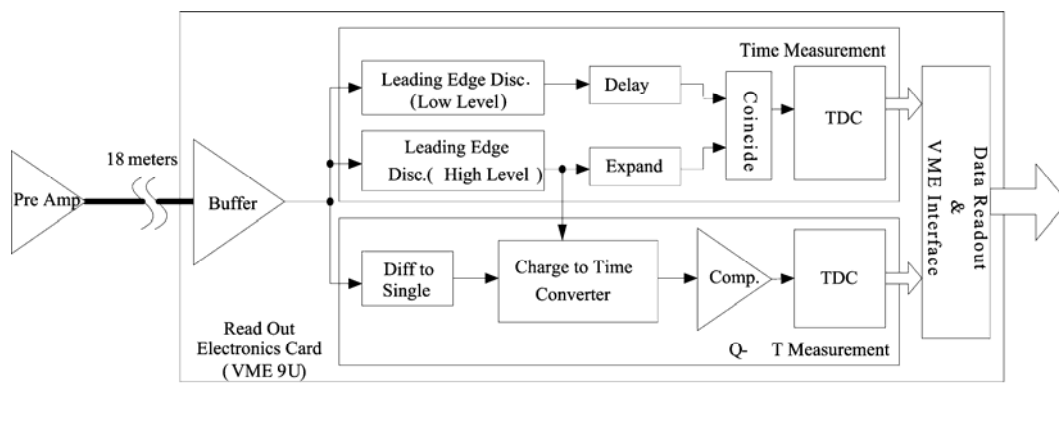


图 1 TOF FEE 结构框图

Pre Amp 前置放大器, Diff to Single 差分转单端, Comp. 甄别器, TDC 时间数字转化

Fig.1 Block diagram of TOF FEE

Pre Amp: Pre-Amplifier, Diff to Single: Differential to Single, Comp: Comparator, TDC: Time to Digital Converter

第一作者: 郭建华, 男, 1980 年出生, 2002 年毕业于中国科学技术大学, 现为近代物理系 04 级博士研究生, 物理电子学专业

通讯作者: 刘树彬

收稿日期: 2006-10-27, 修回日期: 2006-12-12

时间测量采用双阈甄别符合模式: 低阈用于定时, 高阈用于判选。同时高阈也作为电荷测量电路的控制信号。高低阈符合后的信号被立即送到 TDC 中进行前沿时间测量, 测量数据通过接口模块由 VME 控制器读取。

电荷测量采用 QT 转换(Charge to Time Converter)方案, 即将信号的电荷量线性地转为相应脉宽的脉冲, 再利用 TDC 对脉冲宽度进行测量, 从而得到脉冲的电荷信息。最后也是通过 VME 接口把数据送出。

读出插件为 VME 9U 模块, 每个可容纳 16 个时间/电荷测量通道。

2 测试系统总体结构

整个测试系统分为硬件和软件两部分。硬件部分主要功能包括: 为 FEE 读出板产生所需的信号激励, 同时通过 VME 总线读取 FEE 的测量结果, 传到上位计算机中。为准确得到系统工作的性能指标, 测试的信号激励应尽量接近真实的探测器信号。

软件部分主要功能: 控制信号源等各种仪器, 完成数据的获取和处理。一旦硬件连接好, 只要通过执行 PC 上运行的软件, 设置不同的软件功能, 协调各种硬件的工作, 就可以对 FEE 板进行各种所需要的测试。这样形成了以控制软件为中心的虚拟仪器测试系统。

2.1 硬件结构

测试系统硬件的最重要部分就是信号源。为使测试系统所使用的信号与闪烁体的信号具有相同的特征, 我们使用可编程的任意信号发生器: TEK 的 AFG3251。AFG3251 利用 2G/S 采样的数字合成技术来产生任意形状的波形, 其分辨率有 14bit。通过往 AFG3251 的存储器下载所需要的探测器波形文件, 即可模拟真实的探测器信号。

图 2 是整个测试系统的硬件结构图。计算机通过网络将波形文件下载到 AFG3251, 设置信号源的信号输出, 信号源送出激励信号经过前置放大器后接入待测 FEE 读出板, 同时信号源还送同步 Trigger 到 FEE 读出板中。FEE 测量出送入信号的时间和电荷信息后, 将数据打包通过 VME 背板送到 VME 控制器, 再送入上位计算机中, 计算机还通过控制器读取 FEE 读出板的工作状态。所有的数据和控制命令传送均由网络进行, 使硬件互联非常简洁, 也便于测试系统的扩展。

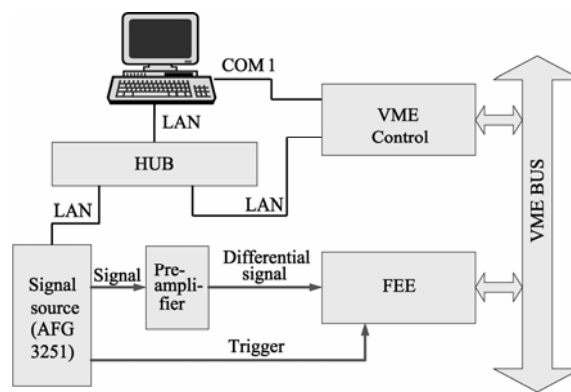


图 2 测试系统的硬件连接图
COM1 串口, LAN 局域网, HUB 集线器, FEE 前端电子学

Fig.2 Hardware scheme of the test system

2.2 软件结构

我们的目的是建立一个类似虚拟仪器的测试系统, 使所有的测试操作可方便地通过计算机的软面板完成, 于是控制软件设计就尤其重要。

整个软件分为两个部分: 一个是运行在 PC 上的主控程序, 另一个是运行在 VME 控制器上的 FEE 数据读出程序。PC 上运行的软件是在 VC6.0 的环境下开发的, 主要包括以下几个功能: 友好的用户界面、负责信号源仪器控制以及接收 VME 控制器上传的数据文件等。运行在 VME 控制器上的 FEE 数据读出软件是基于 VxWorks 的, 其功能包括 FEE 的初始化、控制和数据读取等。图 3 是软件的大致结构, 整个硬件的互联基于 LAN, 所以 PC 上的主控程序和信号源以及 VME 控制器通信协议最终都由 TCP/IP 完成传送。下文介绍测试软件的具体工作过程。

用户一旦开始测试工作, PC 上的主控程序就启动两个线程, 分别负责信号源仪器控制和 VME 的数据获取(DAQ)。

仪器的控制在虚拟仪器软件架构(Virtual instrument software architecture, VISA)下完成。VISA 是 VXI 即插即用系统联盟(VXI Plug & Play System Alliance, VXI PnP)于上世纪 90 年代定义的软件标准, Tek 新一代的测试仪器基本都支持这一标准。VISA 定义了管理所有 VISA 资源的资源管理器, 以实现各种 VISA 资源(测量仪器)的管理、控制和分配, 为各种系统软件提供了统一的 I/O 操作函数库, 而不必关心具体的仪器的硬件接口。利用 VISA 的 API, 结合 IEEE488.2 定义的标准命令(Standard command for programmable instruments, SCPI)就可

以方便地实现对测试设备的控制^[3]。

DAQ 线程负责与 VME 控制器上运行的程序进行通信, 通过 VME 控制器对 FEE 插件进行 I/O 操作。开始工作时, DAQ 线程首先通过 TCP/IP 协议与 VME 控制器建立连接, 一旦连接成功, 就开始对 FEE 板进行初始化, 使 FEE 读出板进入正常工作状态。每当读到测试数据, VME 控制器就将数据作简单的处理并打包送给 PC 上运行的 DAQ 线程。收到数据后 DAQ 线程把数据存盘, 并作进一步的分析。

用户面对的 PC 的主控制程序在 VC6.0 环境下运行, 且用户界面友好。整个测试系统集成成了大部分 TOF FEE 所需的测试功能, 使 FEE 的测试能自动完成。

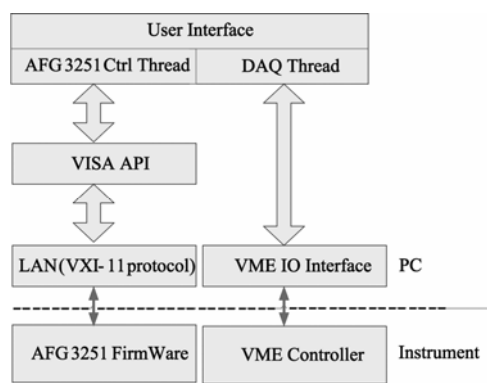


图 3 测试系统软件结构图
DAQ 数据获取, VISA 虚拟仪器软件架构
Fig.3 Software architecture of the test system

2.3 测试方案

测试时, 为了给 FEE 提供与探测器信号相同形状的脉冲^[4], 须事先得到 TOF 探测器输出信号的波形文件, 以便下载到信号发生器中。为使过程简单, 用 Lecroy 示波器以 10G 的采样频率采集典型的 BESIII TOF 探测器输出以获得波形文件。考虑到信号发生器的存储长度有限, 实验中共取 2000 个采样波形点。波形文件每两点间隔 100 ps, 发送这 2000 个点仅需 200 ns, 信号发生器可以 5 M 频率进行此项发送。

FEE 的测试主要有工作正常测试、时间性能测试和 QT 线性测试。

(1) FEE 工作正常测试

工作正常测试旨在保证 FEE 板电路的正确互连、对不同幅度的脉冲信号有正确的反应。FEE 的时间甄别电路采用高低阈符合方式, 要求 FEE 读出板能测量幅度从 200 mV 到 4 V 的差分信号 (经过前放后的信号, 前放的放大倍数为 10 倍)。测试时, 在 120 mV 到 4 V 之间扫描, FEE 读出板接收信号,

通过 FEE 读出的数据, 判断 FEE 板的工作是否正常。

(2) 时间性能测试

BESIII 对 TOF 的时间测量要求是 25 ps, AFG3251 产生脉冲的抖动(RMS)典型值是 100 ps, 不宜直接利用 AFG3251 产生双脉冲作为“start-stop”信号来测量 FEE 各个通道的时间精度, 而用延迟线法可克服信号源抖动的影响。图 4 是延迟线法的示意图, 将 AFG3251 送出的信号一分为二, 一路直接送到前放中, 另一路经延迟线再送到前放, 两路信号分别经 18m 电缆送到 FEE 板的待测两路通道中。送入足够多的脉冲, 可测得信号到达 FEE 板的时间差分布 (包括时间差抖动的 RMS 精度等), 进一步得到单个 FEE 通道时间测量的 RMS 精度^[2]。实验中, 选取不同长度的延迟线电缆 (以 1—2 ns 为步长, 调节范围为两系统时钟周期即 50 ns) 测量不同延迟下的时间 RMS 精度, 以确保整个量程内的时间精度满足要求。

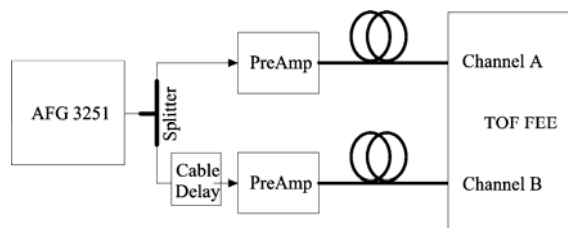


图 4 延迟线法测时间性能示意图
Fig.4 Principle of measuring time resolution

(3) QT 线性测试

由于各个通道电路参数的不一致性导致 QT 的线性增益有所差别, 准确地得到各通道电荷测量的线性增益, 可以用于数据的离线校准。

AFG3251 信号发生器具有 14bit 的精度, 其输出误差为 $\pm(1\% \text{ of setting} + 1 \text{ mV})$, 而 FEE 的 QT 指标要求 8bit 的精度, 故可用 AFG3251 作为 QT 测试的信号源。

线性测试通常采用输入信号线性扫描法: 通过程序控制设置 AFG3251 输出波形的大小, 使 FEE 读出板的输入信号幅度线性地改变 (信号的面积也随之线性变化), 信号幅度从 200 mV 开始, 每隔 50 mV 一个测试点, 最后通过线性拟合得出 QT 电路的线性增益 (即输入信号面积和输出码的关系曲线) 和非线性指标。

3 测试流程及结果

3.1 测试流程

图 5 是 FEE 板的整个测试的流程图。连好硬件,

初始化软件后,系统便进入测试状态。将待测 FEE 读出板插入 VME 机箱,进行功能测试:即通过输入不同幅度的信号判断其是否工作正常。再进行性能测试,包括时间测量的 RMS 精度、电荷测量的线性等,每个步骤的性能测试结果均须保存,用于以后分析。如数个测试均未发现问题,则基本可认为该 FEE 读出板可投入使用。

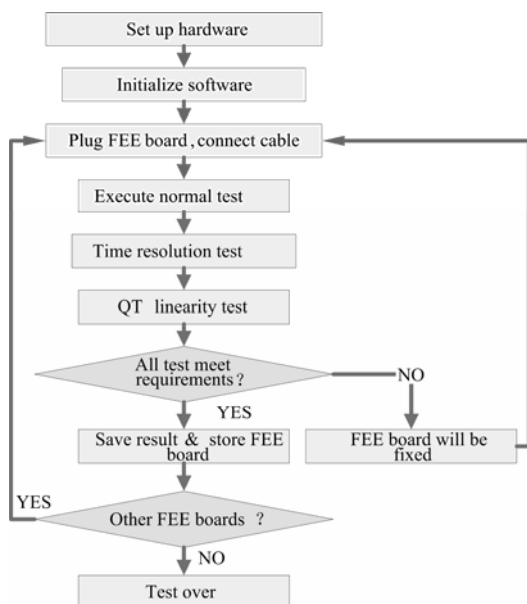


图5 FEE 板测试流程
Fig.5 Flow chart of FEE test

3.2 测试结果

2006年6月,用该测试系统对 BES III 的 TOF 读出电子学插件进行了测试。图6是用 AFG3251 模拟的光电倍增管波形图,其前沿约 4.3 ns,后沿 15 ns 左右,其形状、前后沿和实际使用的光电倍增的波形相似,可满足测试要求。

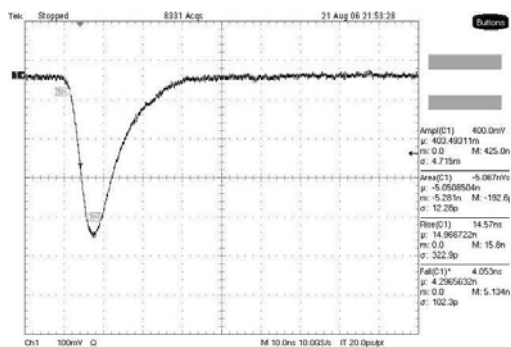


图6 AFG3251 模拟出的 PMT 信号
Fig.6 PMT signal simulated by AFG3251

利用 AFG3251 产生的波形,通过延迟线法测试可得 FEE 任意两通道的时间差分布。图7左是两路延迟差 19 ns 左右时的测试结果,纵坐标为统计个

数,横坐标为测量的延迟时间差值,可算得时间差分布的 RMS 精度为 24.2 ps,除以 $2^{1/2}$,则单通道时间测量精度为 18 ps。图7右是由不同延迟线长度的测量结果算得的单通道 RMS 精度值,纵坐标为 RMS 精度值,横坐标为延迟时间。实验中,把延迟线加在不同通道上,将两路时间相减就得到正负不同的延迟时间差,图7右中,不同延迟线测得的单通道时间精度都在 25 ps 以下。

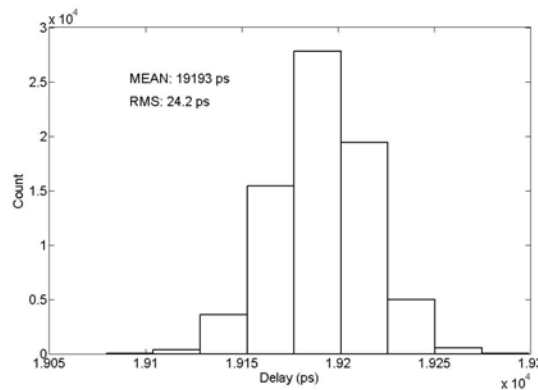


图7 电缆延迟时间差的分布
左图: 单次测量的时间差分布, 右图: 不同延迟线下测得的单通道时间精度 RMS

Fig.7 RMS resolution of time measurement
Left: time distribution of 19ns cable delay, Right: Single channel RMS resolution from different cable delay test

图8是对 QT 电路的线性扫描后的测量结果。通过对比测量值曲线和最小二次拟合后的曲线,可算得到 QT 电路的非线性约为 1.8%。

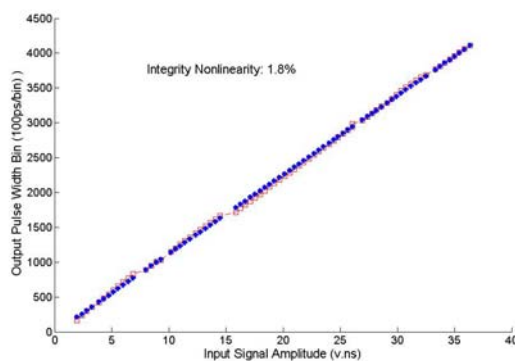


图8 QT 电路的线性测试结果
Fig.8 Linearity of QT circuit

上述时间精度和 QT 线性测试的结果表明,本测试系统能满足 BESIII TOF 对电子学的要求,时间 RMS 精度好于 25 ps,电荷非线性小于 2%。

4 结语

本 FEE 测试系统采用了虚拟仪器的思想,通过利用 VXI PnP 制定的虚拟仪器软件架构将实验室中已有的测试设备互连起来,使得在 PC 上通过简单的命令就可以对 FEE 读出板进行自动测试,大大方

便了测试操作,加快了测试进度。目前已经利用该测试系统完成了一个 16 通道的 FEE 板测试。

参考文献

- 1 BES Collaboration. Nucl Instr Meth, 2001, **A458**: 627—637
- 2 郭建华, 刘树彬, 周世龙, 等. 高能物理与核物理, 2006, **30**(8): 761—766
GUO Jianhua, LIU Shubin, ZHOU Shilong, *et al.* HPP & NP, 2006, **30**(8): 761—766
- 3 赵会兵编著. 虚拟仪器技术规范与系统集成. 清华大学出版社, 2003 年 8 月
ZHAO Huibing. Virtual instrument specification and system integration. Tsinghua University Press, 2003
- 4 张黎明, 彭海平, 邵明, 等. 高能物理与核物理, 2003, **27**(12): 1109—1113
ZHANG Liming, PENG Haiping, SHAO Ming, *et al.* HEP & NP, 2003, **27**(12): 1109—1113

Design of BESIII TOF FEE test system

GUO Jianhua LIU Shubin FENG Changqing LI Hao AN Qi

(Fast Electronics Lab of Modern Physics Department of USTC, Hefei 230026, China)

Abstract The TOF FEE of BESIII consists of 448 channels, which imply a great challenge in their test and calibration. In this paper, a test system based on the idea of virtual instrument for TOF FEE is described in detail. Some test results from the system are given.

Key words TOF FEE (Time-of-Flight Front End Electronic), Virtual instrument, VISA (Virtual instrument software architecture), SCPI (Standard command for programmable instruments), VME (Versa Module Eurocard)

CLC TL8, TP2