



UNIVERSITAT DE
BARCELONA

Inicialització amb Ultra96-V2

Nom de l'alumne: Héctor Rubio León

Grau: Enginyeria Electrònica de Telecomunicació

**Nom de l'empresa o Institució on ha realitzat l'estada: Centre
Tecnològic de Telecomunicacions de Catalunya (CTTC)**

Nom del Tutor: Pepe Rubio & Nikolaos Bartzoudis

Període de temps en que s'ha fet l'estada:

03/07/2024 - 16/08/2024

Data d'entrega de l'informe: xx/09/2024

Introducción✓

La institución a la que asistí para realizar las prácticas de la asignatura Prácticas en Empresa es el CTTC (Centre Tecnològic de Telecomunicacions de Catalunya), una organización privada sin ánimo de lucro financiada por la Generalitat de Catalunya junto a colaboraciones de investigación y desarrollo sobre tecnologías relacionadas con los sistemas de comunicaciones. Este centro de investigación realiza todo tipo de actividades relacionadas con ADAPT (Adaptive Processing Technologies), procesamiento de señales e información, inteligencia artificial, recientemente incorporaron la geomática, entre muchas otras.

Objetivos de la estancia ✓

Los objetivos de la estancia son el aprender a rasgos generales conceptos o características de la electrónica que se han mostrado en la carrera o se ha dado una pinzellada, referente tanto a memorias, procesadores, etc.

Aprender el proceso a seguir para poner en uso una nueva placa, junto a su programación y testeo.

Conocer la metodología de trabajo en una empresa basada en la investigación sobre electrónica.

Aunque sobre todo el objetivo principal es adquirir todo el conocimiento posible y la experiencia sobre qué se hace y cómo se hace la investigación en un centro tan prestigioso como es el CTTC.

Detalle de las actividades llevadas a cabo✓

En primer lugar, sabiendo que durante el transcurso de la carrera se había utilizado diferentes dispositivos, PCBs, FPGAs, etc. con un objetivo académico, una de las primeras tareas era el comparar, tanto prestaciones como aplicaciones, la FPGA con la que se iba a trabajar en el centro de investigación, la Ultra96-V2, con la utilizada en asignaturas de la carrera, la DE0-CV.

En segundo lugar, conociendo las capacidades de la placa que se iba a utilizar, se llevó a cabo un proceso de aprendizaje de la herramienta de diseño Vivado, que gracias a que en la carrera también se utilizó una, como es Quartus, también se pudo hacer una comparación de los softwares.

Finalmente, con todo lo aprendido se pudo empezar a diseñar sistemas e incorporarlos a la Ultra96-V2 utilizando el software de programación y depuración Vitis, el cual también tuvo su etapa de aprendizaje. Se exploraron y configuraron aplicaciones de ejemplo que se pueden encontrar en el repositorio de aplicaciones de AMD, Hackster.io o element14.

Como extra, también se asistió a la tercera edición del "Workshop" realizado por el CTTC en Sitges el 05/07/2024 donde se hizo una exposición sobre las investigaciones que cada miembro estaba llevando a cabo. Entre ellas se encuentran: «Run-time context-driven reconfiguration of functions running in a FPGA SoC device» de Pepe Rubio, «Micro-orchestration of RAN Functions Accelerated in FPGA SoC Devices» de Nikolaos Bartzoudis, entre muchas otras.

Motivación Ultra96-V2✓

El principal objetivo de utilizar la placa ordenador Ultra96-V2 es el de disponer de las máximas prestaciones disponibles en el mercado para poder utilizar el programa de diseño de Vivado a su máximo potencial. También, porque esta permite posibilidades que la utilizada en la carrera no dispone, ya sea la utilización de una cámara, permitir conexión Wi-Fi / Bluetooth, e incluso Ethernet, ... por supuesto además de su muy superior capacidad de procesamiento de información.

Con todo lo anteriormente mencionado se puede diseñar un sistema mucho más complejo que con la DE0-CV y que el rendimiento sea óptimo. Y, por si fuera poco, se puede utilizar en el diseño la herramienta Vivado ya que dispone de la Ultra96-V2 en su abanico de opciones.

Ultra96-V2 VS DE0-CV✓

En esta sección vamos a comparar las prestaciones de la placa ordenador utilizada en las prácticas del CTTC con la placa de desarrollo utilizada durante la carrera.

Ultra96-V2	DE0-CV
Placa ordenador	Placa desarrollo
Xilinx Zynq UltraScale+ MPSoC ZU3EG SBVA484	Cyclone V E 5CEBA4F23C7N
4 LEDs y 2 de radio controlables	10 LEDs controlables
Micro SD Card	Micro SD Card
Wi-Fi / Bluetooth (mediante UART)(ATWILC300-MR110CA)	No lo ofrece
No Displays 7-segmentos	6 Displays 7-segmentos
Ethernet mediante conectores o USB	No lo ofrece
1 botón + 1 de reset	4 botones + 1 de reset
2 interruptores para seleccionar Boot Mode	10 interruptores (switches)
Mini DisplayPort	Conector de vídeo (VGA) (Video Graphics Array)
Protocolo MIPI (Mobile Industry Processor Interface) para conectar cámaras	Puerto Serie (PS/2) para utilizar teclado y ratón a la vez
Memoria LPDDR4 de 2GB	Memoria SDRAM de 64 MB
UART mediante un header de 4 pines o utilizando el JTAG/UART Pod (accesorio) (hay que cambiar una resistencia de posición para utilizar esta función)	JTAG (UART) mediante USB y activando un switch (10)
I2C	No lo ofrece

SPI	SPI
No hace falta cristal externo (interno de 25 MHz) y genera 5 frecuencias (33.3 (para el procesador), 27, 26, 25 y 24 MHz)	Cristal de 50 MHz para 4 clocks
1 conexión USB 3.0 (4.8Gbps) para subida de datos, 2 de bajada USB 3.0 y 1 de bajada USB 2.0 (480Mbps)	1 puerto USB Blaster
Comercial e industrial	Comercial
78 I/O multiplexadas para periféricos, 22 I/O alta densidad, 31 alto rendimiento, 40 pines de baja velocidad y 60 de alta	484 pines
154.350 celdas lógicas	49.000 elementos lógicos
141.120 CLB FFs (Complex Logic Blocks Flip-Flops)	
70.560 CLB LUTs (Look Up Tables)	1 LUT con 8 entradas con la posibilidad de ocupar el 25 % de los ALMs
	18.480 ALMs (Adaptative Load Management)
7.6 Mb bloque RAM	3080 Kb bloque RAM
360 DSP	66 bloques DSP
3 CMTs (Compression Mount Technology)	0
2 System Monitor	0
	73.920 registros

Tabla 1. Comparación recursos entre Ultra96-V2 y DE0-CV

Nota: Los recuadros en blanco quiere decir que no se ha encontrado esa información en la documentación o no se proporciona información numérica respecto a esa característica.

AMD Zynq™ UltraScale+™ EG VS Cyclone V✓

Como uno de los elementos más importantes de un sistema es su capacidad de procesamiento de información, al igual que se ha hecho con las FPGAs, se van a comparar las prestaciones de sus procesadores. En el caso de la Cyclone V se va a considerar el modelo con más prestaciones, catalogado como HPS, porque si no, no se podría realizar esta comparación, ya que directamente no tiene procesador.

AMD Zynq™ UltraScale+™	Cyclone V HPS
4 procesadores Arm Cortex-A53 y 2 Arm Cortex-R5F	Procesador dual-core Arm Cortex-A9 MPCore
GPU (Arm Mali-400 MP2 de 667 MHz)	No lo ofrece
252 GPIOs	224 GPIOs
9.4 Mb RAM	
Cortex-A53	Cortex-A9
APU (Application Processing Unit)	APU
Arquitectura de 64 bits (Arm v8-A)	Arquitectura de 32 bits (Arm v7-A)
4 SP / 2 DP FLOPs (Floating-point operations per second)	2.5 DIMPS/MHz (Los DIMPS son cálculo de enteros, no de coma flotante) por procesador (CPU)
1.5 GHz de CPU	1 GHz de CPU
32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB)	32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB)
1MB de caché L2	256KB de caché L2
Incluye NEON (SIMD) con instrucciones de coma flotante de precisión simple y doble	Incluye NEON (SIMD (Single Instruction Multiple Data) y unidad de procesamiento de datos en paralelo) y un vector de coma

	flotante (VFP) como coprocesadores
8 etapas dual-issue pipeline	8 etapas de pipeline
Por cada ciclo de reloj 2 instrucciones avanzan de etapa (dual-issue)	2 instrucciones por ciclo de reloj
MMU (Memory Management Unit) por procesador	MMU por procesador
Cortex-R5F	
RPU (Real-Time Processing Unit)	
Arquitectura de 32 bits (Armv7-A)	
600 MHz de CPU	
32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB)	
128KB TCM (Tightly Coupled Memory)	
MPU (Memory Protection Unit) por procesador	

Tabla 2. Comparación prestaciones procesadores

Hay que mencionar que hay infinidad de información respecto a las prestaciones de los dispositivos electrónicos, aquí se ha resumido brevemente varias de ellas que han sido innovadoras para un servidor, características conocidas ya que se ha visto durante la carrera o que realmente son importantes. Prestaciones que no se ha incluido son como por ejemplo la medida de las instrucciones, de cuántos caminos son las distintas cachés, las interrupciones, etc.

Vivado VS Quartus ✓

Lo primero que entra por los ojos al utilizar un programa, ya sea de diseño, simulación... es si su interfaz es intuitiva o si, por el contrario, encontrar dónde está cada opción disponible es una tarea en sí. Aquí Vivado gana respecto a Quartus ya que su interfaz es un poco más compacta y permite encontrar lo que necesitas más rápidamente.

En el momento de estar escribiendo código, Vivado resalta sintaxis que detecta que es incorrecta, mientras que Quartus no tiene esa opción. Para ello, habría que descargar un Notepad con esa función como Sublime Text.

Otra de las opciones de las que dispone Vivado es el completar una línea de código previendo lo que se va a escribir, esto puede gustar más o menos, pero se puede desactivar, aunque hace más cómodo el proceso de escribir. Quartus no dispone de esta posibilidad y si se quiere se ha de buscar un Notepad con esta opción, Sublime Text dispone de esto.

Algo bueno que tiene Quartus son sus diagramas de máquinas de estado, ya que son bastante visuales.

Y una de las mayores ventajas de Vivado respecto a Quartus es sin lugar a duda la posibilidad de hacer una simulación en el propio programa en vez de tener que lanzar la simulación a otro como por ejemplo ModelSim, como pasa con Quartus.

Otra gran característica de Vivado es que puedes ver cuánto ocupa tu diseño en el propio dispositivo, como está enrutado, los caminos "worst case" y sus tiempos, etc. Quartus dispone de análisis temporales, pero no de una forma tan visual.

Lo que sí es cierto es que como Vivado es de Xilinx y Quartus de Intel, si quieres utilizar un hardware en concreto, tienes que utilizar la herramienta que dispone él.

Vitis VS Code Composer✓

Como último software comparable con uno utilizado en la carrera, encontramos la herramienta de programación y depuración.

A rasgos generales, Vitis y Code Composer tienen grandes similitudes. La interfaz es muy parecida, la capacidad de debugging, las mismas posibilidades de utilizar distintos lenguajes, ...

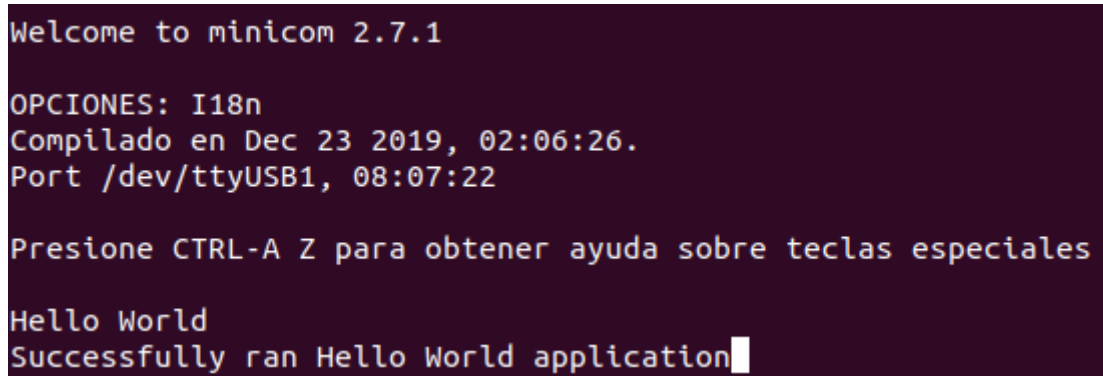
Al igual que se comentó en el punto anterior, si se está interesado en utilizar ciertos equipos no hay más remedio que emplear las herramientas proporcionadas que dan soporte a ese hardware.

Outputs de programas realizados

Durante la etapa de aprendizaje se fueron realizando varios programas para ir aprendiendo y acostumbrándose a los entornos de trabajo.

Lo primero que se llevó a cabo fue el típico programa de «Hello World». Donde por el puerto serie se mostraba el mensaje en cuestión.

En el primer programa se utilizaron los procesadores Arm Cortex-A53 utilizando un template que proporciona Vitis con la aplicación de «Hello World»:



```
Welcome to minicom 2.7.1

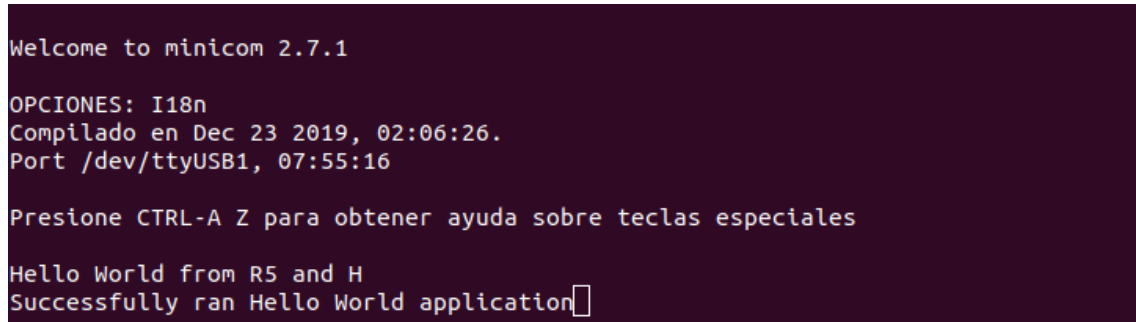
OPCIONES: I18n
Compilado en Dec 23 2019, 02:06:26.
Port /dev/ttyUSB1, 08:07:22

Presione CTRL-A Z para obtener ayuda sobre teclas especiales

Hello World
Successfully ran Hello World application
```

Ilustración 1. Mensaje por terminal del programa Hello World utilizando el A53

Y luego se hizo lo mismo utilizando los procesadores Arm Cortex-R5F cambiando el código para que también escribiese «and H»:



```
Welcome to minicom 2.7.1

OPCIONES: I18n
Compilado en Dec 23 2019, 02:06:26.
Port /dev/ttyUSB1, 07:55:16

Presione CTRL-A Z para obtener ayuda sobre teclas especiales

Hello World from R5 and H
Successfully ran Hello World application
```

Ilustración 2. Mensaje por terminal del programa Hello World modificado utilizando el R5

Además de disponer de plantillas para un programa donde simplemente se hace un print por pantalla, también hay otros más complejos como lo que se verán a continuación:

Memoria:

```
Welcome to minicom 2.7.1

OPCIONES: I18n
Compilado en Dec 23 2019, 02:06:26.
Port /dev/ttyUSB1, 08:52:48

Presione CTRL-A Z para obtener ayuda sobre teclas especiales

--Starting Memory Test Application--
NOTE: This application runs with D-Cache disabled.As a result, cacheline requests will not be generated
Testing memory region: psu_ddr_0_MEM_0
    Memory Controller: psu_ddr_0
        Base Address: 0x0
            Size: 0x7FF00000 bytes
            32-bit test: PASSED!
            16-bit test: PASSED!
            8-bit test: PASSED!
--Memory Test Application Complete--
Successfully ran Memory Test Application
```

Ilustración 3. Mensaje por terminal de un programa que hace de test a una memoria

Periféricos:

```
Running XZdma_SelfTestExample() for psu_gdma_7...
XZdma_SelfTestExample PASSED

Running Interrupt Test for psu_gdma_7...
ZDMA Simple Example PASSED

Running IicPsSelfTestExample() for psu_i2c_1...
IicPsSelfTestExample PASSED

Running SpiPsSelfTestExample() for psu_spi_0...
SpiPsSelfTestExample PASSED

Running SpiPsSelfTestExample() for psu_spi_1...
SpiPsSelfTestExample PASSED

Running Interrupt Test for psu_ttc_0...
TtcIntrExample PASSED

Running Interrupt Test for psu_ttc_1...
TtcIntrExample PASSED

Running Interrupt Test for psu_ttc_2...
TtcIntrExample PASSED

Running Interrupt Test for psu_ttc_3...
TtcIntrExample PASSED

Running WdtPsSelfTestExample() for psu_wdt_0...
WdtPsSelfTestExample PASSED

Running WdtPsSelfTestExample() for psu_wdt_1...
WdtPsSelfTestExample PASSED
---Exiting main---
```

Ilustración 4. Mensaje por terminal de un programa de test de los periféricos

En este test hay muchos más mensajes, pero se han omitido.

Diferentes tipos de test a la DRAM de una Cortex-A53:

```
*****
Zynq MPSoC
DRAM Diagnostics Test (A53)
*****
Select one of the options below:

+-----+
| Memory Tests |
+-----+
'|0'| Test first 16MB region of DDR
'|1'| Test first 32MB region of DDR
'|2'| Test first 64MB region of DDR
'|3'| Test first 128MB region of DDR
'|4'| Test first 256MB region of DDR
'|5'| Test first 512MB region of DDR
'|6'| Test first 1GB region of DDR
'|7'| Test first 2GB region of DDR
'|8'| Test first 4GB region of DDR
'|9'| Test first 8GB region of DDR
'|m'| Test user specified size in MB of DDR
'|g'| Test user specified size in GB of DDR
+-----+
| Eye Tests |
+-----+
'|r'| Perform a read eye analysis test
'|w'| Perform a write eye analysis test
'|c'| Perform a 2-D read eye analysis test
'|e'| Perform a 2-D write eye analysis test
'|a'| Print test start address
'|l'| Select Number of Iterations for Memory/Read/Write-Eye/2D test
'|t'| Specify test start address (default=0x0)
'|s'| Select the DRAM Rank (default=0)
+-----+
| Miscellaneous options |
+-----+
'|i'| Print DDR information
'|v'| Verbose Mode ON/OFF
'|o'| Toggle cache enable/disable
'|b'| Toggle between 16/32/64-bit bus widths
'|q'| Exit the DRAM Test
'|h'| Print this help menu
+-----+

Bus Width = 32, D-cache is enable, Verbose Mode is OFF, DDR ECC is DISABLED
Enter 'h' to print help menu
Enter Test Option: █
```

Ilustración 5. Mensaje por terminal de una multitud de tests disponibles para una DRAM del A53

En el menú de selección de test si se teclea '1':

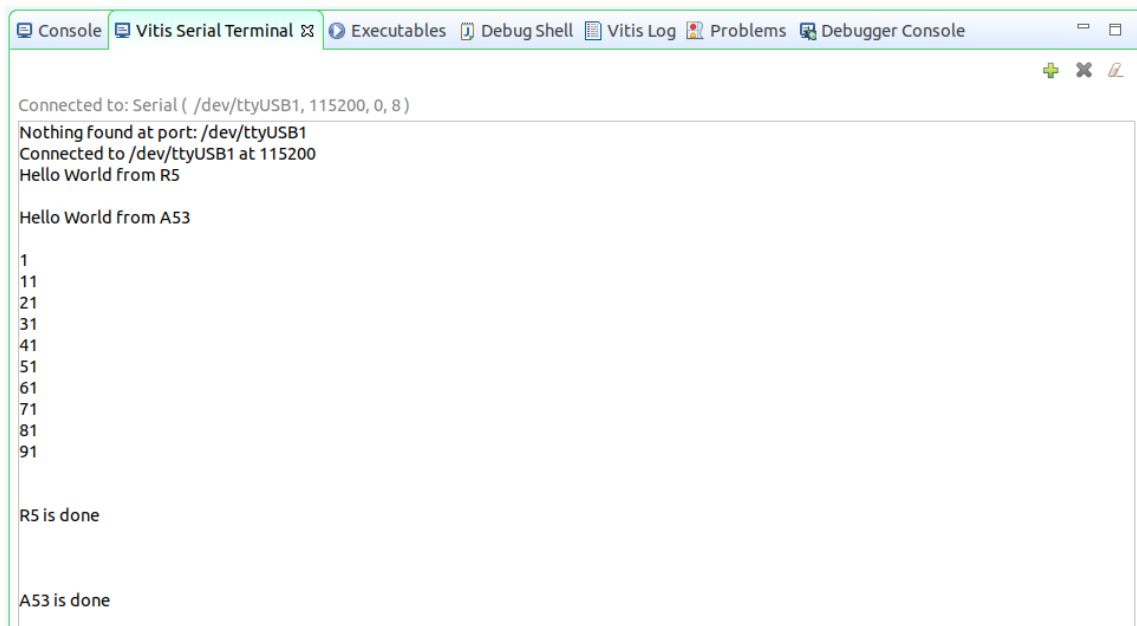
```
Starting Memory Test...
32MB length - Address 0x0...

+-----+
| TEST | ERROR | PER-BYTE-LANE | ERROR COUNT | TIME |
| COUNT | #0 , #1 , #2 , #3 | (sec) |
+-----+
MT0( 0) | 0 | 0, 0, 0, 0 | 0.410584
MT0( 1) | 0 | 0, 0, 0, 0 | 0.439815
MT0( 2) | 0 | 0, 0, 0, 0 | 0.439804
MT0( 3) | 0 | 0, 0, 0, 0 | 0.439809
MT0( 4) | 0 | 0, 0, 0, 0 | 0.439803
MT0( 5) | 0 | 0, 0, 0, 0 | 0.439805
MT0( 6) | 0 | 0, 0, 0, 0 | 0.439808
MT0( 7) | 0 | 0, 0, 0, 0 | 0.439810
MT0( 8) | 0 | 0, 0, 0, 0 | 0.439802
MT0( 9) | 0 | 0, 0, 0, 0 | 0.508916
MT0(10) | 0 | 0, 0, 0, 0 | 0.508925
MT0(11) | 0 | 0, 0, 0, 0 | 0.697522
MT0(12) | 0 | 0, 0, 0, 0 | 0.697546
MT0(13) | 0 | 0, 0, 0, 0 | 0.697539
MT0(14) | 0 | 0, 0, 0, 0 | 0.697537
+-----+

Bus Width = 32, D-cache is enable, Verbose Mode is OFF, DDR ECC is DISABLED
Enter 'h' to print help menu
Enter Test Option: █
```

Ilustración 6. Mensaje por terminal del test seleccionado

Utilizar a la vez el A53 y el R5:



```
Connected to: Serial ( /dev/ttyUSB1, 115200, 0, 8 )
Nothing found at port: /dev/ttyUSB1
Connected to /dev/ttyUSB1 at 115200
Hello World from R5

Hello World from A53

1
11
21
31
41
51
61
71
81
91

R5 is done

A53 is done
```

Ilustración 7. Mensaje por el terminal de Vitis del programa que utiliza simultáneamente el A53 y el R5

Aquí se crearon dos dominios, uno para el A53 y otro para el R5, en que en ambas aplicaciones se iban a ejecutar simultáneamente apuntando a la misma dirección de memoria. El A53 iría sumando 9 al valor que hubiese en la posición de memoria 10 veces, y el R5 lo mismo, pero sumando 1. Se añadieron mensajes para saber cuándo empezaban y cuándo acababan. Además, la aplicación del A53, aparte de ir sumando 9, hace un print del valor que hay en esa posición de memoria. Por eso, como el que empieza es el R5, se hace un print del valor en memoria que es el 1 sumado por el R5 y entonces es cuando el A53 le suma 9. Todo esto se muestra en el propio terminal serie de Vitis, a diferencia de las ilustraciones anteriores que se muestran mediante el GtkTerm.

Accediendo a la Ultra96-V2 mediante Ethernet:

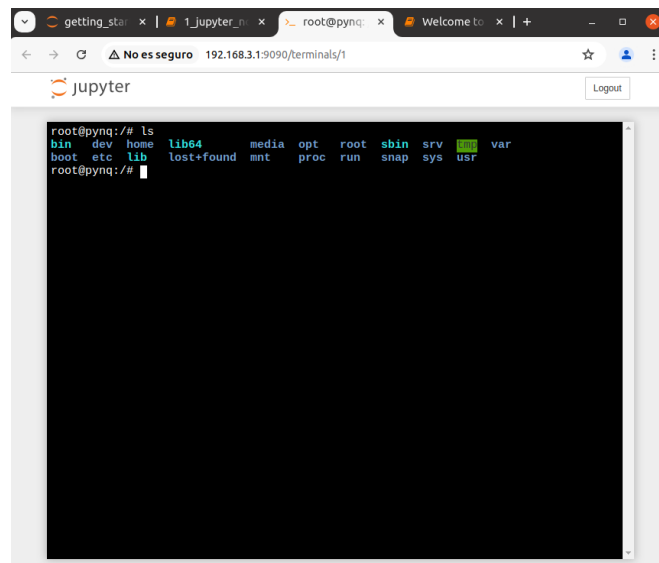


Ilustración 8. Utilizando Jupyter desde Ultra96-V2

Mediante la tarjeta MicroSD, se flasheo una imagen la cual permitía conectar el PC con la placa mediante Ethernet, y como se puede apreciar en la fotografía, se le asignó el IP 192.168.3.1 a la Ultra. No solo eso, sino que también se podían ejecutar scripts de Python en la propia placa.

Utilizando cámara USB en monitor DisplayPort:

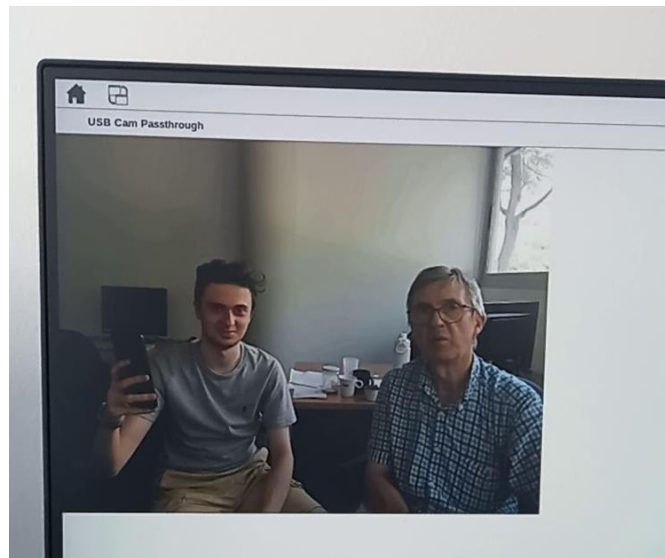


Ilustración 9. Captura de la salida de vídeo de la cámara por monitor

El resultado de uno de los proyectos realizados era el poder utilizar la cámara USB conectada a la Ultra y obtener su salida de vídeo por el monitor también conectado a la placa.

Utilizando cámara USB mediante script de Python:

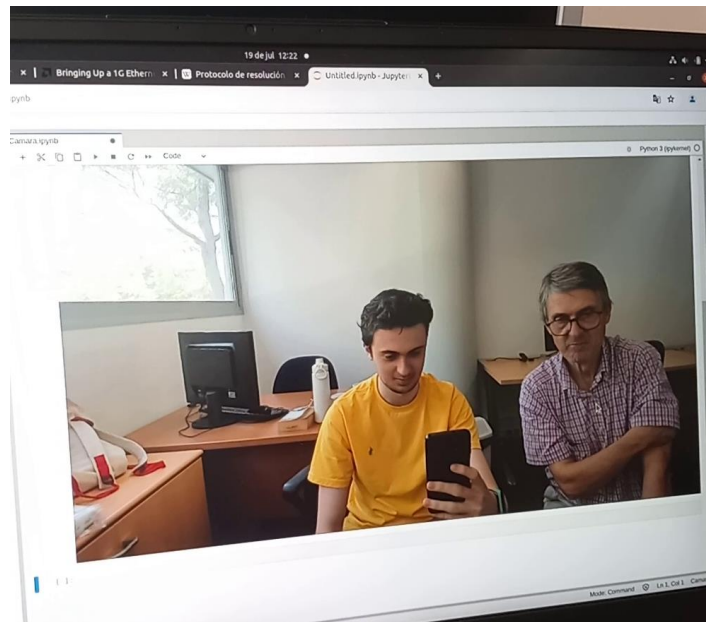


Ilustración 10. Captura de la salida de vídeo de la cámara con script de Python

Realizando una pequeña modificación del mismo proyecto de la ilustración anterior se pudo utilizar la cámara USB mediante un script de Python.

Utilizando modelo de reconocimiento facial con la DPU de la Ultra:



Ilustración 11. Captura de la salida de vídeo de la cámara por SSH (Secure Shell) utilizando reconocimiento facial

Otro de los proyectos realizados era utilizar uno de los tantos modelos disponibles, compilarlo e introducirlo a la DPU de la Ultra96-V2 y obtener un feedback de ello.

Debido a la multitud de problemas que surgieron durante el uso de la Ultra96-V2, entre ellos el módulo WiFi defectuoso, se decidió utilizar otra placa de desarrollo que había disponible, la KV260. A continuación, se encuentran un par de capturas de los programas realizados con esta:

El primero de ellos se basa en utilizar la cámara USB utilizando un modelo para reconocimiento facial en la DPU, al igual que se ha hecho con la Ultra.

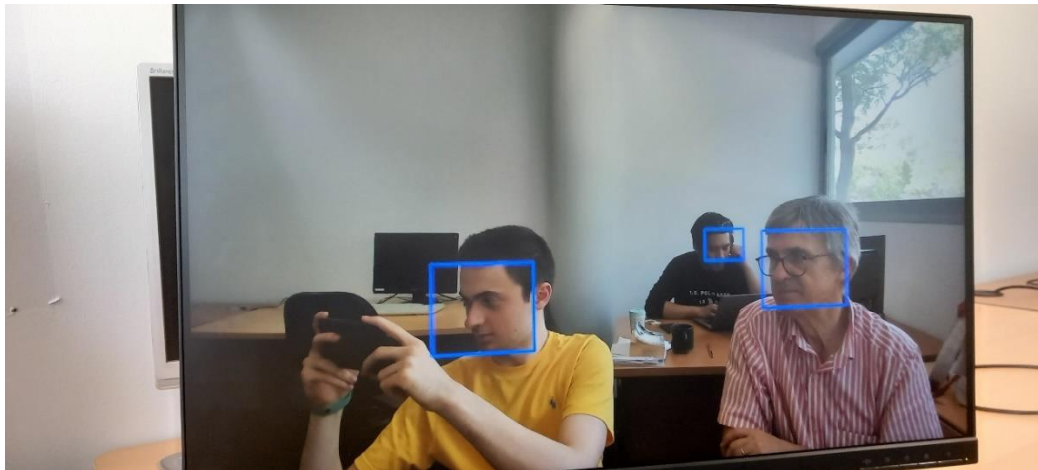


Ilustración 12. Captura de la salida de vídeo de la cámara USB por monitor utilizando un modelo de reconocimiento facial en la DPU de la KV260

El segundo es un modelo de reconocimiento de cuerpo, aunque también distingue coches, autobuses, motos, etc. Pero esta vez es utilizando el protocolo de vídeo MIPI con una minicámara que dispone la KV260, en vez de la cámara USB.

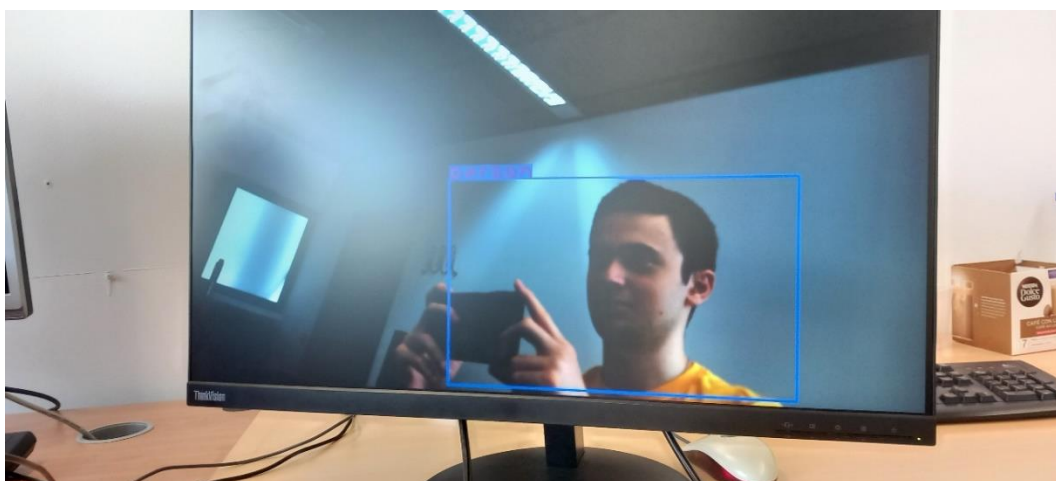


Ilustración 13. Captura de la salida de vídeo de la minicámara por monitor utilizando un modelo de reconocimiento de objetos

Otros programas de menor índole:

- Encender LEDs mediante GPIOs
- Encender propios LEDs de la placa

Problemáticas

Durante el transcurso de la estancia han surgido infinidad de problemáticas. Varias de ellas son:

- Falta de soporte de información en cuanto a problemas referentes a la Ultra96-V2.
- Otro detalle importante es la especificación del HW necesario. Con esto se refiere a que por ejemplo el cable para conectar el monitor es Mini DisplayPort en vez de DisplayPort como suele ser común, lo cual provoca una mayor complicación a la hora de obtenerlo. Y por si fuera poco, no vale cualquier cable, además tiene que ser activo.
- También que la placa a pesar de tener un disipador se calienta muchísimo debido a que han sido muy ambiciosos, poniendo muchos componentes en poco espacio y esto provoca errores de diseño aparte de requerir de un ventilador que ni ellos mismos proporcionan ni mencionan y que ni han pensado en ello, ya que no hay los típicos dos pin headers para conectar el ventilador.
- Han hecho lo que se denomina un SFF (Small Form Factor). Provocando que el USB 3.0 Micro-B esté muy pegado al otro USB 3.0 A y sea difícil utilizar ambos a la vez. Hablando de utilizar varias cosas al unísono, otro error de diseño es la cantidad de puertos disponibles, si se quiere utilizar por ejemplo un teclado, un ratón, el monitor, Ethernet, ... es totalmente imposible porque no hay suficientes. Una solución es la de utilizar un hub para poder conectar los periféricos. Y en cuanto al propio diseño, hacer como la KV260 y poner un puerto encima de otro y así duplicas los puertos disponibles.
- Algo también a destacar son los “accesorios” que para nada lo son, o los tienes o no se puede usar la Ultra. Ya que entre ellos se encuentra la propia fuente de alimentación, los cables para conectar o el Pod para poder depurar la placa. Cabe decir que esto último no aparece ni en la propia página en el apartado “Accesorios”.

- En multitud de proyectos o tutoriales referentes a utilizar algún tipo de aplicación en la placa, el guion es incompleto, ya sea porque hacen faltas más modificaciones o añadidos que no se mencionan o que directamente debido a la falta de algún elemento de software que debería de ser proporcionado o por algún error que no se ha solucionado, no se puede finalizar el proyecto.
- Pero sobre todo el mayor problema y fastidio ha sido que el módulo WiFi fuera defectuoso. A continuación, se adjunta una imagen con la demostración del código de fecha y un recorte del artículo oficial donde se menciona este incidente:



Subject: Non-Functional WiFi on AES-ULTRA96-V2-G boards.

Products Affected: This Errata affects only those AES-ULTRA96-V2-G boards built between December 2022 and May of 2023.

AES-ULTRA96-V2-G

Description:

The affected boards were built and shipped with an incompatible component installed at ref. Y1 which controls the timing on the WiFi module.

Product Identification:

Boards built between workweek 45 of 2022 and workweek 23 of 2023 are all affected by this errata. To determine the manufacturer date code of your board, locate the product sticker affixed to your board, and read the last 4 digits. Note that the product sticker may be located under the heatsink and require that to be removed to expose it.



YYWW (17th week of 2019)

Conclusiones generales sobre el trabajo realizado✓

Como conclusiones generales sobre el trabajo realizado en el CTTC puedo afirmar con total seguridad, desde mi humilde opinión, que el trabajo realizado ha sido satisfactorio y muy de provecho.

Respecto a estar trabajando con la placa ordenador Ultra96-V2, hay que mencionar que es notorio las prestaciones de las que esta dispone y como gracias a esto, todo el proceso de trabajo ha sido muy llevadero.

Al igual que con la FPGA, con el entorno de diseño de Vivado ha sucedido una cosa similar. Ha sido muy sencillo llevar a cabo todo lo propuesto a realizar con esta herramienta porque es inteligible y potente.

Se ha logrado cumplir todos los objetivos con éxito en la franja de tiempo disponible para realizar las prácticas.

Finalmente, el aprendizaje ha sido muy bueno teniendo en cuenta las pocas horas disponibles para este.

Conclusiones personales ✓

Como conclusiones personales de mi estancia en el CTTC puedo extraer como lo aprendido en la carrera tiene una aplicación en el mercado laboral, no solo la parte teórica, los conceptos, fundamentos o leyes matemáticas, sino también la parte práctica, como es el montar, programar o incluso soldar.

Otra a destacar es la dificultad de la investigación en términos generales, es relativamente sencillo replicar algo si tienes la receta, pero de ahí a tener que idear o pensar una nueva forma o método para inventar algo nuevo o mejorar algo ya creado, no es una tarea que todo el mundo pueda hacerlo con facilidad.

Como conclusión final, puedo decir que todavía me falta muchísimo para aprender, y eso es una motivación para mí.

Lecciones aprendidas✓

Con todo el trabajo que se ha llevado a cabo durante aproximadamente un mes y medio se han aprendido muchas lecciones. Entre ellas se encuentra la utilización del SSH para poder acceder a la Ultra96-V2 utilizando el propio PC, el puerto serie para poder depurar al ejecutar la placa, la librería GStreamer, el protocolo de vídeo DisplayPort, la gran utilidad de las DPU (Deep Learning Processor Unit), el uso del docker, el uso de imágenes para cargar la placa, entre muchísimas otras que seguro se han dejado sin mencionar. Eso sí, uno de los aprendizajes más claves es el uso de los comandos en Linux y Petalinux, ya que prácticamente no se conocían. Finalmente y posiblemente el aprendizaje más importante de todos, el buscarse la vida, ya que en reiteradas ocasiones al seguir un tutorial o un proyecto lo que sucedía es que se presentaban errores que no se comentaban o ni siquiera se mencionaban y era momento de ponerse a investigar en los ficheros en que habían problemas (con suerte, si se mencionaba el tipo de error y en que fichero aparecía) o buscar por Internet a ver si a más usuarios les había sucedido lo mismo y los responsables en cuestión habían dado respuesta (pocas veces).

Repositorio GitHub ✓

Para finalizar el trabajo se recopiló y almacenó todo lo realizado durante la estancia en el CTTC en un repositorio GitHub para que así quede constancia y sea de fácil acceso para cualquier interesado que quisiera replicarlo.

El link es el siguiente: <https://github.com/hrl-112/CTTC-Internship>

Agradecimientos ✓

Para finalizar mi explicación sobre la estancia en el CTTC quería agradecer en primer lugar a la propia institución por acogerme con los brazos abiertos, ya que ha sido una estancia muy gratificante e importante para mí. Y más personalmente a aquellas personas que han estado más en contacto conmigo durante estos meses. En primer lugar, a Laura Casaus, por ser aquella persona que fue la que se encargó de todo el proceso para ponerse en contacto conmigo y la UB de una forma fantástica y eficiente para que pudiese hacer las prácticas, además que el primer día que llegue me presentó todo el centro. También a Mario Isaac, por ser aquel conserje que todo el mundo querría tener al lado, muy servicial a la par que gracioso, además de ser aquella persona que acudía en tu ayuda cuando te perdías por los pasillos o no sabías dónde estaba el baño (no sé si poner lo del baño o no). Además, a Nikolaos Bartzoudis, por ser aquella persona que sabe, y sabe hacer de todo, es aquel que si no sabes sobre algo él te lo explica de una forma detallada y concisa. Por no mencionar que es un jefe como pocos, sonriente y alegre que no te echa la bronca cada dos por tres. Y finalmente, sin lugar a duda la persona que más me ha ayudado durante mi estada, José Rubio, aquella persona que a pesar de todo el trabajo que tenía por hacer, no dudaba en ningún momento en echarme una mano si tenía algún problema o no sabía/entendía qué tenía que hacer. Además de proporcionarme todos los materiales, dispositivos, programas, etc. necesarios y de mejor calidad para poder realizar las prácticas sin ningún problema y de la forma más cómoda posible.

Referencias bibliográficas

CTTC. <https://www.cttc.cat/>

PMT-CENTRO TECNOLÓGICO DE TELECOMUNICACIONES DE CATALUÑA (CTTC). Ajuntament de Castelldefels. <https://www.castelldefels.org/es/ciudad/guia-de-la-ciudad/directorio-equipamientos-y-entidades/22587>

Ultra96-V2. AVNET. <https://www.avnet.com/wps/portal/us/products/avnet-boards/avnet-board-families/ultra96-v2/>

Xilinx Zynq UltraScale+MPSoC. AMD. <https://www.amd.com/en/products/adaptive-socs-and-fpgas/soc/zynq-ultrascale-plus-mpsoc.html#tabs-0e7c9e4014-item-89fcd7ef51-tab>

Clock System Ultra96-V2. 5P49V6975. Renesas. <https://www.renesas.com/us/en/products/clocks-timing/clock-generation/programmable-clocks/5p49v6975-versaclock-6e-programmable-clock-generator-integrated-crystal>

Zynq® UltraScale+™ MPSoC Data Sheet: Overview. AMD. <https://docs.amd.com/v/u/en-US/ds891-zynq-ultrascale-plus-overview>

Zynq 7000 SoC Technical Reference Manual (UG585). AMD. <https://docs.amd.com/r/en-US/ug585-zynq-7000-SoC-TRM/Dual/Single-Arm-Cortex-A9-MPCore-CPU-with-Arm-v7>

Zynq UltraScale+ Device Technical Reference Manual (UG1085). AMD. <https://docs.amd.com/r/en-US/ug1085-zynq-ultrascale-trm/Zynq-UltraScale-Device-Technical-Reference-Manual>

DE0-CV Board. ter asIC. <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=163&No=921&PartNo=4>

Cyclone V. Intel. <https://cdrdv2.intel.com/v1/dl/getContent/666692?explicitVersion=true>

5CEBA4F23C7N Altera. Mouser Electronics. <https://www.mouser.es/ProductDetail/Altera/5CEBA4F23C7N?qs=w%252BhYR4jzwbUqcM9aDLI%2FA%3D%3D>

AM437x and AMIC120 ARM® Cortex™-A9 Processors Technical Reference Manual. Texas Instruments. https://www.ti.com/lit/ug/spruhl7i/spruhl7i.pdf?ts=1720064422104&ref_url=https%253A%252F%252Fwww.myirtech.com%252Flist.asp%253Fid%253D510

ARM Cortex-A8: Whats the difference between VFP and NEON. Stack Overflow. <https://stackoverflow.com/questions/4097034/arm-cortex-a8-whats-the-difference-between-vfp-and-neon>

Cortex-A53. ARM Developer. <https://developer.arm.com/Processors/Cortex-A53>

What exactly is a dual-issue processor? Stack Overflow. <https://stackoverflow.com/questions/8014739/what-exactly-is-a-dual-issue-processor>

Getting Started with the Vivado IDE. AMD Xilinx. <https://www.xilinx.com/video/hardware/getting-started-with-the-vivado-ide.html>

Vivado Design Suite User Guide: Getting Started. AMD Xilinx. <https://docs.amd.com/v/u/2018.2-English/ug910-vivado-getting-started>

Xilinx Vivado Tutorial: 1 (Basic Flow). VLSI Techno. <https://www.youtube.com/watch?v=nBdXxRwb-Pg>

How to use vivado for Beginners | Verilog code | Testbench | Schematic View. Anand Raj.
https://www.youtube.com/watch?v=onMmG_U4SVo&t=4s

Ultra96-V2 Vivado 2020.2 Basic Hardware Platform. Bryan H Fletcher.
<https://www.hackster.io/BryanF/ultra96-v2-vivado-2020-2-basic-hardware-platform-6b32b8>

Ultra96-V2 Vitis 2020.2 Hello World from ARM A53. Bryan H Fletcher.
<https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-hello-world-from-arm-a53-2d952a>

Ultra96-V2 Vitis 2020.2 Hello World from ARM R5. Bryan H Fletcher.
<https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-hello-world-from-arm-r5-4548d5>

Ultra96-V2 Vitis 2020.2 Test Applications. Bryan H Fletcher.
<https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-test-applications-9afcbe>

OpenAMP in Xilinx MPSoC FPGA- Running Petalinux & Baremetal. LogicTronix [FPGA Design + Machine Learning Company]. <https://www.hackster.io/LogicTronix/openamp-in-xilinx-mpsoc-fpga-running-petalinux-baremetal-e025ca>

Vitis-AI 3.0 designs for Ultra96-V2 and ZUBoard. Mario Bergeron.
<https://community.element14.com/technologies/fpga-group/b/blog/posts/vitis-ai-3-0-designs-for-ultra96-v2-and-zuboard>

Ultra96v2, Zynq UltraScale+ MPSoC - Flashing LEDs. High Level Synthesis.
<https://www.youtube.com/watch?v=08f23pOl-Tk>

PetaLinux 101 - Getting Started Quickly. Adaptive Computing Developer.
<https://www.youtube.com/watch?v=k03r2Ud42jY>

Path to Programmable III: Ultra96v2 dual-core baremetal AMP (Asymmetric Multi Processing) design - A53, R5. saadtiwana_int. <https://community.element14.com/challenges-projects/design-challenges/pathprogrammable3/b/blog/posts/path-to-programmable-iii-ultra96v2-dual-core-a53-r5-baremetal-operation---vitis-2022-2>

Ultra96-V2 - Building the foundational designs. Mario Bergeron.
<https://www.hackster.io/AlbertaBeef/ultra96-v2-building-the-foundational-designs-e4315f#overview>