

**(Inicialización con Ultra96-V2) TÍTOL DE L’ACTIVITAT REALITZADA??????????????**

**Nom de l’alumne: Héctor Rubio León**

**Grau: Enginyeria Electrònica de Telecomunicació**

**Nom de l’empresa o Institució on ha realitzat l’estada: Centre Tecnològic de Telecomunicacions de Catalunya (CTTC)**

**Nom del Tutor: Pepe Rubio & Nikolaos Bartzoudis**

**Període de temps en que s’ha fet l’estada:**

**03/07/2024 - 16/08/2024**

**Data d’entrega de l’informe: xx/09/2024**

**Introducción**✓

La institución a la que asistí para realizar las prácticas de la asignatura Prácticas en Empresa es el CTTC (Centre Tecnològic de Telecomunicacions de Catalunya), una organización privada sin ánimo de lucro financiada por la Generalitat de Catalunya junto a colaboraciones de investigación y desarollo sobre tecnologías relacionadas con los sistemas de comunicaciones. Este centro de investigación realiza todo tipo de actividades relacionadas con ADAPT (Adaptative Processing Technologies), procesado de señales e información, inteligencia artificial, recientemente incorporaron la geomática, entre muchas otras.

**Objetivos de la estancia** ✓

Los objetivos de la estancia son el aprender a rasgos generales conceptos o caracteristicas de la electrónica que se han mostrado en la carrera o se ha dado una pinzelada, referente tanto a memorias, procesadores, etc.

Aprender el proceso a seguir para poner en uso una nueva placa, junto a su programación y testeo.

Conocer la metodologia de trabajo en una empresa basada en la investigación sobre electrónica.

Aunque sobre todo el objetivo principal es adquirir todo el conocimiento posible y la experiencia sobre qué se hace y cómo se hace la investigación en un centro tan prestigioso como es el CTTC.

**Detalle de las actividades llevadas a cabo✓**

En primer lugar, sabiendo que durante el pranscurso de la carrera se había utilizado diferentes dispostivos, PCBs, FPGAs, etc. con un objetivo académico, una de las primeras tareas era el comparar, tanto prestaciones como aplicaciones, la FPGA con la que se iba a trabajar en el centro de investigación, la Ultra96-V2, con la utilizada en asignaturas de la carrera, la DE0-CV.

En segundo lugar, conociendo las capacidades de la placa que se iba a utilizar, se llevo a cabo un proceso de aprendizaje de la herramienta de diseño Vivado, que gracias a que en la carrera también se utilizó una, como es Quartus, también se pudo hacer una comparación de los softwares.

Finalmente, con todo lo aprendido se pudo empezar a diseñar sistemas e incorporarlos a la Ultra96-V2 utilizando el programa de programación y debugging Vitis, el cual también tuvo su etapa de aprendizaje. Se exploraron y configuraron aplicaciones de ejemplo que se pueden encontrar en el repositorio de aplicaciones de AMD, Hackster.io o element14.

Como extra, también se asistió a la tercera edición del "Workshop" realizado por el CTTC en Sitges el 05/07/2024 donde se hizo una exposición sobre las investigaciones que cada miembro estaba llevando a cabo. Entre ellas se encuentran: «Run-time context-driven reconfiguration of functions running in a FPGA SoC device» de Pepe Rubio, «Micro-orchestration of RAN Functions Accelerated in FPGA SoC Devices» de Nikolaos Bartzoudis, entre muchas otras.

**Motivación Ultra96-V2**✓

El principal objetivo de utilitzar la placa ordenador Ultra96-V2 es el de disponer de las maximas prestaciones disponibles en el mercado para poder utilizar el programa de diseño de Vivado a su máximo potencial. También, porque esta permite posibilidades que la utilizada en la carrera no dispone, ya sea la utilización de una cámara, permitir conexión Wi-Fi / Bluetooth, e incluso Ethernet, ... por supuesto además de su muy superior capacidad de procesado de información.

Con todo lo anteriormente mencionado se puede diseñar un sistema mucho más complejo que con la DE0-CV y que el rendimiento sea óptimo. Y por si fuera poco, se puede utilizar en el diseño la herramienta Vivado ya que dispone de la Ultra96-V2 en su abanico de opciones.

**Ultra96-V2 VS DE0-CV✓**

En esta sección vamos a comparar las prestaciones de la placa ordenador utilizada en las prácticas del CTTC con la placa de desarollo utilizada durante la carrera.

|  |  |
| --- | --- |
| **Ultra96-V2** | **DE0-CV** |
| Placa ordenador | Placa desarrollo |
| Xilinx Zynq UltraScale+ MPSoC ZU3EG SBVA484 | Cyclone V E 5CEBA4F23C7N |
| 4 LEDs y 2 de radio controlables | 10 LEDs controlables |
| Micro SD Card | Micro SD Card |
| Wi-Fi / Bluetooth (mediante UART)(ATWILC300-MR110CA) | No lo ofrece |
| No Displays 7-segmentos | 6 Displays 7-segmentos |
| Ethernet mediante conectores o USB | No lo ofrece |
| 1 botón + 1 de reset | 4 botones + 1 de reset |
| 2 interruptores para seleccionar Boot Mode | 10 interruptores (switches) |
| Mini DisplayPort | Conector de vídeo (VGA) (Video Graphics Array) |
| Protocolo MIPI para conectar cámaras | Puerto Serie (PS/2) para utilizar teclado y ratón a la vez |
| Memoria LPDDR4 de 2GB | Memoria SDRAM de 64 MB |
| UART mediante un header de 4 pines o utilizando el JTAG/UART Pod (accesorio) (hay que cambiar una resistencia de posición para utilizar esta funció) | JTAG (UART) mediante USB y activando un switch (10) |
| I2C | No lo ofrece |
| SPI | SPI |
| No hace falta cristal externo (interno de 25 MHz) y genera 5 frecuencias (33.3 (para el procesador), 27, 26, 25 y 24 MHz) | Cristal de 50 MHz para 4 clocks |
| 1 conexión USB 3.0 (4.8Gbps) para subida de datos, 2 de bajada USB 3.0 y 1 de bajada USB 2.0 (480Mbps) | 1 puerto USB Blaster |
| Comercial e industrial | Comercial |
| 78 I/O multiplexadas para periféricos, 22 I/O alta densidad,31 alto rendimiento, 40 pines de baja velocidad y 60 de alta | 484 pines |
| 154.350 celdas lógicas | 49.000 elementos lógicos |
| 141.120 CLB FFs (Complex Logic Blocks Flip-Flops) |  |
| 70.560 CLB LUTs (Look Up Tables) | 1 LUT con 8 entradas con la posibilidad de ocupar el 25 % de los ALMs |
|  | 18.480 ALMs (Adaptative Load Management) |
| 7.6 Mb bloque RAM | 3080 Kb bloque RAM |
| 360 DSP | 66 bloques DSP |
| 3 CMTs (Compression Mount Technology) | 0 |
| 2 System Monitor | 0 |
|  | 73.920 registros |

Nota: Los recuadros en blanco quiere decir que no se ha encontrado esa información en la documentación o no se proporciona información numérica respecto a esa característica.

#### **AMD Zynq™ UltraScale+™ EG VS** **Cyclone V✓**

#### Como uno de los elementos más importantes de un sistema es su capacidad de procesado de información, al igual que se ha hecho con las FPGAs, se van a comparar las prestaciones de sus procesadores. En el caso de la Cyclone V se va a considerar el modelo con más prestaciones, catalogado como HPS, porque sino no se podría realizar esta comparación, ya que directamente no tiene procesador.

|  |  |
| --- | --- |
| **AMD Zynq™ UltraScale+™** | **Cyclone V HPS** |
| 4 procesadores Arm Cortex-A53 y 2 Arm Cortex-R5F | Procesador dual-core Arm Cortex-A9 MPCore |
| GPU (Arm Mali-400 MP2 de 667 MHz) | No lo ofrece |
| 252 GPIOs | 224 GPIOs |
| 9.4 Mb RAM |  |
| **Cortex-A53** | **Cortex-A9** |
| APU (Application Processing Unit) | APU |
| Arquitectura de 64 bits (Arm v8-A) | Arquitectura de 32 bits (Arm v7-A) |
| 4 SP / 2 DP FLOPs (Floating-point operations per second) | 2.5 DIMPS/MHz (Los DIMPS son cálculo de enteros, no de coma flotante) por procesador (CPU) |
| 1.5 GHz de CPU | 1 GHz de CPU |
| 32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB) | 32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB) |
| 1MB de caché L2 | 256KB de caché L2 |
| Incluye NEON (SIMD) con instrucciones de coma flotante de precisión simple y doble | Incluye NEON (SIMD (Single Instruction Multiple Data) y unidad de procesado de datos en paralelo) y un vector de coma flotante (VFP) como coprocesadores |
| 8 etapas dual-issue pipeline | 8 etapas de pipeline |
| Por cada ciclo de reloj 2 instrucciones avanzan de etapa (dual-issue) | 2 instrucciones por ciclo de reloj |
| MMU (Memory Management Unit) por procesador | MMU por procesador |
| **Cortex-R5F** |  |
| RPU (Real-Time Processing Unit) |  |
| Arquitectura de 32 bits (Armv7-A) |  |
| 600 MHz de CPU |  |
| 32KB de caché L1 (la de datos separada de la de instrucciones, las 2 de 32KB) |  |
| 128KB TCM (Tightly Coupled Memory) |  |
| MPU (Memory Protection Unit) por procesador |  |

Hay que mencionar que hay infinidad de información respecto a las prestaciones de los dispositivos electrónicos, aquí se ha resumido brevemente varias de ellas que han sido innovadoras para un servidor, características conocidas ya que se ha visto durante la carrera o que realmente son importantes. Prestaciones que no se ha incluido son como por ejemplo la medida de las instrucciones, de cuántos caminos son las distintas cachés, las interrupciones, etc.

**Vivado VS Quartus** ✓

Lo primero que entra por los ojos al utilizar un programa, ya sea de diseño, simulación,... es si su interfaz es intuitiva o si por el contrario, encontrar dónde está cada opción disponible es una tarea en si. Aquí Vivado gana respecto a Quartus ya que su interfaz es un poco más compacta y permite encontrar lo que necesitas más rápidamente.

En el momento de estar escribiendo código, Vivado resalta sintaxis que detecta que es incorrecta, mientras que Quartus no tiene esa opción. Para ello, habría que descargar un notepad con esa función como Sublime Text.

Otra de las opciones de las que dispone Vivado es el completar una línea de código previendo lo que se va a escribir, esto puede gustar más o menos pero se puede desactivar aunque hace más cómodo el proceso de escribir. Quartus no dispone de esta posibilidad y si se quiere se ha de buscar un notepad con esta opción, Sublime Text dispone de esto.

Algo bueno que tiene Quartus son sus diagramas de máquinas de estado, ya que son bastante visuales.

Y una de las mayores ventajas de Vivado respecto a Quartus es sin lugar a duda la posibilidad de hacer una simulación en el propio programa en vez de tener que lanzar la simulación a otro como por ejemplo ModelSim, como pasa con Quartus.

Otra gran caracteristica de Vivado es que puedes ver cuánto ocupa tu diseño en el propio dispositivo, como está enrutado, los caminos "worst case" y sus tiempos, etc. Quartus dispone de análisis temporales pero no de una forma tan visual.

Lo que sí es cierto es que como Vivado es de Xilinx y Quartus de Intel, si quieres utilizar un hardware en concreto, tienes que utilizar la herramienta que dispone él.

**Vitis VS Code Composer✓**

Como último software comparable con uno utilizado en la carrera, encontramos la herramienta de programación y depuración.

A rasgos generales, Vitis y Code Composer tienen grandes similitudes. La interfaz es muy parecida, la capacidad de debugging, las mismas posibilidades de utilizar distintos lenguajes, ...

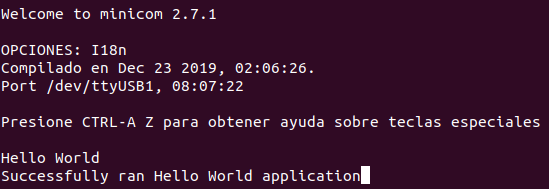
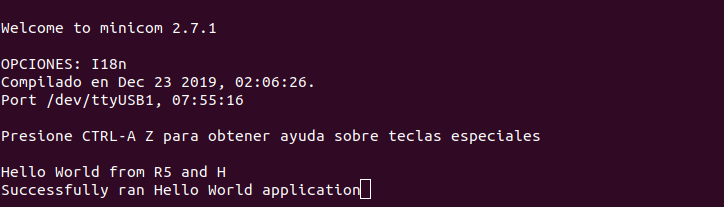
Al igual que se comentó en el punto anterior, si se está interesado en utilizar ciertos equipos no hay más remedio que emplear las herramientas proporcionadas que dan soporte a ese hardware.

**Outputs de programas realizados**

Durante la etapa de aprendizaje se fueron realizando varios programas para ir aprendiendo y acostrumbrándose a los entornos de trabajo.

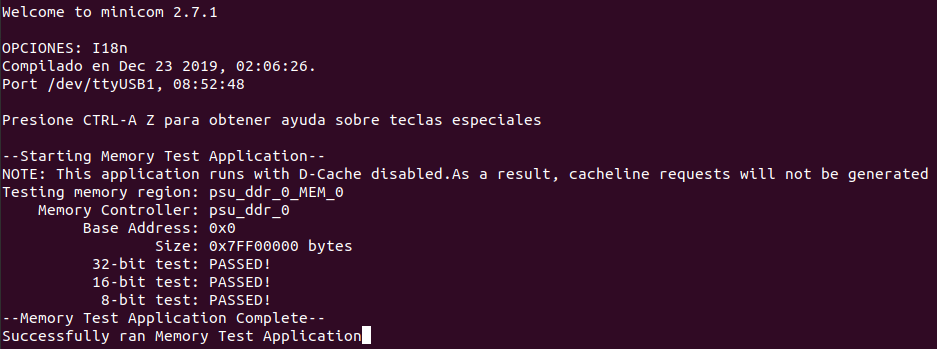
Lo primero que se llevo a cabo fue el típico programa de «Hello World». Donde por el puerto serie se mostraba el mensaje en cuestión.

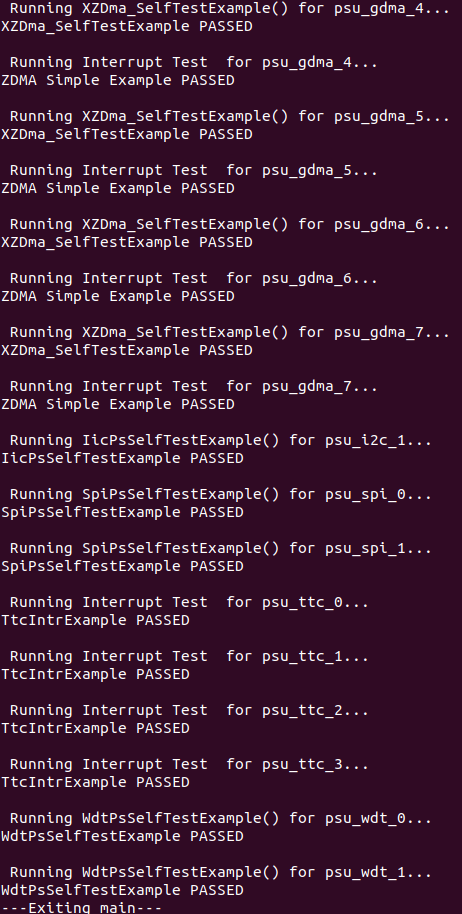
En el primer programa se utilizaron los procesadores Arm Cortex-A53 utilizando un template que proporciona Vitis con la aplicación de «Hello World».

Y luego se hizo lo mismo utilizando los procesadores Arm Cortex-R5F cambiando el código para que también escribiese «and H».

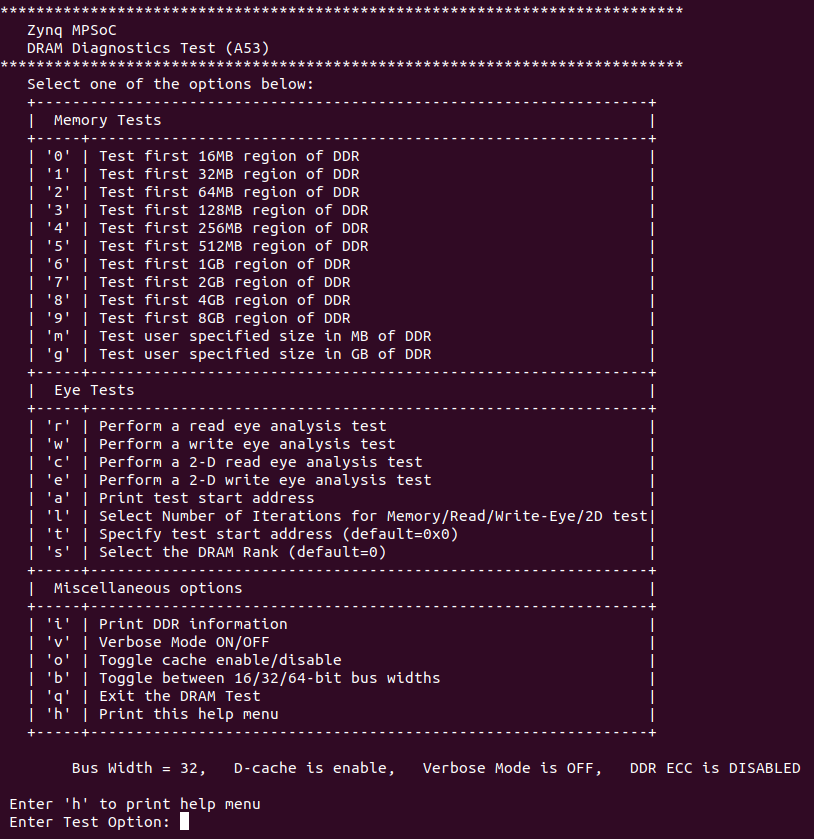
Además de disponer de plantillas para un programa donde simlemente se hace un print por pantalla, también hay otros más complejos como lo que se verán a continuación:

Memoria:

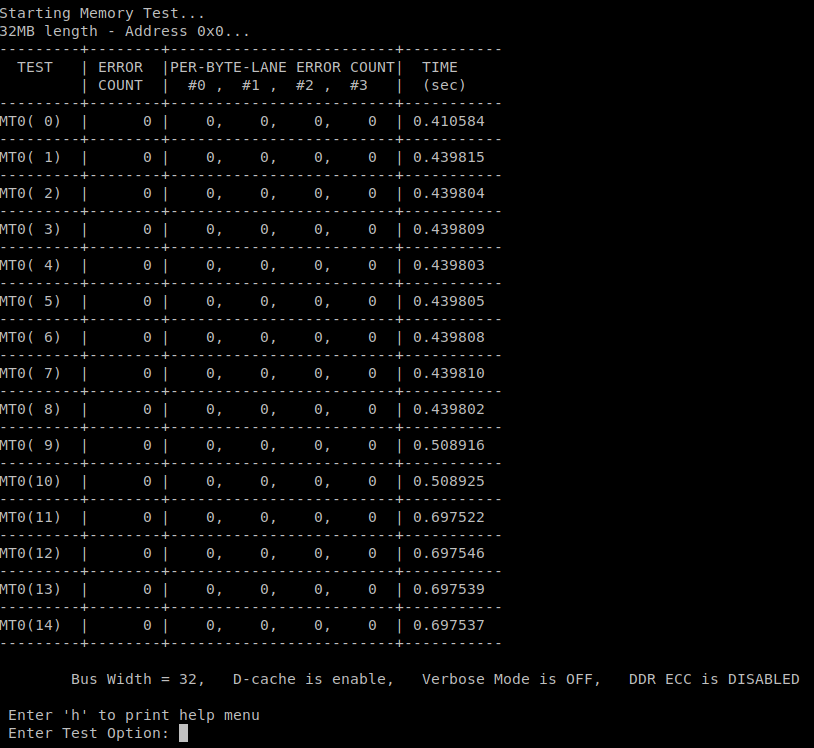
Periféricos:



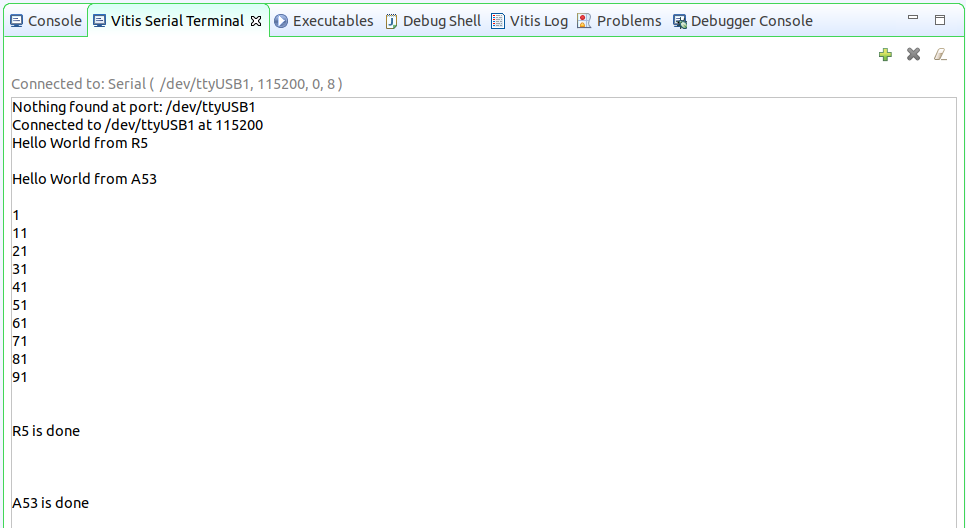
En este test hay muchos más mensajes pero se han recortado.

Diferentes tipos de test a la DRAM de una Cortex-A53:

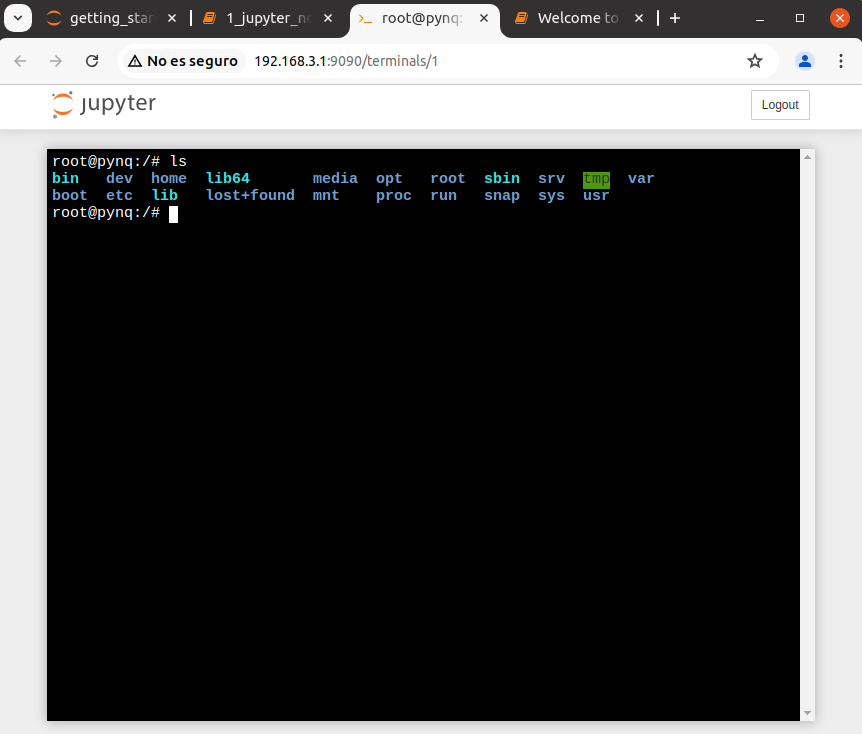
En el menú de selección de test si se teclea ‘1’:



Utilizar a la vez el A53 y el R5:

Aquí se crearon dos dominios, uno para el A53 y otro para el R5, en que en ambas aplicaciones se iban a ejecutar simultáneamente apuntando a la misma dirección de memoria. El A53 iría sumando 9 al valor que hubiese en la posición de memoria 10 veces, y el R5 lo mismo pero sumando 1. Se añadieron mensajes para saber cuándo empezaban y cuándo acababan. Además la aplicación del A53, aparte de ir sumando 9, hace un print del valor que hay en esa posición de memoria. Por eso, como el que empieza es el R5, se hace un print del valor en memoria que es el 1 sumado por el R5 y entonces es cuando el A53 le suma 9. Todo esto se muestra en el propio terminal serie de Vitis, a diferencia de las ilustraciones anteriores que se muestran mediante el GtkTerm.

Accediendo a la Ultra96-V2 mediante Ethernet:

Mediante la tarjeta MicroSD, se flasheo una imagen la cual permitia connectar el PC con la placa mediante Ethernet, y como se puede apreciar en la fotografía, se le asignó el IP 192.168.3.1 a la Ultra. No solo eso, sino que también se podían ejecutar scripts de Python en la propia placa.

Otros programas:

- Encender LEDs mediante GPIOs

**Conclusiones generales sobre el trabajo realizado**✓

Como conclusiones generales sobre el trabajo realizado en el CTTC puedo afirmar con total seguridad, desde mi humilde opinión, que el trabajo realizado ha sido satisfactorio y muy de provecho.

Respecto a estar trabajando con la placa ordenador Ultra96-V2, hay que mencionar que es notorio las prestaciones de las que esta dispone y como gracias a esto, todo el proceso de trabajo a sido muy llevadero.

Al igual que con la FPGA, con el entorno de diseño de Vivado ha sucedido una cosa similar. Ha sido muy sencillo llevar a cabo todo lo propuesto a realizar con esta herramienta porque es inteligible y potente.

Se ha logrado cumplir todos los objetivos con éxito en la franja de tiempo disponible para realizar las prácticas.

Finalmente, el aprendizaje ha sido muy bueno teniendo en cuenta las pocas horas disponibles para este.

**Conclusiones personales** ✓

Como conclusiones personales de mi estancia en el CTTC puedo extraer como lo aprendido en la carrera tiene una aplicación en el mercado laboral, no solo la parte teórica, los conceptos, fundamentos o leyes matemáticas, sino también la parte práctica, como es el montar, programar o incluso soldar.

Otra a destacar es la dificultad de la investigación en términos generales, es relativamente sencillo replicar algo si tienes la receta, pero de ahí a tener que idear o pensar una nueva forma o método para inventar algo nuevo o mejorar algo ya creado, no es una tarea que todo el mundo pueda hacerlo con facilidad.

Como conclusión final puedo decir que todavía me falta muchísimo para aprender, y eso es una motivación para mi.

**Agradecimientos** ✓

Para finalizar mi explicación sobre la estancia en el CTTC quería agradecer en primer lugar a la propia institución por acogerme con los brazos abiertos, ya que ha sido una estancia muy gratificante e importante para mi. Y más personalmente a aquellas personas que han estado más en contacto conmigo durante estos meses. En primer lugar a Laura Casaus, por ser aquella persona que fue la que se encargó de todo el proceso para ponerse en contacto conmigo y la UB de una forma fantástica y eficiente para que pudiese hacer las prácticas, además que el primer dia que llegue me presentó todo el centro. También a Mario Isaac, por ser aquel conserje que todo el mundo querría tener al lado, muy servicial a la par que gracioso, además de ser aquella persona que acudia en tu ayuda cuando te perdias por los pasillos o no sabías dónde estaba el baño (no sé si poner lo del baño o no). Además, a Nikolaos Bartzoudis, por ser aquella persona que sabe, y sabe hacer de todo, es aquel que si no sabes sobre algo él te lo explica de una forma detallada y concisa. Por no mencionar que es un jefe como pocos, sonriente y alegre que no te echa la bronca cada dos por tres. Y finalmente, sin lugar a duda la persona que más me ha ayudado durante mi estada, José Rubio, aquella persona que a pesar de todo el trabajo que tenía por hacer, no dudaba en ningún momento en echarme una mano si tenía algun problema o no sabía/entendía qué tenía que hacer. Además de proporcionarme todos los materiales, dispostivos, programas, etc. necesarios y de mejor calidad para poder realizar las prácticas sin ningún problema y de la forma más cómoda posible.

**Referencias bibliográficas**

CTTC. <https://www.cttc.cat/>

PMT-CENTRO TECNOLÓGICO DE TELECOMUNICACIONES DE CATALUÑA (CTTC). Ajuntament de Castelldefels. <https://www.castelldefels.org/es/ciudad/guia-de-la-ciudad/directorio-equipamientos-y-entidades/22587>

Ultra96-V2. AVNET. <https://www.avnet.com/wps/portal/us/products/avnet-boards/avnet-board-families/ultra96-v2/>

Xilinx Zynq UltraScale+MPSoC. AMD. [https://www.amd.com/en/products/adaptive-socs-and-fpgas/soc/zynq-ultrascale-plus-mpsoc.html#tabs-0e7c9e4014-item-89fcd7ef51-tab](https://www.amd.com/en/products/adaptive-socs-and-fpgas/soc/zynq-ultrascale-plus-mpsoc.html" \l "tabs-0e7c9e4014-item-89fcd7ef51-tab)

Clock System Ultra96-V2. 5P49V6975. Renesas. <https://www.renesas.com/us/en/products/clocks-timing/clock-generation/programmable-clocks/5p49v6975-versaclock-6e-programmable-clock-generator-integrated-crystal>

Zynq® UltraScale+™ MPSoC Data Sheet: Overview. AMD. <https://docs.amd.com/v/u/en-US/ds891-zynq-ultrascale-plus-overview>

Zynq 7000 SoC Technical Reference Manual (UG585). AMD. <https://docs.amd.com/r/en-US/ug585-zynq-7000-SoC-TRM/Dual/Single-Arm-Cortex-A9-MPCore-CPUs-with-Arm-v7>

Zynq UltraScale+ Device Technical Reference Manual (UG1085). AMD. <https://docs.amd.com/r/en-US/ug1085-zynq-ultrascale-trm/Zynq-UltraScale-Device-Technical-Reference-Manual>

DE0-CV Board. ter asIC. <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=163&No=921&PartNo=4>

Cyclone V. Intel. <https://cdrdv2.intel.com/v1/dl/getContent/666692?explicitVersion=true>

5CEBA4F23C7N Altera. Mouser Electronics. <https://www.mouser.es/ProductDetail/Altera/5CEBA4F23C7N?qs=w%252BhYR4jzwbbUqcM9aDLl%2FA%3D%3D>

AM437x and AMIC120 ARM® Cortex™-A9 Processors Technical Reference Manual. Texas Instruments. <https://www.ti.com/lit/ug/spruhl7i/spruhl7i.pdf?ts=1720064422104&ref_url=https%253A%252F%252Fwww.myirtech.com%252Flist.asp%253Fid%253D510>

ARM Cortex-A8: Whats the difference between VFP and NEON. Stack Overflow. <https://stackoverflow.com/questions/4097034/arm-cortex-a8-whats-the-difference-between-vfp-and-neon>

Cortex-A53. ARM Developer. <https://developer.arm.com/Processors/Cortex-A53>

What exactly is a dual-issue processor? Stack Overflow. <https://stackoverflow.com/questions/8014739/what-exactly-is-a-dual-issue-processor>

Getting Started with the Vivado IDE. AMD Xilinx. <https://www.xilinx.com/video/hardware/getting-started-with-the-vivado-ide.html>

Vivado Design Suite User Guide: Getting Started. AMD Xilinx. <https://docs.amd.com/v/u/2018.2-English/ug910-vivado-getting-started>

Xilinx Vivado Tutorial: 1 (Basic Flow). VLSI Techno. <https://www.youtube.com/watch?v=nBdXxRwb-Pg>

# How to use vivado for Beginners | Verilog code | Testbench | Schematic View. Anand Raj. <https://www.youtube.com/watch?v=onMmG_U4SVo&t=4s>

# Ultra96-V2 Vivado 2020.2 Basic Hardware Platform. Bryan H Fletcher. <https://www.hackster.io/BryanF/ultra96-v2-vivado-2020-2-basic-hardware-platform-6b32b8>

# Ultra96-V2 Vitis 2020.2 Hello World from ARM A53. Bryan H Fletcher. <https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-hello-world-from-arm-a53-2d952a>

Ultra96-V2 Vitis 2020.2 Hello World from ARM R5. Bryan H Fletcher. <https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-hello-world-from-arm-r5-4548d5>

Ultra96-V2 Vitis 2020.2 Test Applications. Bryan H Fletcher. <https://www.hackster.io/BryanF/ultra96-v2-vitis-2020-2-test-applications-9afcbe>

# OpenAMP in Xilinx MPSoC FPGA- Running Petalinux & Baremetal. [LogicTronix [FPGA Design + Machine Learning Company]](https://www.hackster.io/LogicTronix). <https://www.hackster.io/LogicTronix/openamp-in-xilinx-mpsoc-fpga-running-petalinux-baremetal-e025ca>

# Vitis-AI 3.0 designs for Ultra96-V2 and ZUBoard. Mario Bergeron. <https://community.element14.com/technologies/fpga-group/b/blog/posts/vitis-ai-3-0-designs-for-ultra96-v2-and-zuboard>

# Ultra96v2, Zynq UltraScale+ MPSoC - Flashing LEDs. High Level Synthesis. <https://www.youtube.com/watch?v=08f23pOl-Tk>

# PetaLinux 101 - Getting Started Quickly. Adaptative Computing Developer. <https://www.youtube.com/watch?v=k03r2Ud42jY>

# Path to Programmable III: Ultra96v2 dual-core baremetal AMP (Asymmetric Multi Processing) design - A53, R5. saadtiwana\_int. <https://community.element14.com/challenges-projects/design-challenges/pathprogrammable3/b/blog/posts/path-to-programmable-iii-ultra96v2-dual-core-a53-r5-baremetal-operation---vitis-2022-2>

[https://www.hackster.io/AlbertaBeef/ultra96-v2-building-the-foundational-designs-e4315f#overview](https://www.hackster.io/AlbertaBeef/ultra96-v2-building-the-foundational-designs-e4315f" \l "overview)