

0.1 Introduction

0.1.1 Le Processeur Cell BE et son Architecture Unique

Le processeur Cell est une architecture unique en son genre car elle renferme une multitude de dispositifs dédiés au calcul hautes-performances. Son architecture parallèle à plusieurs niveaux permet aux utilisateurs aguerris d'atteindre des performances jusque là réservées au cluster de machines et utilisant des paradigmes de hauts niveaux tels que le message-passing. En ce sens l'architecture du Cell destinée initialement au domaines des jeux vidéos a trouvé d'autres débouchés notamment dans le calcul scientifique au sens large.

Le Cell est composé d'un processeur PowerPC classique nommé PPE (Power Processor Element) et de huit unités de calcul accélératrices appelées SPE (Synergistic Processor Element). Cet ensemble d'unités de calcul est relié par un bus interne qui permet aussi l'accès à la mémoire principal (Main Storage), ainsi qu'à d'autres périphériques externes. Le processeur Cell est considéré comme une architecture hétérogène car il comporte deux types d'architectures différentes : celle du PPE qui n'est autre qu'une déclinaison du PowerPC 970 et celle des SPE qui sont des unités SIMD accélératrices spécialisées dans des traitements contenant un flot de donnée important comme le multimédia par exemple.

INSERER FIGURE DU CELL ICI

Le PPE: Power Processor Element

Le PPE est un processeur 64-bit compatible avec l'architecture Power, optimisé au niveau de l'efficacité énergétique. La profondeur de pipeline du PPE est de 23 étages, chiffres qui peut paraître faible par rapport au précédentes architectures surtout quand on sait que la durée de l'étage à été réduite d'un facteur 2. Le PPE est une architecture dual-issue (deux instructions peuvent être lancées par cycle) qui ne reordonne pas dynamiquement les instructions à l'exécution (exécution dans l'ordre). Le processeur entrelace des instructions provenant de deux threads de calcul différents pour optimiser l'utilisation de la fenêtre d'exécution. Les instructions arithmétiques simples s'exécutent et fournissent leur résultat en deux cycles. Les instructions de chargements (loads) s'exécutent également en deux cycles. Une instruction flottante en double précision s'exécute en 10 cycles. Le PPE supporte une hiérarchie conven-

tionnelle de caches avec un cache L1 (de niveau 1) données en instructions de 32-KB, et un cache L2 de 512-KB.

Le processeur fournit deux threads d'exécution simultanés et peut être vu comme un processeur double-cœur avec un flot de données partagé, ceci donne l'impression au logiciel d'avoir deux unités de traitement distinctes. Certains registres sont dupliqués mais pas les caches qui sont partagés par les deux threads.

Le processeur est composé de trois unités l'unité d'instructions (UI) responsable du chargement, décodage, branchements, exécution et complétion des instructions. Une unité d'exécution des opérations en arithmétique point-fixe (XU) qui est également responsable des instructions load/store. Et enfin l'unité VSU qui exécute les instructions en virgule flottante ainsi que les instructions vectorielles. Les instructions SIMD dans le PPE sont celle des anciennes générations de PowerPC 970 et effectuent des opérations sur des registres 128-bit de données qui donnent un parallélisme de 2, 4, 8 ou 16, selon le type de données considéré.

Les SPE (Synergistic Processing Element)

Le SPE contient un jeu d'instructions nouveau mais qui n'est autre qu'une version réduite du jeu d'instructions SIMD VMX (AltiVec), mais qui est optimisée au niveau de consommation d'énergie et des performances pour les applications de calcul intensif et de multimédia. Le SPE contient une mémoire locale de 256 KB (scrathpad) qui est une mémoire de données et d'instructions. Les données et les instructions sont transférées de la mémoire centrale vers cette mémoire privée au travers de commande DMA synchrones et cohérentes qui sont exécutés par le MFC (Memory Flow Controller) qui est présent dans chaque SPE. Chaque SPE peut supporter jusqu'à 16 commandes DMA en suspens. L'unité DMA peut être programmée de trois manières différentes: 1) avec des instructions sur le SPE qui insèrent des commandes DMA dans la file d'attente; 2) Par la programmation de transferts permettant de faire des accès sur des zones non contiguës de la mémoire au travers d'une liste de DMA; 3) Par l'insertion d'une commande DMA dans la file d'attente d'un autre processeur par les commandes de DMA-write. Afin de faciliter la programmation et de permettre des transferts entre SPEs les mémoires locales sont mappées en mémoire centrale. La présence des mémoires locales introduit un autre niveau dans la hiérarchie mémoire au dessus des registres. Les temps d'accès de ces mémoires sont de l'ordre du cycle ce qui en fait de bon candidats pour réduire la latence

d'accès à la mémoire centrale qui est de l'ordre de 1000 cycles, d'autant plus que le fait que le contrôleur DMA soit indépendant de l'unité donne un niveau de parallélisme supplémentaire. La présence de ces mémoires privées permet différents modèles de programmation qui peuvent être appliqués au processeur Cell.

Le Bus Interne (Element Interconnect Bus)

Le bus interne du processeur permet de relier les unités de traitement PPE, SPE à la fois entre elles, à la mémoire centrale ainsi qu'à une sortie externe. Le bus contient des chemins de données différents de ceux des requêtes. Les éléments autour du bus sont connectés par des liaisons point-à-point et un arbitre de bus est responsable de la réception des commandes et de leur diffusion vers les unités. Le bus est constitué de 4 anneaux d'une largeur de 16-octets deux fonctionnent dans le sens d'une aiguille d'une montre et les deux autres dans le sens inverse. Chaque anneau peut potentiellement gérer 3 transferts en parallèle si toutefois leurs chemins ne se croisent pas.