

0.1 Introduction

0.1.1 Vue d'Ensemble de l'Architecture du Processeur Cell

Le processeur Cell est la première implémentation de l'architecture *Cell Broadband Engine* (CBEA), qui est entièrement compatible avec l'architecture *PowerPC* 64-bit. Ce processeur à été initialement conçu pour la console de jeux *PlayStation 3* mais ses performances hors normes ont très vite fait de lui un bon candidat pour d'autres domaines d'applications qui requièrent une grande puissance de calcul, comme le traitement du signal et des images.

Le processeur Cell est une machine multi-cœur hétérogène, capable d'effectuer une quantité de calcul en virgule flottante considérable, sur des données occupant une large bande-passante. Il est composé d'un processeur 64-bit appelé *Power Processor Element* (PPE), huit coprocesseurs spécialisés appelés *Synergistic Processor Element* (SPE), un contrôleur mémoire haute-vitesse et une interface de bus à large bande-passante. Le tout intégré sur une seule et même puce.

Le PPE et les SPEs communiquent au travers d'un bus interne très rapide appelé *Element Interconnect Bus* (EIB). Si l'on considère une fréquence d'horloge de 3.2 Ghz, le processeur Cell peut atteindre théoriquement une performance crête de 204.8 Gflop/s en simple-précision et 14.6 Gflop/s en double-précision.

Le bus interne supporte une bande passante qui peut aller jusqu'à 204.8 Gbytes/s pour les transferts internes à la puce (impliquant le PPE, les SPEs, la mémoire et les contrôleurs I/O). le contrôleur mémoire: *Memory Interface Controller* (MIC) fournit une bande-passante de 25.6 Gbytes/s vers la mémoire principale. Le contrôleur I/O quand à lui fournit 25 Gbytes/s en entrée et 35 Gbytes/s en sortie.

Le rôle du PPE est celui d'un chef d'orchestre, il prend en charge l'OS (*Operating System*) et coordonne les SPEs. Au niveau de l'architecture c'est un *PowerPC* 64-bit classique avec une extension SIMD (VMX), un cache L1 de 32 KB (données et instructions) et un cache L2 de 512 KB. C'est un processeur à exécution dans l'ordre (in-order execution processor), il supporte le dual-issue (parallélisme d'instructions) ainsi que le multi-threading d'ordre 2 (parallélisme de tâches).

Chaque SPE est composé de d'une SPU (*Synergistic Processesor Unit*) et d'un MFC (*Memory Flow Controller*). Le MFC contient à son tour un contrôleur DMA, une unité de gestion de la mémoire (MMU), une unité interface de bus, et une unité atomique pour la synchronisation avec les autres SPEs et le PPE. Le SPU est un processeur de type RISC avec un jeu d'instructions et une microarchitecture conçus pour les applications flot de données haute-performance ou de calcul intensif. Le SPU inclut une mémoire locale de 256 KB qui contient les données et les instructions. Le SPU ne peut pas accéder directement à la mémoire principale mais par le biais de commandes DMA via le MFC qui permettent de lire et d'écrire dans la mémoire principale. Les deux unités MFC et SPU sont indépendantes ce qui permet l'exécution des tâches de calcul et de transferts en parallèle sur le SPE.

Il n'existe pas de mécanisme hardware tel que la mémoire cache pour la gestion des mémoires locales, et celles-ci doivent être gérées par le software. Le MFC effectue des commandes DMA pour transférer entre la mémoire centrale et les mémoires locales. Les instructions DMA pointent des emplacements de la mémoire centrales en utilisant des adresses virtuelles compatibles *PowerPC*. Les commandes DMA peuvent transférer des données à partir de n'importe quel emplacement lié au bus d'interconnexion (mémoire principale, la mémoire locale d'un autre SPE, ou un périphérique I/O). Des transferts SPE vers SPE en parallèle sont faisables

à raison de 16 bytes par cycle d'horloge SPE, tandis que la bande-passante de la mémoire centrale est de 25.6 Gbytes/s pour le processeur entier.

Chaque SPU contient 128 registres SIMD de taille 128-bits. Cette quantité importante de registres facilite l'ordonnancement efficace des instructions ainsi que d'autres optimisations comme le déroulage de boucle (loop-unrolling).

Toutes les instructions SIMD sont des instructions que le pipeline peut exécuter à 4 granularités: 16x des entiers 8-bit, 8x des entiers 16-bit, 4x des entiers 32-bits ou des flottants simple-précision. Le processeur SPU est un processeur à exécution dans l'ordre (in-order-execution processor), il possède deux pipelines d'instructions connus sous les dénominations pair (*even*) et impair (*odd*).

Les instructions flottantes et entières sont dans le pipeline *even* alors que le reste est dans le pipeline *odd*. Chaque SPU peut lancer et compléter jusqu'à deux instructions par cycle, une par pipeline. Cette limite théorique peut être atteinte pour un large éventail d'applications. Toutes les instructions flottantes double-précision peuvent être lancées en un cycle d'horloge du processeur. Par contre les instructions flottantes double-précision ne sont pipelinées que partiellement, il en résulte un débit d'exécution moindre (deux instructions double-précision tous les 7 cycles d'horloge SPU).

Si l'on prend une instruction de multiplication accumulation en flottant simple-précision (qui compte pour deux opérations) les 8 SPEs peuvent exécuter un total de 64 opérations par cycle.

INSERER FIGURE DU CELL

Le PPE: Power Processor Element

Le PPE est un processeur 64-bit compatible avec l'architecture Power, optimisé au niveau de l'efficacité énergétique. La profondeur de pipeline du PPE est de 23 stages, chiffres qui peut paraître faible par rapport aux précédentes architectures surtout quand on sait que la durée de l'étape est réduite d'un facteur 2. Le PPE est une architecture dual-issue (deux instructions peuvent être lancées par cycle) qui ne réordonne pas dynamiquement les instructions l'exécution (exécution dans l'ordre). Le processeur entrelace des instructions provenant de deux threads de calcul différents pour optimiser l'utilisation de la fenêtre d'exécution. Les instructions arithmétiques simples s'exécutent et fournissent leur résultat en deux cycles. Les instructions de chargements (loads) s'exécutent également en deux cycles. Une instruction flottante en double précision s'exécute en 10 cycles. Le PPE supporte une hiérarchie conventionnelle de caches avec un cache L1 (de niveau 1) données en instructions de 32-KB, et un cache L2 de 512-KB.

Le processeur fournit deux threads d'exécution simultanés et peut être vu comme un processeur double-cœur avec un flot de données partagé, ceci donne l'impression au logiciel d'avoir deux unités de traitement distinctes. Certains registres sont dupliqués mais pas les caches qui sont partagés par les deux threads.

Le processeur est composé de trois unités: l'unité d'instructions (UI) responsable du chargement, décodage, branchements, exécution et complétion des instructions. Une unité d'exécution des opérations en arithmétique point-fixe (XU) qui est également responsable des instructions load/store. Et enfin l'unité VSU qui exécute les instructions en virgule flottante ainsi que les instructions vectorielles. Les instructions SIMD dans le PPE sont celles des anciennes générations de PowerPC 970 et effectuent des opérations sur des registres 128-bit de données qui donnent un parallélisme de 2, 4, 8 ou 16, selon le type de données considéré.

Les SPE (Synergistic Processing Element)

Le SPE contient un jeu d'instructions nouveau mais qui n'est autre qu'une version réduite du jeu d'instructions SIMD VMX (Altivec), mais qui est optimisé au niveau de consommation d'énergie et des performances pour les applications de calcul intensif et de multimedia. Le SPE contient une mémoire locale de 256 KB (scratchpad) qui est une mémoire de données et d'instructions. Les données et les instructions sont transférées de la mémoire centrale vers cette mémoire privée au travers de commande DMA synchrones et cohérentes qui sont exécutées par le MFC (Memory Flow Controller) qui est présent dans chaque SPE. Chaque SPE peut supporter jusqu'à 16 commandes DMA en suspens. L'unité DMA peut être programmée de trois manières différentes: 1) avec des instructions sur le SPE qui insèrent des commandes DMA dans la file d'attente; 2) Par la programmation de transferts permettant de faire des accès sur des zones non contigües de la mémoire au travers d'une liste de DMA; 3) Par l'insertion d'une commande DMA dans la file d'attente d'un autre processeur par les commandes de DMA-write. Afin de faciliter la programmation et de permettre des transferts entre SPEs les mémoires locales sont mappées en mémoire centrale. La présence des mémoires locales introduit un autre niveau dans la hiérarchie mémoire au dessus des registres. Les temps d'accès de ces mémoires sont de l'ordre du cycle ce qui en fait de bons candidats pour réduire la latence d'accès à la mémoire centrale qui est de l'ordre de 1000 cycles, d'autant plus que le fait que le contrôleur DMA soit indépendant de l'unité donne un niveau de parallélisme supplémentaire. La présence de ces mémoires privées permet différents modes de programmation qui peuvent être appliqués au processeur Cell.

Le Bus Interne (Element Interconnect Bus)

Le bus interne du processeur permet de relier les unités de traitement PPE, SPE la fois entre elles, la mémoire centrale ainsi qu'une sortie externe. Le bus contient des chemins de données différents de ceux des requêtes. Les éléments autour du bus sont connectés par des liaisons point-à-point et un arbitre de bus est responsable de la réception des commandes et de leur diffusion vers les unités. Le bus est constitué de 4 anneaux d'une largeur de 16-octets deux fonctionnent dans le sens d'une aiguille d'une montre et les deux autres dans le sens inverse. Chaque anneau peut potentiellement gérer 3 transferts en parallèle si toutefois leurs chemins ne se croisent pas. Le EIB opère une fréquence qui est la moitié de celle du processeur, chaque unité du bus peut simultanément envoyer et recevoir 16 octets par cycle d'horloge du bus.