

2023 Digital IC Design Homework 1

NAME	陳璿安						
Student ID	P86104267						
Functional Simulation Result							
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass	Stage 4	Pass
Stage 1							
<pre> # # -----Stage 1 : Maximum selection with 4-input MMS----- # # -----Stage 1 : Pass! ----- # </pre>							
Stage 2							
<pre> # -----Stage 2 : Minimum selection with 4-input MMS----- # # -----Stage 2 : Pass! ----- # </pre>							
Stage 3							
<pre> # -----Stage 3 : Maximum selection with 8-input MMS----- # # -----Stage 3 : Pass! ----- # </pre>							
Stage 4							
<pre> # -----Stage 4 : Minimum selection with 8-input MMS----- # # -----Stage 4 : Pass! ----- # </pre>							
Description of your design							
<pre> MMS_4num.v ----- assign mux[1] = select; assign mux1[1] = select; assign mux2[1] = select; assign mux1[0] = (number0 < number1) ; assign mux2[0] = (number2 < number3) ; // 讓 mux 第二個 bit 等於 select 訊號, mux 第一個 bit 等於 compare 的結果 ----- case (mux1) </pre>							

```

2'b00 : result1 = number0;
2'b01 : result1 = number1;
2'b10 : result1 = number1;
2'b11 : result1 = number0;

endcase

// 再利用 case 作為 mux 輸出結果
assign result = result3;
// 最後 assign 結果到 output

```

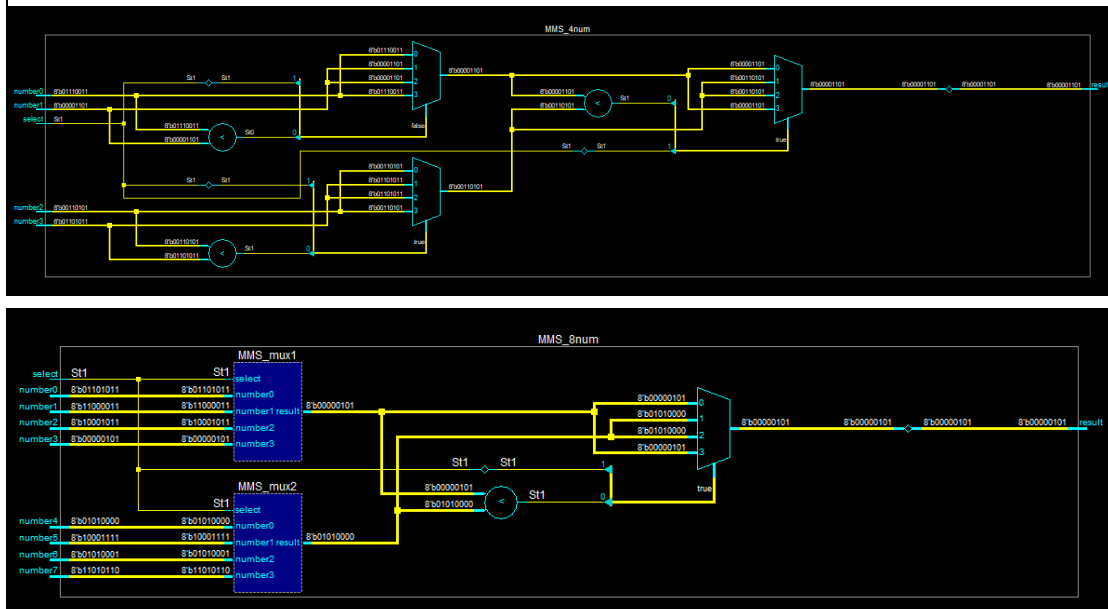
MMS_8num.v

把 input 分兩部分，分別帶入 MMS_4num module，再以兩部分結果之
比大小結果與 select 訊號選擇最終 output。

```

MMS_4num MMS_mux1(part1, select, number0, number1, number2, number3);
MMS_4num MMS_mux2(part2, select, number4, number5, number6, number7);
// 把值帶入 MMS_4num module 中，獲得結果 part1, part2
assign mux[1] = select;
assign mux[0] = (part1 < part2);
// 讓 mux 第二個 bit 等於 select 訊號, mux 第一個 bit 等於 compare 的結果
// 一樣使用 case 作為 mux
// 最後 assign 結果到 output

```



```

#
# -----Stage 1 : Maximum selection with 4-input MMS-----
#
# -----Stage 1 :          Pass!          -----
#
# -----Stage 2 : Minimum selection with 4-input MMS-----
#
# -----Stage 2 :          Pass!          -----
#
# -----Stage 3 : Maximum selection with 8-input MMS-----
#
# -----Stage 3 :          Pass!          -----
#
# -----Stage 4 : Minimum selection with 8-input MMS-----
#
# -----Stage 4 :          Pass!          -----
#
# -----
#
# -----          Simulation finish,  ALL PASS          -----
#
# -----
# ** Note: $finish      : C:/dic/HW1/MMS_tb.v(183)

```