

若採用單一金屬作為閘電極，可採用功函數接近中能隙（mid-gap）的金屬閘極材料，不但不會受到費米能階固定的影響，製程也較為簡單。雖然有對稱的 $N/PMOS$ V_t ，但由於功函數接近中能隙，臨界電壓將太高而難以運作，即使通道摻雜物降低最低，造成短通道現象，其 V_t 仍然大於 $0.4V$ ，除了部分低漏電的記憶體應用外，無法應用於高性能的元件上，因此仍須發展雙金屬閘極使其功函數分別符合 N/P MOS 的需求來達到高性能的需求。如採用完全空乏之絕緣層上矽（full-depleted silicon-on-insulator, FD-SOI）就能使用中能隙金屬，由於 V_t 的大小與空乏層的厚度相關，可允許金屬閘極與高介電材料於低 V_t 下操作，是有潛力的發展方向。

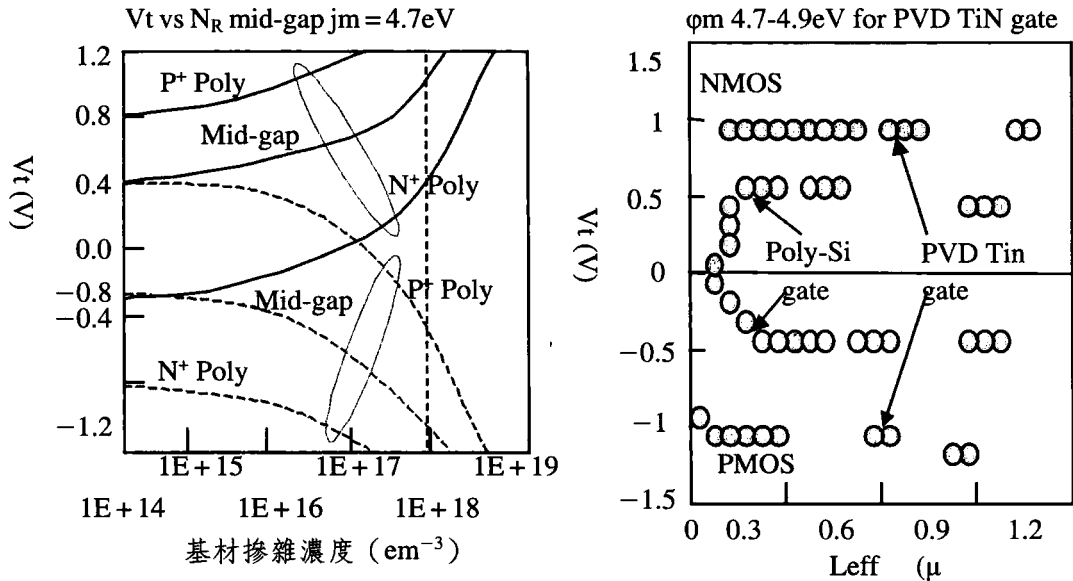


圖 8-28 中能隙金屬閘極之臨界電壓與基材摻雜濃度及 L_{eff} 的關係。

在眾多金屬材料中，可選擇純金屬、金屬矽化物、金屬氧化物來匹配 N/P MOS 所需的功函數，如圖 8-29 所示，金屬材質可以採用接近 $4.05eV$ 能階的金屬做為 NMOS 的閘極，同時採用接近 $5.17eV$ 能階的金屬做為 PMOS 的閘極，可以達到 N/P 多晶矽所產生的臨界電壓值，但如何在同一晶片上生產出不同功函數的金屬，則是製程工程師須努力解決的問題。