

Fin-FET 最大的困擾是不易在閘極形成自動對準矽化物，造成閘極電阻太高，因此尋找新的閘極製程以降低閘極阻值亦是值得研究的。

除了 Fin-FET 之外，利用結構上（3D）來改善電晶體性能，有相當多的研究，各有不同特色和困難度，更多基礎研究，元件特性和可靠度的探討是必要的。此外，科學家更尋求非矽的材料來達成電晶體特性，試著在矽產業在微縮達到極限後的替代方案，此方向則不在本書討論範圍。

8.5 高介電閘極氧化層 (High K gate dielectric)

8.5.1 高介電閘極氧化層需求與特性

CMOS 製程尺寸縮小的要求隨著電路應用而有所不同，其中在邏輯晶片的應用上主要可分為三個方面：高性能（high-performance, HP），例如高階桌上型電腦與伺服器，這些應用上需要高速電晶體；低操作電力（low operating power, LOP）：例如行動或筆記型電腦性能要求高、電池容量大；低待機電力（low standby power, LSTP）：例如行動電話性能要求較低，電池容量相對較小。

技術節點	1999 180nm	2002 130nm	2005 90nm	2008 65nm	2011 45nm	2014 32nm
MPU 閘極長度 (nm)	140	85	65	45	32	22
閘極氧化層厚度 (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
閘極漏電 (nA/μm)	5	10	20	40	80	160

圖 8-21 製程微縮對閘極氧化層厚度及閘極漏電的要求。

對於高性能應用來說， $I_D \propto C_{OX}(V_G - V_{th})^2$ ， $C_{OX} = (\epsilon_{OX}A)/tox$ 為能提高更高的元件電流，提高 C_{OX} 是必要的，主要可藉降低介電層厚度來達成。在傳統習用的 SiO_2 材料上，在變薄後，閘極漏電流急遽升高，大幅增加操作時或待機