

$$Q_{sc} = qN_D W_m = \left\{ 4\epsilon_s N_D kT \ln \left(\frac{N_D}{n_i} \right) \right\}^{1/2} \quad (3.24)$$

圖 3-5 是以矽基板在室溫下為例，繪出最大空乏區寬度（ W_m ）與基板摻雜濃度（ N_A 或 N_D ）的關係，其顯示出 W_m 和 p-n 接面之空間電荷區寬度有相同的數量級。

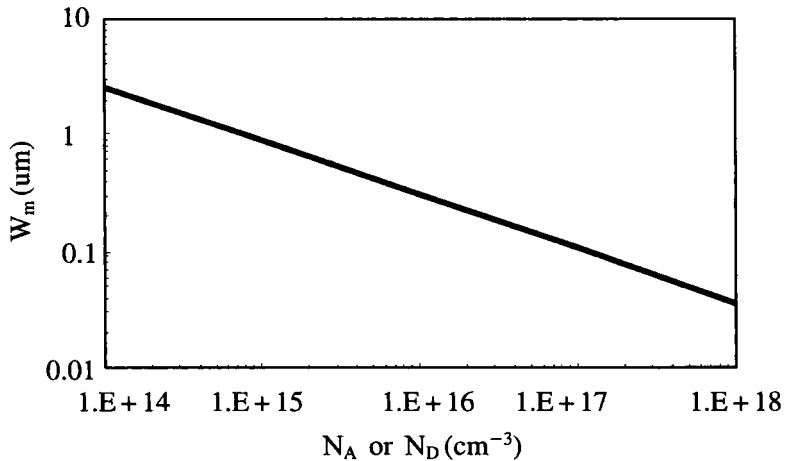


圖 3-5 矽半導體在強反轉情況下，最大空乏區寬度對基板雜質濃度之關係。

3.2.2 理想 MOS 的臨界電壓與 C-V 特性

在§3.1.1 節中，我們以半導體表面電位 ψ_s 來描述矽基板的表面狀態如表 3-1 所示。雖然 ψ_s 是無法直接量測的，但其可由外加閘極電壓 V_G 來決定與控制，故在這小節一開始先討論 V_G 和 ψ_s 的關係。圖 3-6 為一個理想 n-MOS 電容在閘極電壓 $V_G > 0$ 時，p 型矽基底表面發生反轉時的能帶圖與電荷分布情形。很清楚地，在沒有任何功函數差時，外加電壓的一部分會跨降在氧化層上，而另一部分則會在半導體上成為半導體的表面電位，所以：

$$V_G = V_{ox} + \psi_s \quad (3.25)$$