

因製程影響電容的參數包括電容密度（density），匹配（matching），電壓線性度（linearity, V_{cc} ），精確電容模型以提供電路設計參考，並須考慮良好的品質因素（Q）以降低能量損耗。CMOS 製程中，可使用的電容分別有 MIM，MOS 及 MOM 等選擇，分別有其特性及考量。MOS 因氧化層厚度最薄，有最高的電容密度，可使用較小面積，但線性度（linearity）及品質因素較差。MIM 為獨立電容平行板，介電氧化層多為沉積方式形成，但須採用額外光罩及製程來完成，可採用高介電常數的介電材料作為沉積的介電氧化層以提高電容密度，MIM 有最佳的匹配值（ $<0.25\%/0.5\text{pF}$ ），最佳的溫度線性度 T_{cc} （ $<100\text{ppm}$ ）和電壓線性度 V_{cc} （ $<100\text{ppm}$ ）。若不希望增加額外成本，可採用 MOM 的電容，藉由晶片內多餘的空間，利用金屬內與金屬間（inter/intra metal）產生電容，由於金屬間距離較遠，電容密度較差，線性度／匹配行為亦較差。圖 18 繪出 CMOS 製程常用的 MOS、MIM 及 MOM 電容結構。

10.4.3 可變電容器（Varactor）

在 PLL/VCO 類比電路對可變電容器（Varactor）的特性，依不同操作電壓產生一不同電容值，與電感 LC 振盪產生所須的振盪頻率，此需求可在 CMOS 製程中形成，由於 P-N 接面因電壓大小使接面空乏程度不同，是良好的變容器選擇，操作時必須維持逆向偏壓、以提供較大的調諧範圍，P-N 接面可變電容有較佳的線性度但電容值較低，調諧範圍較小（ $\sim 25\%$ ），品質因素亦較差。另外由於 MOS 的閘氧化層較薄，電容較大，可調變的電容範圍更大，亦可成為良好的變容器，MOS 可變電容器可操作在空乏區及電荷累積區，且兩區間的調諧範圍最大（ $\pm 30\%$ ）。此外，若將 S/D 與基材皆用同型摻雜物，調變範圍更大且有最佳的品質因素（Q）。