

要求；臨界電壓的控制與穩定；減少載子遷移率之衰減以及其對飽和電流的影響；還有提高閘極氧化物的可靠度及整合性等。

1. 載子遷移率下降 (mobility degradation)

遷移率乃是影響電晶體特性，包括飽和電流、速度、臨界電壓、互導 (transconductance) 和次臨界壓升幅 (sub-threshold swing) 等多項指標的重要參數，由於高介電材料的聲子散射 (SO phono scattering)，高介電材料內固定電荷，以及介層內 (interfacial layer) 的捕捉電荷 (trap charge) 使得高介電材料的載子遷移率較矽氧化物為差，介面層內的捕捉電荷，因捕捉／釋放電荷更造成臨界電壓的不穩定 (Vt instability)。大體上，遷移率會隨著高介電層厚度的下降而上升，此乃肇因高介電層中的庫倫散射 (coulomb scattering) 降低所致。目前對於高介電閘極氧化層載子遷移率的估計較為困難，因為反轉電荷密度 (inversion charge density) 的估計不準確，還有由於嚴重的閘極漏電流與電荷捕捉造成的汲極電流量測誤差。目前已有許多的修正方法被提出並在檢驗中。在一般的經驗中，電荷捕捉會造成反轉電荷的高估，以及通道遷移率的低估。對於高度之閘極漏電流效應也必須做出補償，因其會影響到 I_d - V_g 的量測和造成反轉電荷的高估與遷移率在高場 (high-field) 範圍的低估。應用脈衝 I_d - V_g 技術估計確切的無陷阻通道導通率 (trap-free channel conductance)，以及用電荷灌壓技術 (charge pumping technique) 來決定真實反轉電荷，似乎可以得到載子遷移率的估計，非常接近矽／二氧化矽界面的載子通用遷移率。

欲防止遷移率下降，須改善矽晶面平整性，以避免因表面粗糙而形成 interface trap，亦須避免沉積高介電材料時形成微結晶而造成固定電荷。此外，在高介電材料與矽晶面間，成長一介面良好的 interfacial layer，是改善 interface trap 及改善遷移率的重要方法，但亦須避免太厚而影響有效氧化層厚度 (EOT)。