

地在源極與汲極端周圍植入與基板摻雜型態相同的離子（如 n-MOSFET 為 p 型摻雜）稱為 halo implant 或 pocket implant。須注意的是此摻雜濃度亦不可太重，因為接面的崩潰電壓與低摻雜側的濃度成反比，如式 (2.74a) 所示，即：

$$V_{BD} \propto \frac{1}{N_B} \quad (5.27)$$

其中 N_B 為接面中較淡摻雜側的濃度。

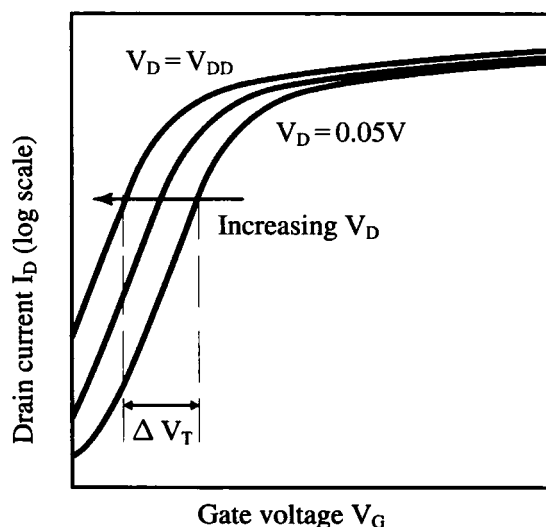


圖 5-9 短通道元件發生 DIBL 效應時之次臨界特性圖。

5.2.3 貫穿 (punch-through)

貫穿現象與 DIBL 很類似，它也是因為汲極電壓影響源極端電子的位能障。然而，二者主要的區別為 DIBL 是在半導體基底表面（即 SiO_2/Si 的界面）形成漏電路徑如圖 5-8 所示；而貫穿則是發生在遠離半導體表面的基板本體區域，因此又可被稱為本體貫穿 (bulk punch-through)、表面下貫穿 (subsurface punch-