



圖 7-8 STI 距離縮小產生壓縮應力，使 NMOS 的趨動電流下降。

為了加強對應力的控制，一般的作法包括減少溝槽側壁的和水平線的斜角，減少溝槽的深度，還有底部轉角須圓化。不過斜角如果太小，將限制隔離溝槽的深度，會影響隔離的效果。此外，對高溫製程的控制也是防範應力的重點。

STI 另一特色是其可避免因 LOCOS 高溫使摻雜物向場氧化層聚集而造成 V_t 太高的現象，反而因 STI 凹陷在 narrow width 端的電場集中而造成 V_t 下降，此現象可以 SiN linear 來改善，SiN linear 亦可避免後續 HDP refill 時因密化步驟持續氧化矽基材表面而產生的應力，降低晶格差排的產生。

7.2.3 井工程 (well engineering)

在 well 工程上，除了部分電路會用到 n-well 阻值，而決定 n-well 的植入濃度外，一般會以較高濃度來降低 well 阻值，以避免 CMOS 閉鎖現象，同時亦需儘量在深度及濃度上使 n/p well 對稱，以維持良好的 well 隔離。