

MOS 元件之接面漏電流亦可比 bulk MOS 元件小 100，第七點，SOI MOS 元件由於埋入氧化層之因素，其元件之溫度係數也遠比 bulk 元件好，SOI MOS 元件臨界電壓之溫度係數在室溫以上 200°C 之內均比 bulk 元件好。這是因為在 bulk MOS 元件中，由於通道下之空乏區之厚度易受溫度影響，而完全空乏 SOI MOS 元件中之空乏厚度即 thin film 厚不會改變，所以 SOI 的臨界電壓較不受溫度影響。第八點，由於底層氧化物的緣故，在 RF 電路上，因高基材阻值降低了電路 crosstalk，減低信號損失，增加了電容與電感的品質因素，而提升了 RF 電路的性能。

### 8.2.3 完全空乏（fully deplete）SOI 與粒子完全空乏（partial deplete）SOI

在 SOI 的製程有兩大主流，一為完全空乏 SOI 元件，另一為不完全空乏 SOI 元件，假設 SOI Si 的厚度從低於 400~500Å 時，閘極下的空乏區就會把 Si 空乏掉，因此稱做完全空乏 SOI，可是當 Si 厚度降至比空乏區薄時，臨界電壓就會變。在極薄的 Si 區內，閘極對通道的控制力變大，短通道 short channel/narrow width 效應都變小，通道的濃度低，元件的電導 trans-conductance 變大，次臨界區的斜率亦改善。在極薄 SOI（ultra thin body, UTB-SOI）的元件發展上，元件通道長度約 3 倍矽 Si Body 厚度有最佳的短通道效應，因為元件的臨界電壓會因 body 的厚度不同而有變化，在完全空乏 SOI 元件的  $V_t$  擾動，會因 body 的厚度的變化而相當不穩定。基本上要控制 Si 厚在 400~500Å 以內，這不是容易的事。此外，由於 S/D 上的 Si 甚薄，在自動對準矽化揚後，S/D 阻值仍高，對於元件電流有影響。

為避免完全空乏 SOI， $V_t$  不穩定的問題，選擇在 400~500Å 以上較厚的 SOI body，閘極下的空乏區不會因閘極偏壓把基材 Si 空乏掉，稱之不完全空乏解離之 SOI，元件之優點在由於通道不完全空乏，使閘極偏壓在臨界電壓時，矽平板中之空乏區不受厚度之影響，其臨界電壓是由閘極氧化層厚度及通道摻雜濃度來決定，因此臨界電壓較穩定，但因為通道下仍有中性區（neutral region），當汲極電流增加時，因衝擊離子化（impact ionization）產生電子電洞時，電洞將累積於中性區，降低了源／汲極能障，使更多電子流向汲極，此由