

同理，將 (3.14b)、(3.23) 和 (3.24) 式代入，可得到理想 p-MOS 的 V_T 表示式：

$$V_T = 2\psi_B - \frac{qN_D W_m}{C_{ox}} = 2\psi_B - \frac{\sqrt{2\epsilon_s q N_D (-2\psi_B)}}{C_{ox}} \quad (3.30b)$$

從理想 MOS 的 V_T 表示式不難看出：對一選定的半導體材料（故 ϵ_s 固定）、氧化層材料（ ϵ_{ox} 固定）、以及金屬閘極材料而言，臨界電壓是半導體摻雜濃度（ N_A 或 N_D ）和氧化層厚度（ t_{ox} ）的函數。例如 n-MOS 的臨界電壓基本上是隨著 p 型矽基底之雜質濃度或氧化層厚度的增加而增加（即 V_T 往正的方向增加）。

須提醒的是，式子 (3.29) 和 (3.30) 是在理想狀況下 MOS 的臨界電壓，我們假設金屬功函數和半導體功函數差為零以及無陷阱電荷存在於氧化層中（我們將在 §3.3.2 節中把這二個情況考慮進來）。

接下來，我們將探討 MOS 元件的理想 C-V（電容—電壓）特性。MOS 的電容對電壓關係之量測通常是在一個直流閘極偏壓下，加上一個小的測試電壓訊號（大約 5 到 15mV），再利用偵測到的交流電流來得到在此閘極偏壓下的電容值，如圖 3-7(a)所示為一理想 n-MOS 結構之典型高頻電容對閘極電壓特性圖。圖中高頻（high frequency）一般意指測試電壓訊號的頻率大於約為 100kHz 的數量級；而低頻（low frequency）則約為 1 至 100Hz 的值。下面繼續解釋圖 3-7 之 C-V 特性曲線與推導相關公式。

MOS 元件的總電容 C 是由氧化層電容 C_{ox} 和半導體的空乏層電容 C_s 的串聯而成，如圖 3-8 顯示：

$$C = \frac{C_{ox} C_s}{C_{ox} + C_s} \quad (3.31)$$

其中 C_{ox} 由式 (3.27) 所定義；而 $C_s = \epsilon_s / W$ ，與 p-n 接面的接面電容有相同的表示式，故 C_s 亦常以 C_j 表示之。須提醒讀者，我們所討論的電容是指每單位面積下的電容值。而且，由式 (3.27) 可知一旦氧化層決定後， C_{ox} 為一定值，不會隨閘極電壓 V_G 改變；然而，由於 C_s 會隨著空乏區寬度 W 的改變而改