

可以縮短，因而可以獲取最大的利基。(3)設計與維護容易：可以使用邏輯硬體描述語言（VHDL、Verilog、AHDL等語言），電路圖等自動化工具完成設計、模擬，且可重複燒錄，故在設計與維護上均十分便利。

CPLD基本上是由許多個獨立的邏輯區塊（logic block）所組合而成的，如圖 9-19。由於邏輯區塊間的相互關係為可程式化（可規劃）的配線架構，所以可以組合成複雜的大型電路。

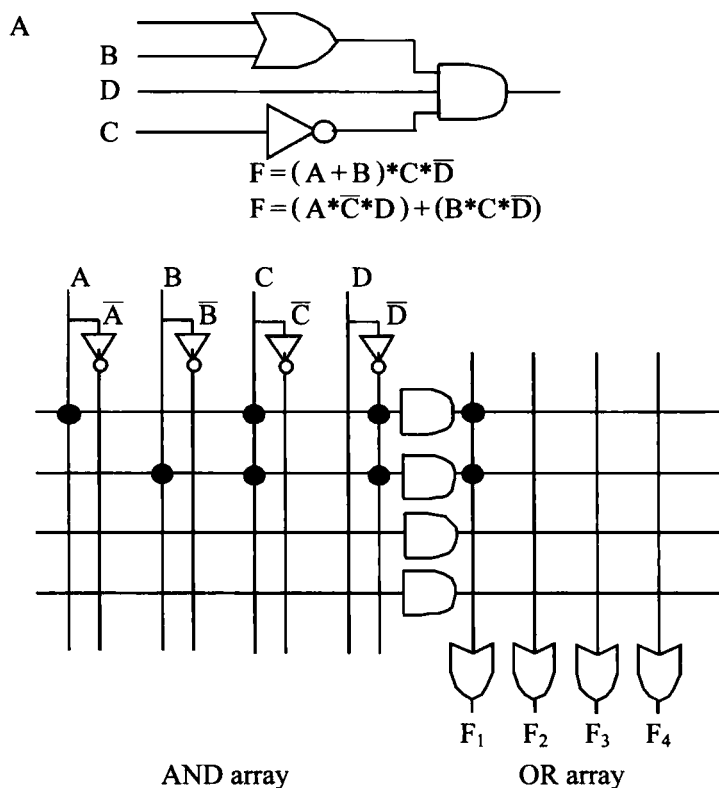


圖 9-19 由邏輯區塊所組成的 CPLD 電路。

FPGA（Field Programmable Gate Array，現場可規劃閘陣列）是在一顆超大型積體電路（VLSI）中，均勻地配置了一大堆的可程式邏輯區塊（CLB, configurable Logic Block）。每個 CLB 都擁有基本的組合邏輯和順序邏輯電路，而且在每 CLB 和 CLB 之間均勻地配置一大串的可程式配線（routing），只要控制這些配線就可以將每個單獨的 CLB 組合成複雜的大型電路；最後再利用分