

及 Q_4 到 node 端。當 SRAM 處於「寫入 (Write)」的狀態時，所欲存入的資料「1」將在位元線上，當字元線上的電壓等於 V_{dd} ，電晶體 Q_5 與 Q_6 將開啟，node A 由位元線經 Q_6 升壓至 V_{cc} ，同時將 node B 因 Q_3 打開而拉至 V_{ss} ，當字元線關閉而 SRAM 因此悶住 (latch) node 端的訊號，也就完成存入「1」的動作。

在讀取記憶體單元訊號時，所要 access 之 SRAM 記憶體單元那一行之字元線打開，使得記憶體單元之內部二 nodes 接至位元線及位元線。由於位元線很長，位元線上之寄生電容之電容值會比 SRAM 記憶體單元之內二 nodes 處之寄生電容大許多。所以當位元線及位元線接至指定之 SRAM 記憶體單元時。由於 charge sharing 會使位元線及位元線上之電壓依 SRAM 記憶體單元之內部二 nodes 之既有電壓差稍微改變。也就是由於 storage 記憶單元 node 之等效電容比位元線上之等效電容小得多，所以當 SRAM 記憶體單元 accessed 至位元線後，位元線上之電壓只稍微改變。必須將位元線及位元線是接到以差動放大器為主之感應放大器，感應放大器把此二微小之電壓變化放大至足夠的電壓差以分辨 0 與 1。

列解碼器之功能是把 row address 變成用來驅動字元線。我們可把 SRAM 記憶體單元矩陣分為兩半，再把 row 解碼器放在中央。如此距離 row 解碼器最遠之 SRAM 記憶體單元之字元線長度短了一半，以減少字元線上之延遲時間。由於二級解碼器之結構，會使記憶單元 array 劃分為數個 memory blocks。由第一級解碼器之 global 字元線將再由第二級解碼器再變為 memory block 中之區域字元線。以分級解碼器建立之 memory block 之設計架構對超大型之 SRAM 很重要。以記憶區塊建立之 SRAM 由於每一 local 區塊中之 local 字元線較 global 字元線短許多，因此字元線上之時間延遲會小許多。

位元線上最重要之電路即感應放大器。圖 11-5 顯示記憶單元及相關位元線後接之電路——感應放大器。感應放大器分為二級，第一級是位元線感應放大器，通常一組位元線可接一組位元線感應放大器，第二級是輸出感應放大器。第一級之位元線感應放大器輸出接至 data bus，由於位元線上之 ΔV 很小，除了位元線上之感應放大器外，另會有一從 data bus 接至 2nd stage 感應放大器即輸出感應放大器。當感應放大器操作在於 read 時，某一記憶單元已由 access 電晶體接至位元線及位元線。Accessed 記憶單元上之 data 會使位元線及位元線上之電壓產生微小之變化。感應放大器即用來放大此微小之電壓。此感應放大