



圖 9-9 CMOS 傳輸閘的電路圖、符號、與電阻間的關係及開關打開時，電壓接近  $V_{cc}$  的情形。

另一個方法是利用傳輸閘來作為開關，我們將N/PMOS分別頭尾為相接，見圖 9，當  $V_c = V_{DD}$  在導通位置，其輸入  $V_I$ ，會開始對電容充電，直到  $V_O = V_{DD} - V_{TH}$ ，而此時  $Q_p$  在  $V_O = V_I$  時，仍繼續對電容充電直到  $V_O = V_{DD}$ 。若以CMOS傳輸閘，提供雙向電流，使在很大的輸入範圍，幾乎固定導通電阻。其代價是增加電路複雜度面積和電容。

CMOS傳輸閘常用來作為類比電路 Sample and Hold 電路的開關，有時CMOS傳輸閘本身即是可用作邏輯函數。由CMOS傳輸閘所裝置之 exclusive-OR 及 exclusive-AND 函數。比起 CMOS 靜態電路更加簡潔。其次 CMOS 傳輸閘邏輯電路之速度可能相當慢，主因其採用面積等效之 RC delay 較大，此為其主要弱點。