

5.3 本章習題

1. 簡述 CMOS 中所謂的通道長度調變 (channel length modulation) 與 Early 電壓。
2. 某 n-MOSFET 的 $V_T = 0.5\text{V}$ ，且閘極偏壓固定在 $V_G = 1\text{V}$ 。已知當汲極電壓 V_D 等於 0.5V 與 1V 時之汲極電流 I_D 分別等於 3mA 與 3.5mA ，請計算此 n-MOSFET 元件之 Early 電壓。另外，請畫出此 n-MOSFET 的輸出特性 I_D - V_D 圖，並在此圖上一併畫出不考慮短通道效應的 I_D - V_D 圖 (V_D 座標由 0V 至 2V)。
3. 何謂臨界電壓下滑 (V_T roll-off)？此現象帶給製造生產上的困難為何？有哪些製程上的方法可改善此現象？
4. 何謂 DIBL (drain-induced barrier lowering) 效應？有哪些製程上的方法可改善此效應？
5. 何謂貫穿 (punch-through) 現象？有哪些製程上的方法可改善此現象？
6. 請解釋與比較 MOSFET 元件中的(a)接面崩潰電壓 (junction breakdown voltage)，(b)貫穿電壓 (punch-through voltage)，(c)閘極氧化層崩潰電壓 (gate oxide breakdown voltage)，以及(d)元件崩潰電壓 (device breakdown voltage)。
7. 針對 n-MOSFET 而言，請討論下列六個植入步驟的功能與植入離子的型式：(a) Poly-Si gate implant(b) V_T adjustment implant(c)LDD (lightly doped drain) (d)halo implant(e)APT (anti-punchthrough) implant(f)well implant。
8. 請針對 p-MOSFET，重複上一問題。
9. 上二題中的六個植入步驟對 CMOS 元件特性的影響為何？可依下表說明有哪些電性項目 (例如臨界電壓 V_T 與基底效應係數 γ 等等)，與其有關。