



圖 9-1 邏輯元件反向器輸入與輸出的時間延遲。

$$I \equiv C * \frac{\partial V}{\partial t} \quad \Delta t \equiv C_p * \frac{\Delta V}{I}$$

ΔV 為輸出電壓振幅，如想降低 delay time，必須使輸出電壓振幅減少、負載電容減少、及增加電路之電流。所以在深次微米技術中把電源 V_{DD} 縮小對增進速度有幫助。電流增大亦可使 delay 變小，我們可把通道寬度變寬、長度變短來增加電流。但是在 VLSI 之數位電路中，通道寬度變寬後，輸出端之寄生電容可能會成比例增加，如此對減少時間延遲達不到預期之效果。

9.2 反向器 (Inverter)

在 CMOS 邏輯電路使用上，最常用的操作單元為反向器，是以 1 個 PMOS