

4. 介電層漏電 Dielectric leakage ($<0.5\text{nA}/\text{cm}^2$) ——改善介電材料的 uniformity 及缺陷來降低介電層漏電。

5. 製程隔離漏電 Process isolation leakage ($<0.1\text{pA}/\text{cm}$) ——利用 self-align 製程及較佳的對準技術枚降低 node to 字元線、node to 位元線漏電。

為了與邏輯電路整合，又希望避免 SRAM 佔用太多面積，因此有了 1T-RAM 的概念產生，利用傳統 DRAM 的結構，以平面多晶矽／氧化物／基材（poly/oxide/substrate）的電容來整合邏輯電路，完成電路中 SRAM 的功能，可大幅縮小 6T SRAM 的面積，卻如同 DRAM 需要 Refresh 電容，因此速度上亦比 6T SRAM 略差。

1T RAM 在製程的考慮及特色：

1. 與 DRAM 相同常用 PMOS/n-substrate 來提高雜訊免疫力。
2. 為避免漏電，電容介電層氧化物厚度較難降低。
3. 由於電容值較小，須較頻繁 refresh 的動作。
4. 可以將 STI 的場氧化層高度降低，增加電容面積。

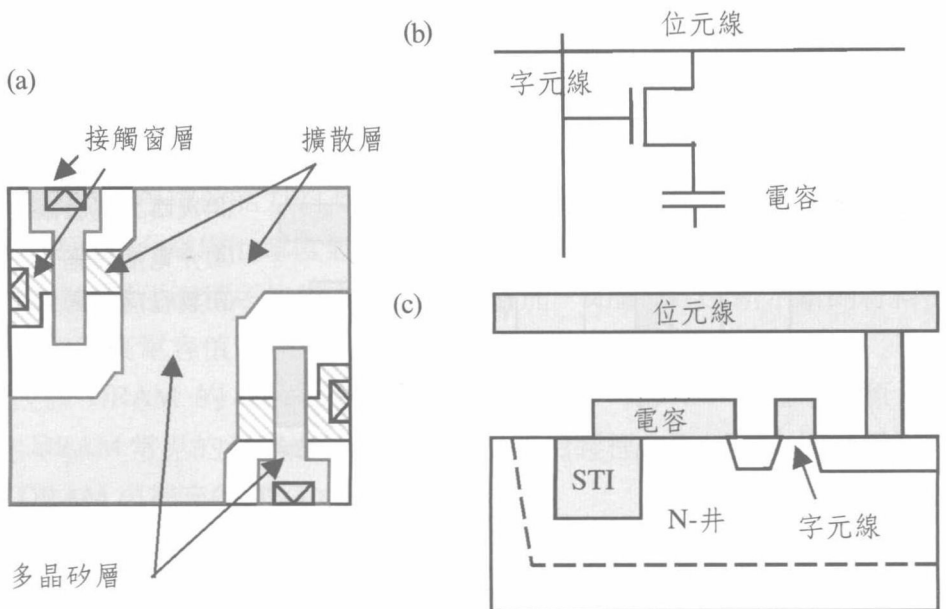


圖 11-16 (a)1T RAM 記憶體單元 (b)與 DRAM 相同的電路結構 (c)1T RAM 的結構截面示意圖。