

時、微縮並不能增加電流，而不是上述之增加 s 倍。因 delay 與 $(C_L \Delta V)/I_D$ 有關，電流不增加、使 delay 只縮小 s 倍，而不是上述的 s^2 倍。功率消耗也因此不會增加，而不是上述之增加 s 倍。在同樣面積下之電晶體數增加 s^2 倍、因此同樣面積之消耗之能源增加 s^2 倍。因此額外產生的散熱問題在使用深次微米元件之VLSI 電路不可忽視。

此外，下一代之深次微米CMOS技術，如需繼續縮小，電源 V_{DD} 仍需再變小。由1.5V再縮至1V。如第三章所述，臨界電壓因次臨界斜率（sub-threshold）之考量、不易再縮小。當 V_{DD} 縮至1V時，對現有之CMOS電路性能會有困難，因其 $V_{GS} - V_T$ 太小。所以對於 $V_{DD}=1V$ 之深次微米CMOS技術，現有之CMOS電路有再改進之必要。在能量消耗管理上，可以多種 V_t/V_{DD} 來改善，如將低 V_t 用於邏輯電路；高 V_t 元件用於記憶體，或者低 V_{DD} 用於高運轉電路，高 V_{DD} 用於低運轉電路等，皆有助於同時效能與能量消耗的改善。

9.3 組合邏輯 (Cmbinational Logic)

9.3.1 基本組合邏輯

數位邏輯電路中依電路的運作方式，可分為組合邏輯（combination logic）與順序邏輯（sequential logic）兩種。所謂組合是由許多邏輯閘所組成的電路；它的輸出可以直接由輸入組合的形式表現出來，而與電路的過去輸入情況無關；也就是說：組合邏輯的輸出，可用布林函數來描述；輸出的狀況僅與當時輸入的狀態有關。

1. 反相閘

反相閘（NOT gate），即為前述的反相器（inverter）；其特性為輸出恆為輸入的補數；也就是說，當輸入端A的信號為邏輯0時，則輸出端f的信號即為邏輯1；反之，當輸入端A的信號為邏輯1時，則輸出端f的信號即為邏輯0。一般而言，要設計CMOS反相器使邏輯振幅在0和 V_{DD} 的中點， $K_n' \cdot (W/L)$