

在追求高性能（HP）電路的努力下，最重要的因素是元件速度的提升，可由降低操作電壓，降低寄生電容及增加元件電流來提升，而低操作能量（LOP）的需求可由降低寄生電容及降低操作電壓來改善，另外對低待機能量（LSTP）的電路，必須從各元件漏電來源，如降低閘極漏電、改善短通道效應來改善。

7.2 基板工程（substrate engineering）

7.2.1 晶片選擇

在基材的選擇上，必須要求更高純度的基材，降低有機物及微粒 particle，亦須要求低長晶時矽基材的微缺陷如 COPs（crystal-originated pits）或晶格缺陷如 stacking fault，此時可以使用氫退火（1200C, 1 hr）形成 Hi-wafer 來降低晶片表面氧缺陷，以達成製程高良率的需求。除了晶片缺陷考慮外，晶片方向，高品質的磊晶晶片，或高階產品需要的 SOI，應變矽都是晶片選擇的方向：

1. 磊晶（epi-wafer）

在淺摻雜 p^- 或重摻雜 p^+ 晶片上，成長一較低缺陷的晶體表面，可符合高階產品的需求，一般選用較高摻雜的磊晶晶片，有較佳的缺陷捕捉效果，由於 p^+ 造成的基材阻值下降，亦可改善元件 latch up 的特性，提高 latch up holding voltage，同時改善元件隔離效果，減少電路面積。

2. 晶片方向

由於 100 晶面於製程中易於沿著晶面破裂，111 又由於晶面原子密度太高造成電子遷移率較低，110 是目前大多數晶片製造商的選擇，根據實驗結果，110 晶面在 110 方向有最佳電洞遷移率，若是在 110 的晶面上旋轉 45° 為 100 方向，則對於 NMOS 的電子遷移率較高，對於高效能元件有要求者可根據需求對晶片做出選擇。