

lectric) 所組成的電容器，且彼此成串聯，這個 DRAM 胞與字元線及位元線相連接的電路圖則如圖 11-11 所示。這個 DRAM 胞在操作時，底材矽將接地 (Ground)，而電容器的多晶矽電極將被施以 V_{cc} 的電壓，使得類似 MOS N 通道的反轉層與空乏層，將在電容器的介面出現。

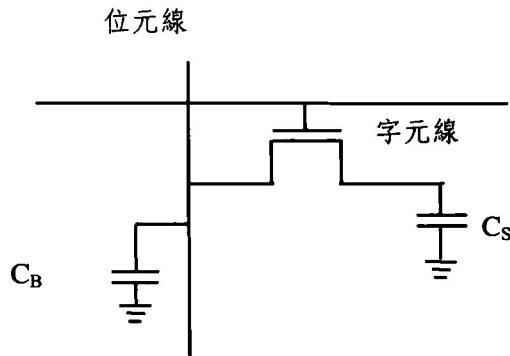


圖 11-11 DRAM 記憶體單元電路圖。

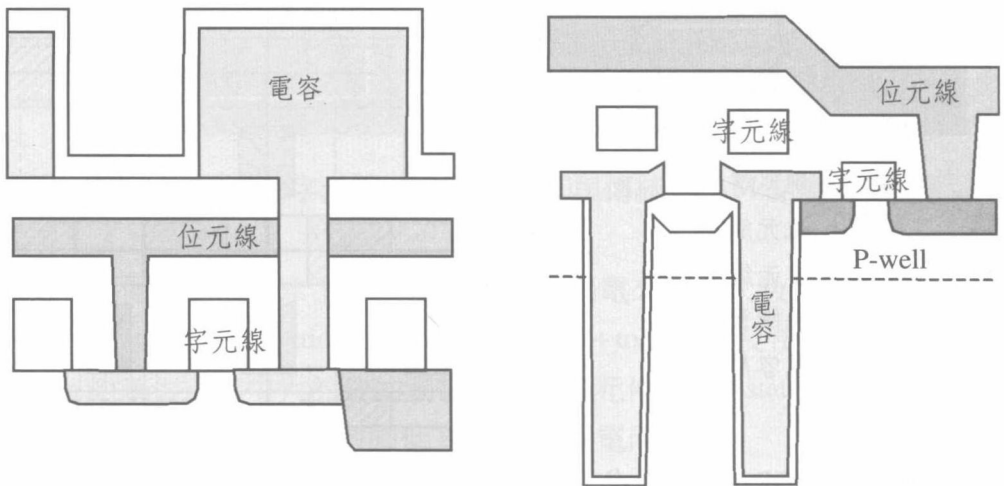


圖 11-12 堆疊式 (stack) 與溝渠式 (trench) 電容結構 DRAM。

在 DRAM 的電容結構設計上可分為堆疊式 (stack) 及溝渠式 (trench) 兩大主流，如圖 11-10，堆疊式 DRAM 由於必須增加電容面積，通常將電容結構放於位元線的上方 capacitor over bit line (COB)，又為了增加電容值，尋求高