

1'到'0'的轉換期間，n 型和 p 型電晶體會有一小段時間會同時導通，而導致一個從 V_{DD} 到 V_{SS} 的短暫電流脈波，此電流亦須對電容負載進行充、放電。通常後者具關鍵性影響。

對於一個步階輸入 $i_n(t) \equiv C_L \frac{dV_{out}}{dt}$ (C_L = 負載電容)，且 $P_{sc} \equiv I_{mean}^* V_{DD}$

結果

$$P_D \equiv fCV_{DD}^2$$

所以對於一個週期性步階輸入，所消耗的平均功率和電路電容充放電所需的能量成比例關係。另外值得注意的重要因素是必須考慮 N/PMOS 充放電速率不一致的問題， $I_{DS} = \frac{1}{2} \left(\frac{W_{eff}}{L_{eff}} \right) C_{ox} \mu_n (V_{GS} - V_T)^2$ 乃由於 N/PMOS 載子遷移率不同造成 (μ_n 約 μ_p 二倍)，我們可以通道長度與寬度，PMOS 之 (W/L) 設計約為 NMOS 二倍來使 N/PMOS 有接近的飽和電流，其目的是補償電子電洞 mobility 之差異，以期 $K_n = K_p$ 。如此可以使 I/O transfer curve 對稱於中心。有對稱的充／放電流，可避免不必須的時間延遲。

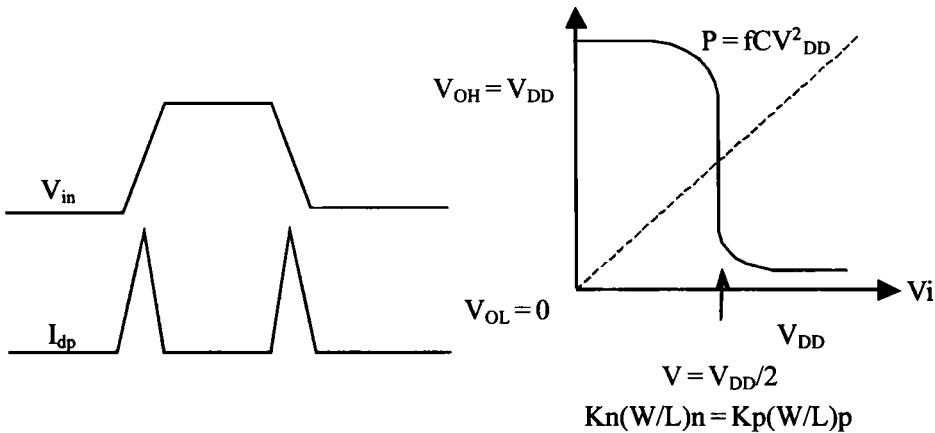


圖 9-3 反向器於訊號改變時的電流反應與對稱的電壓改變圖形。

談到在深次微米元件之微縮法則，在電壓源／臨界電壓固定不變下，MOS 元件水平及垂直方向之尺寸均縮 s 倍 ($s > 1$)。但是會使電流增 s 倍、功率消耗增 s 倍、時間延遲減 s^2 倍。但考慮載子速度會達到飽和 (velocity saturation)