



圖 11-22 快閃記憶體信號的讀出。

另外，在一些製程的考量上，像是降低操作電壓，可以使得場氧化層（field oxide）的變薄變短，以及降低場氧化層下方防止寄生電晶體導通的離子佈植量（field implant dose）使源極端雜質濃度分布較平緩，接面深度變淺，這些相關參數的縮減，亦可以帶來實質的面積縮減。除了在電源系統需求由 5V 走向 3.3V，在可靠性之要求也須提升至  $10^6$  的擦寫次數，以符合許多應用之需求。為了達到此可靠性之要求，製程技術必須列為考量，如穿隧氧化層（tunnel oxide）之厚度要求需極為嚴格，厚度之變動需愈小愈好。降低汲極與閘極間的重疊面積大小，以減少電子注入時所造成的電子干擾。在控制閘與浮動閘間的介電材料（interpoly dielectric）之要求上，需要在滿足不漏電的條件下，有極薄的 ONO（oxide-nitride-oxide）介電材料來達到高耦合係數。