

晶片表面處理乾淨，就可以長出良好氧化層。當表面污染已經下降到某個程度，我們再用氬退火的製程，基本上它可以把表面氧原子含量減低，在此情況下，在表面有較低的表面缺陷。若使用磊晶晶圓的話，氧原子含量降得非常低，所以缺陷密度也更小，使成長出的氧化物更接近理想介電電場強度。

為提高閘極的電容值，氧化層厚度不斷下降，以往固定操作電壓的設計將承受不住而轉向定電場微縮方式設計，因此操作電壓亦不斷下降至 1V 左右。基本上氧化層的破壞電壓（Break down Voltage）大概有三個模式，所謂的 A-mode breakdown ($<1.1 V_{cc}$)，就是所謂的 initial short，大部分都是製程缺陷所造成，就是指氧化層本身有很多缺陷如 pinholes 或 particle 等；B-mode 在 Stress 後才看得見 ($1.1V_{cc} \sim 2.3V_{cc}$)，C-mode 就是 intrinsic breakdown ($>2.3V_{cc}$)。當氧化層時愈薄時，A 模式的效應會越來越強，而缺陷密度也越來越高，所以潔淨的基板對閘極氧化層是非常重要的。雜質及微塵中是最需要去除的，其次是 metal，再來是氧化層形成時所造成的 micro roughness 及 native oxide 等，都需要去除。若不把這些雜質去除，在熱處理過程之後，這些雜質或者跑進基板中，或者留在氧化層內，都會對氧化層的品質造成不良。為了提高閘極電容以增加元充件趨動電流，閘極氧化層不斷降低的結果，閘極漏電已逐漸接元件 off 狀態的漏電，工程師必須開始使重視閘極漏電的行為並從製程加以改善。

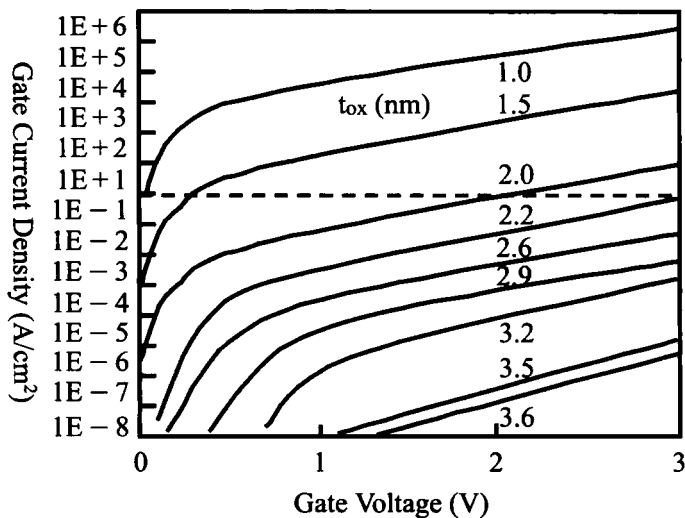


圖 7-14 SiO_2 閘極氧化層厚度與閘極漏電的關係。