

## 7.5.2 低介電材料

以往的金屬層間的介電隔離材料多以二氧化矽為主（ $\text{SiO}_2$ ），因為很容易藉由矽甲烷（Silane）與  $\text{O}_2$  或是  $\text{N}_2\text{O}$  的 CVD 反應來加以製作，熱穩定性（Thermal Stability）極佳，對矽或是其他 VLSI 製程裡所使用的材質的附著性也良好，因此成為以矽為主體的半導體工業裡，最重要的一種介電材料。

但是， $\text{SiO}_2$  的介電常數為 4，較空氣的介電常數值 1 高出許多，為了調降先進 VLSI 製程於多重內連線所導致的 RC 時間延遲，必須進行新的低介電常數材料的開發，期能藉由低介電材料的使用，取代具高介電值的  $\text{SiO}_2$ ，來降低 IC 因內連線的 RC 時間延遲，在運算速度上所面臨的瓶頸。經過多年的努力，半導體業界，已開發出許多種類不同，介電常數較  $\text{SiO}_2$  為低的介電材質。基本上，我們可以依照該低介電材料薄膜的製作方式，把這些低介電技術，區分成 CVD 式與 SOD 式等兩大類。前者是指該低介電材料，是藉由化學氣相沉積的方法，而沉積在晶片上的；至於後者，則是採用 SOG 製程，藉由漩塗（Spin Coating）的方式來製作的，因此稱之為「漩塗式介電材質（Spin-On Dielectric）」，並簡稱為 SOD。在 CVD 製程上，機械強度及熱穩定性較高，而 spin-on 製程需額外進行熱處理（curing），且機械強度較低。

理想低介電材質除了必須有較低的介電值之外，在熱穩定性、電性、機械性質和薄膜化學性質上，所應具備的條件如圖 30 所示，除此之外，與金屬導線的製程整合相當重要，如金屬與介電材料的附著性，金屬層之間抵抗漏電的能力，金屬與介電材料間蝕刻的選擇比，以及抵擋金屬層擴散的能力等，都必須作製程最佳化的調整，以符合電路的電性特性以及產品可靠度的需求。