

大表示 DIBL 的程度愈嚴重。因此，為了方便表示比較，業界常使用標準化（normalization）的表示法：

$$\text{DIBL} = \frac{\Delta V_T}{\Delta V_D} \quad (\text{單位：mV} / \text{V}) \quad (5.25)$$

若線性區的臨界電壓（ $V_{T,\text{lin}}$ 表示）是在 $V_D = 0.05\text{V}$ 時量得的，而飽和區的臨界電壓（以 $V_{T,\text{sat}}$ 表示）是在 $V_D = V_{DD}$ （供應電壓）時量得的，則 (5.25) 可寫成：

$$\text{DIBL} = \frac{V_{T,\text{lin}} - V_{T,\text{sat}}}{V_{DD} - 0.05} \quad (\text{mV} / \text{V}) \quad (5.26)$$

- (2) 上式中的 $V_{T,\text{lin}}$ 與 $V_{T,\text{sat}}$ 曾於 §4.3.2 節中介紹過（註：圖 4-8 與圖 4-9 分別圖解其求法），對長通道元件而言，二值相等；但對短通道元件，DIBL 效應使 $V_{T,\text{sat}}$ 的值變小，也因此業界多採用 $V_{T,\text{lin}}$ 的值。
- (3) DIBL 僅造成 $I_D - V_G$ 次臨界特性曲線向左平移。換言之，只有次臨界電流增加，但次臨界斜率（subthreshold slope） S 是保持不變的。若次臨界斜率也變大，代表發生另一個短通道效應－貫穿（punch-through），這個將於下一小節中介紹。

那麼，該如何降低短通道元件的 DIBL 效應？以下提供讀者在實際應用上的重要觀念：

- (1) 源極和汲極採用淺接面技術，可有較淺的橫向接面深度，因此有較長的有效通道長度。實際上，目前廣泛使用的 LDD（lightly doped drain，輕摻雜汲極）結構可視為一種淺接面技術。LDD 已被證實可有效改善熱載子效應（hot carrier effect）外，還可減輕 V_T roll-off、DIBL、與 punch-through 等短通道效應。
- (2) 參照示意圖 5-8，為了儘量避免汲極端接面的空乏寬度由於 V_D 的增加而增加後進而「扯低」源極端接面的能障高度，根據公式 (2.12) 可知須要使用較濃的基板摻雜濃度。但是，這會加強基板偏壓效應（見 §4.4.2 節）與 V_T roll-off 效應（見 §5.2.1 節），因此折衷的解決方法為僅選擇性