

介電常數的材料及製程的整合，溝渠式以深溝渠以增加電容面積，來形成 DRAM 的電容，且此電容器在電晶體製程前完成，並不會影響電晶體的熱預算（thermal budget），容易與邏輯元件整合在一起。

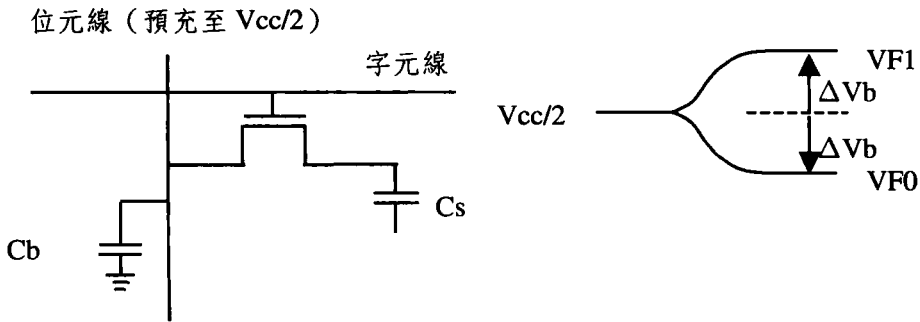


圖 11-13 DRAM 操作訊號「1」電壓  $VF1$  及訊號「0」與參考電壓（ $V_b$ ）間的關係。

$$VF1 \equiv V_{cc} * \left[ \frac{2C_s + C_b}{2G} \right] * [C_s + C_b]$$

$$VF0 \equiv V_{cc} * \left[ \frac{C_b}{2G} \right] * [C_s + C_b]$$

$$\Delta V_b \equiv \frac{V_{cc}}{2G} * \left[ \frac{C_s}{C_s + C_b} \right] \approx \frac{V_{cc}}{2} * \frac{C_s}{C_b}$$

在 DRAM 的操作上，假如我們想要把訊號「1」寫入這個 DRAM 胞，位元線上的電位將先被提升到  $V_{cc}$ ，當字元線也同時達  $V_{cc}$  的電位時，NMOS 將開啟。因為 NMOS 的源極與位元線相接，且位元線上的電位此時為  $V_{cc}$ （或是訊號「1」），這使得電容器及 NMOS 因強反轉所形成的電子，將由位能較低的 NMOS 源極移去。當加之於 NMOS 閘極的字元線電壓回復零伏特時，NMOS 將關閉，而電容器裏將空無電荷，這便代表數位訊號「1」，同理，假如要把「0」寫入這個 DRAM 胞，位元線上的電壓將為  $0V$  以代表這個輸入訊號。當字元線也達  $V_{cc}$  時，NMOS 將開啟，來自 NMOS 源極的電子（此時的電位為  $0V$ ）將流入 NMOS 及電容器，並恢復兩者的強反轉層。當 NMOS 因字元線電壓換為  $0V$  而關閉後電容器裡的電荷將被儲存，而完成寫入「0」的動作，如。因為 DRAM 胞在完成「1」的寫入後，電容器將處於無電荷的非平衡狀態下，其他