

低電壓為減少功率消耗的主要方式，近年來各晶片的供應電壓已從 5 伏特降至 1 伏特左右。為了提升操作速度，頻率基本上必須大幅提升以達效率的要求。降低電壓時，晶片速率常常下降，因此為了平衡甚至提升效能，晶片的臨界電壓必須同時下降，加上日益減縮的閘極絕緣層，晶體的漏電現象日益嚴重，由於高 k 值閘極絕緣層的製程不易，在不久的未來，晶體的漏電可能會超越動態功率。為此，目前高階微處理器晶片設計已從單一供應電壓及臨界電壓提升至多供應電壓及臨界電壓。為了進一步減少漏電，電源管理電路的使用已經是普遍採用的技術。

3. 目前半導體業界的現象是半導體製造技術愈走愈快，但 IC 設計與驗證能力卻追趕不上，製造與設計間出現明顯落差，成為 SOC 發展的最大瓶頸。SOC 設計所遇到的主要技術問題在於需要一套 IP 重複使用與以平台為基礎的設計方法。而這套方法需要於公司內部或市面上具備眾多質佳而易整合的 IP 作為基礎，且須含括邏輯、混訊電路、RF 電路與各類記憶體電路的設計方法的整合，並克服不同電路區塊不同製程相容性的問題，其中較簡單的是邏輯電路間的整合，難度較高的是類比電路與邏輯電路間的整合，最難的是邏輯電路與記憶體間的整合，特別是嵌入式 DRAM 的情況。此類製程整合疊加的狀況，會使 SOC 製程過於繁複，影響技術可行性或經濟效益。
4. 而由於各種特殊製程之微縮進展不一，使得在打造 SOC 製程時，微縮進展最落後的功能區塊部分將成為 SOC 之經濟瓶頸所在，整體的 SOC 製程均需遷就於其中。以 SOC 裡的各功能區塊為例，微處理器及 DSP 需要先進製程技術，但類比 IC 卻需要低階製程技術，遷就於類比技術把各個元件整合在一起後，有可能使得成本不一定是最佳情況。
5. 在封裝技術方面，改善晶片與接腳的連接方式，提高晶片與封裝基板的導熱傳輸，提高散熱率相當重要。此外，由於晶片功能提高，工作頻率過高的情況下，將導致連接線上的電感效應，造成訊號互相干擾所引發的雜訊，因而限制晶片達到更高的性能，這是性能導向的 SOC 須面對的問題。在 IC 朝小型化、高速化、高集積度發展的趨勢下，以打線（Wire Bond）為主的傳統封裝技術，已無法滿足未來技術需要，BGA（ball grid array）I/O 高腳位錫球封裝、Free Chip、晶片級封裝 CSP（Chip-