

性行為不正常。

另外當矽層厚度降低時，將使源／汲極阻值升高，這問題可以以提升源／汲極（raised S&D）或 fully S&D Silicidation 方式來改善。

儘管 SOI 有著諸多優點，在同一世代上提供較佳元件性能，亦不乏商業化產品問世，但在 CMOS 微縮的過程中，元件微縮的元件性能的改善，遠超過 SOI 製程開發所產生的效應，致使 SOI 製程不斷遞延，但在 CMOS 製程接近物理極限時，相信 SOI 製程在產品線上，將仍有一席之地。

8.3 應變矽 Strain Si

8.3.1 應變矽特性

矽應變由於僅需改變矽基材，製程則與 CMOS 相容，是不用改變製程即可大幅提升元件性能的方法，使各大半導體廠競相投入開發，目前對應變矽基礎研究大致完成，而實用化的產品正逐漸在市場上出現。

8.3.2 全面性應變矽（global strain）

應變矽發展初期，主要為全面性應變（global strain），在 Si 表面以磊晶方式，成長不同比例的 $\text{Si}_{1-x}\text{Ge}_x$ 晶格，並於磊晶成長的後期，再成長純 Si 原子，由於晶格匹配的緣故，表面矽原子將受到底部較大 Ge 原子的拉伸，而形成拉伸應變，實驗證明，在 X、Y 平面處於拉伸應力下，電子電洞載子移動率皆有大幅提高。