

料皆為有限電阻，故會產生雜訊。對一個相當寬之電晶體來說，源極和汲極電阻可被忽略不計，但閘極分散（gate distributed）電阻將變得非常重要。對熱雜訊來說，我們必須增加汲極電流或是元件寬度來將電導 g_m 最大化。

在一電晶體中閘極氧化層與矽基板之界面顯示了一個有趣的現象，因為矽晶體將會達到此界面之一端，許多不連接（dangling）之鍵結將會出現，產生一多餘的能階態。當電荷載子於界面移動時，某些載子將被隨機捕捉然後以此能階態釋放，使得汲極電流產生閃爍雜訊（flicker noise）。除了被捕捉以外，仍有許多機制被認為會產生閃爍雜訊。不像熱雜訊一樣，閃爍雜訊之平均功無法輕易地預測出來，與氧化層—矽界面之清潔度有關，閃爍雜訊可能產生相當不同的數值並且隨著 CMOS 製程技術而變化。

注意到圖 28 的雜訊頻譜密度與頻率成反比，原因由於連接鍵結相關之捕捉—釋放現象在低頻時更常發生，基於這個理由，閃爍雜訊也稱為 $1/f$ 雜訊。我們在同一軸上繪出閃爍雜訊與熱雜訊兩個頻譜，其交點可當做量測被閃爍雜訊破壞最少之頻帶。輸出電流之 $1/f$ 雜訊轉折點， f_c 可被決定為

$$4kT(2/3)g_m = K/(C_{ox}WL) \cdot 1/f_c$$

$$f_c = K/C_{ox}WL \cdot g_m \cdot 3/8kT$$

此結果暗示了 f_c 一般來說直接和元件尺寸及偏壓電流有關。但是因為對一個給定之 L 來說，此相關性非常弱， $1/f$ 雜訊轉折頻率幾乎固定不變，對於次微米電晶體來說，約在 500kHz 至 1MHz 附近。

對於 $1/f$ 雜訊，主要的方法是增加電晶體之面積。如果 WL 增加而 W/L 保持固定時，元件之轉導值與其熱雜訊將不會變化，但是其元件電容會增加，這些觀察指出雜訊、功率消耗、電壓振幅與速度之相互限制。