

另外讓我們考慮製程微縮對 g_m 造成的變化

$$\begin{aligned} g_m &= \mu (\alpha C_{OX}) * W / (L / \alpha) (V_{GS} - V_{TH}) \\ &= \mu C_{OX} W / L (V_{GS} - V_{TH}) \end{aligned}$$

我們注意到如果所有尺寸和操作電壓減少時， g_m 將變化不大。由於以上討論可知要獲得較高電壓增益仍應避免使用短通道的元件，若仍須同時考慮元件速度與電壓增益而必須採用短通道的元件時，可使用第六章基材工程與源／汲極工程的手法，如 SSR 結構來降低短通道引起的 DIBL 行為，可避免輸出阻抗 r_o 的下降，維持良好的電壓增益。

元件縮小對於類比電路另一個衝擊是供應電壓減少。在理想的製程微縮之下，電壓振幅減少，降低了電路的動態範圍。舉例來說，如果動態範圍的下限被熱雜訊限制時，則 V_{DD} 減少 α 倍會使得動態範圍減少 α 倍，因為 g_m 和熱雜訊維持不變。當然，在一般維持 I_{DD} 不變的狀態下，因為對類比電路之功率 $(V_{DD}/\alpha)(I_{DD}/\alpha) = (V_{DD}I_{DD}/\alpha)^2$ 而言，功率消耗會減少 α 倍。

CMOS在操作頻率提加時，訊號放大的能力將逐漸下降，我們常將截止頻率($f_t = g_m / C_{input}$)與最大頻率($f_{max} = \sqrt{f_t / 8\pi R_g C_{gd}}$)作為檢視 CMOS 高頻特性的指標，為了提高 CMOS 高頻的操作速度及訊號的放大能力，我們常將多條 CMOS 並聯以增加元件的 I_D ， g_m 。

10.3.2 Bipolar 雙載子電晶體

雖然元件尺寸縮小後，CMOS 電晶體整體的速度不斷提高，但是還是比雙載子 (Bipolar) 電晶體來得慢。雙載子電晶體的缺點是高耗電性與低積集度，不過這些雙載子的缺點，正是 CMOS 的優點而且可以加以彌補的部分。於是乎一種結合這兩類半導體結構於一身的 Bipolar-CMOS 技術，簡稱 BiCMOS，便因應而生。它的設計理念是出之於將整個電路中最需要「高速度」和「高電流趨動 (Current Drive)」的部分，以 Bipolar 來處理，如高頻電路的輸入／輸出以及訊號的放大，而將電路中需要「高積度」和「低能耗」的區域，如陣列 (Arrays)，以 CMOS 來製作。如此一來，整個電路的操作不但具有原來 CMOS