

7.3.2 閘電極工程

閘電極工程方面比較複雜，我們通常同時使用離子佈植法（ion-implantation）在多晶矽閘極圖形蝕刻完成後植入摻雜物來同時形成閘極、源／汲極接面，其中對於摻雜植入的濃度／深度以及熱預算（thermal budget）的控制就很重要。多晶矽上的載子濃度不夠時，量測其C-V曲線會發現，在強反轉（strong inversion）的部分，發現電容並不飽和，即所謂的多晶矽空乏（poly-depletion）的現象，是由於在強電場作用下，poly與SiO₂介面間的電子被排擠產生空乏現象，使等效的氧化層厚度增加，造成電容的降低，進而影響元件的趨動電流，所以我們必須確定在poly與SiO₂的介面要有足夠多的載子濃度。

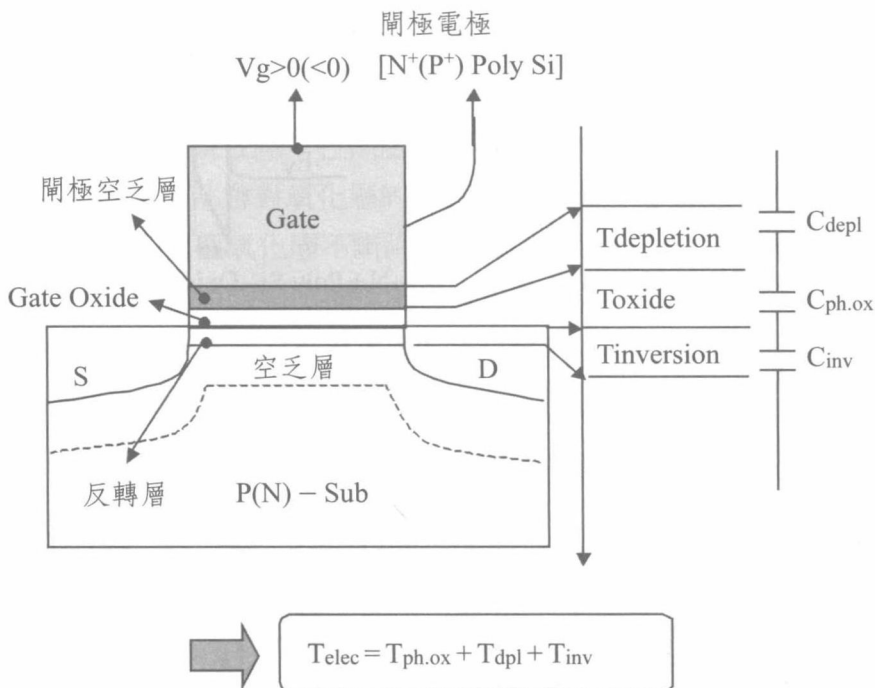


圖 7-17 poly 與 SiO₂ 的介面載子濃度不足將造成 poly-depletion 的現象

另外閘電極對元件電性有重要影響如臨界電壓的調整，首先討論到PMOS埋入通道（buried channel, BC），埋入通道指的是PMOS與NMOS共用相同N⁺多晶矽，而閘極材料與氧化層接觸時所產生的「功函數差（Work Function Dif-