

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.34)$$

其中 ϵ_{ox} 與 t_{ox} 分別為氧化層的介電係數與厚度。因此，若增加氧化層的厚度，則臨界電壓的絕對值 $|V_T|$ 亦會變大（即 n-MOSFET 的 V_T 變的更正些，而 p-MOSFET 的 V_T 變的更負一些），反之亦然。在實用上的考量，基本上希望有大的驅動電流（drive current），所以閘極氧化層的厚度一般上來說是越來越薄（就目前的技術，氧化層厚度約介於 15~100Å）。但是，當氧化層用在相鄰電晶體間的隔絕（isolation）時，厚度就必須較厚。圖 4-13 為二個鄰近 MOSFET 元件與其之間絕緣氧化層（又稱為場氧化層，field oxide，常簡寫成 FOX）的剖面圖。圖中顯示，若場氧化層上方覆蓋著任何導電材料，將形成一寄生 MOSFET 元件，常稱為場元件（field device）或場電晶體（field transistor）。（註：依導電材料的不同，又可分為 poly field device 和 metal field device）為了避免此寄生的場電晶體導通（因為導通就失去絕緣的功能），常用的一個方式就是用很厚的場氧化層來提高臨界電壓值。一般來說，場氧化層的臨界電壓要比閘極氧化層的臨界電壓大一個數量級，在電路操作時，場電晶體才不會導通。順便一提，由於電路佈局（circuit layout）的不同，會產生不同結構的寄生元件。我們必須考慮其電性特性，以確保良好的隔絕。

經由 (4.34) 式，我們也可使用具有高介電常數的氧化層來增加 C_{ox} 值。目前業界最普遍使用的為 SiO_xN_y （silicon oxynitride），它可經由不同的製程技術將氮（N）引入 SiO_2 中所形成的一種介電層。此種介電層不僅有較高的介電常數，還和 Si 有很好的界面特性。其他具有高介電常數的材料 HfO_2 等，也被推薦用來取代傳統的 SiO_2 。

式 (4.33) 中的 Q_{ox} 代表氧化層電荷，它的多寡主要跟製程技術有關。因為 Q_{ox} 是較難控制的，因此為了儘量避免 Q_{ox} 影響 V_T 值，我們藉由適當的製程技術將 Q_{ox} 量降到最低。圖 3-12 顯示 Q_{ox} 的四種基本類型以及在氧化層中的相對位置，而 Q_{ox} 的來源、特性、與製程改善方式已於 §3.1.3 節中作完整的介紹，故不再重複。