

能力，這主要來自該元件陣列的結構採取了邏輯電路中 NAND 的電路概念，將每一個元件接點（contact hole）要耗去的空間大部分予以省略，並且將各元件的 N^+ 型擴散區（ N^+ diffusion region）共用，減少大約一半汲極與源極區域所佔的空間，故在任何已知的製程技術下，它都能有較小的平均元件面積，如圖 11-18。

快閃式記憶體在操作上，主要是將電子置放在浮動閘內，而拭去記憶功能則是將電子自浮動閘中清除。在將電子置入浮動閘的操作上，有兩種主要的方式。第一種與 EPROM 相同，藉由通道熱載子注入的模式，將通道內的電子經過汲側空乏區之加速獲得足以越過氧化層能障的能量（ $\sim 3.2\text{eV}$ ）後，被注入浮動閘內，NOR 快閃記憶體常採用此種方式，如圖 11-19。另一種注入的方式在控制閘極與基極（substrate）之間施加一足以使氧化層可以產生 Fowler-Nordheim（F-N）穿隧效應之電壓，藉由電子自基極經氧化層穿隧至浮動閘內，常使用於 NAND 快閃記憶體產品，如圖 11-20。

這兩種注入方式各有其特點。在通道熱電子注入模式上，元件不需操作在太高的電壓下，在週邊的升壓線路上，比較不需面對太大的問題。但是電子注入是利用元件導通電流中的某部分電子流注入，其在做資料寫入時必須面臨較大的電能耗損，這並不利於像手提式個人電腦這種有低功率耗損要求的應用。為了提高熱載子的產生量，位於汲極側的區域基極濃度必須增加，來使得碰撞離子化（impact ionization）的效應增強。在這部分，採取大角度離子佈植的技術，在汲極與源極端佈植入 p 型的雜質，稱做大角度 p 型雜質包覆佈植元件。由於離子佈植技術的準確控制，在 p-n 接面位置的濃度與深度均能做有效的控制，使得這個結構可以避免掉繁瑣的 n^- 型 / p^- 型多次佈植與製程的誤差。事實上，在一些研究當中，發現在閘極覆蓋下的 n^+ 區域可能會有所謂的價帶至價帶間的穿透現象（Band-to-Band Tunneling, BTBT）發生，穿透現象所產生的載子經空乏區電場影響形成熱載子，將會使得部分的熱載子受到電場的影響，往閘極氧化層的方向注入，而造成長時間的操作後元件可靠度問題，因此對於 p 型區域的控制是很重要的。

反之，利用穿隧效應注入電子的模式，由於穿隧的電子大部分被留存在浮動閘內，其注入的效率提高所以可以大幅減低功率的耗損。不過，由於需要在氧化層上建立足夠大的電場，才能引發電子的穿隧現象，所以，高電壓的操作