

用，一直到最近因 CMP 及 Damascene 技術的發展才而使銅製程逐漸成熟。

在銅的沉積技術方面，因為以電鍍法所製作的銅層，其電子遷移（Electromigration）的抵抗能力，較以 CVD 法和 PVD 法所沉積的銅膜還高，因此成為銅層製作的主流技術；至於 Cu 種晶層方面，可以 CVD 法、無電鍍銅法完成，另外在發展中的「原子層沉積法」可以在 VLSI 製程微縮到一定的階段之後，能夠加入銅製程的應用。為了進一步的提升銅導線對電子遷移效應的抵擋能力，開發對銅進行摻雜的「摻雜銅（Doped Cu）」的材料，期望能改善銅導線的可靠度。

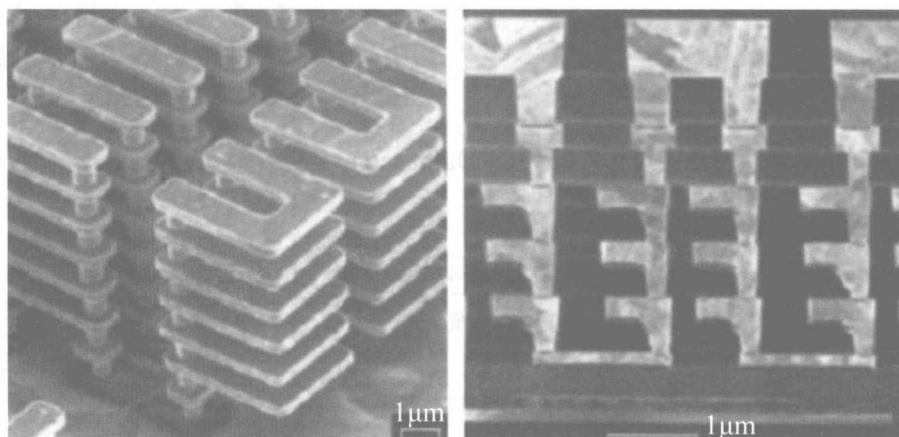


圖 7-31 銅製程 Damascene 技術。

在與介電層的製程整合上，我們可以運用一種稱為 Dual Damascene 的製程技術，來進行銅導線的圖形產生，至於銅污染的問題，則必須使用能夠阻擋銅原子擴散，且能防止銅表面氧化的「阻障層（Barrier Layer）」，來予以克服。Ta 或是 TaN 的沉積，是目前常用的阻障金屬層，可利用濺鍍法（PVD）或化學氣相沉積法，來提升鍍層的階梯覆蓋能力；甚至於發展中的「原子層沉積（Atomic Layer Deposition）」技術，也將在窗洞的深寬比值（Aspect Ratio）高到一定的程度之後，被用來製作所需的阻障層。將低介電材料技術與銅製程整合的主要問題點在於 Dual-Damascene 製程技術，目前常用的方法分為通孔優先（Via first）或者渠道優先（Trench first），各有其優缺點及製程上需要突破的困難。