

圖 10-10 電壓控制振盪器 (VCO) 之電路及變容器電壓與頻率的關係。

2. 鎖相迴路 (PLL)

PLL 僅由一個 PD 和 VCO 在回授迴路中組成，為一個比較輸出相位和輸入相位的回授系統，此比較動作藉由相位比較器 (phase comparator) 或相位檢測器 (phase detector, PD) 來執行。PD 比較了 V_{out} 和 V_{in} 之相位，產生一個會改變 VCO 頻率的誤差，直到相位被校準為止，也就是迴路被鎖定時。振盪器之控制電壓必須在穩態中維持固定，也就是 PD 輸出必須被過濾。因此我們插入一低通濾波器 (low-pass filter, LPF) 於 PD 和 VCO 間，抑制了 PD 輸出的高頻成份且在振盪器中產生了直流位準。這形成了基本的 PLL 組態。

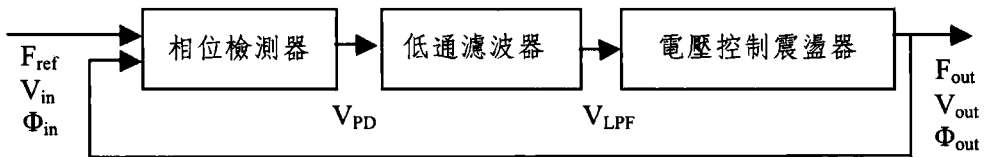


圖 10-11 基本的 PLL 組態。

PLL 鎖相迴路廣泛應用於時脈系統設計中，其中包括相位同步以及時脈倍頻等應用。通常，當晶片工作頻率高於一定頻率時，就需要消除由於晶片內時脈驅動所引起的片內時脈與片外時脈間的相位差，嵌入在晶片內部的 PLL 可以消除這種時脈延遲。另外，晶片控制鏈邏輯需要時脈源，整合在晶片內部的