

曾在上節中討論過，這會加強基板偏壓效應與 V_T roll-off 效應。因此，我們僅局部性地以離子佈植方式於基板表面下方的本體區域（也就是圖 5-10 中發生貫穿路徑的區域）多植入一道與基板摻雜型態相同的離子，稱為 **anti-punchthrough implant**（抗貫穿植入）。

- (3) 上節中介紹的 **halo implant** 或 **pocket implant** 亦可有效地增大 V_{PT} 值，因為此植入降低空乏區的寬度，故須要較大的 V_{PT} 才可達到貫穿所需的路徑長度。然而，根據公式 (5.27) 可知 **halo implant** 或 **pocket implant** 的濃度不可太濃，否則會降低接面的崩潰電壓（**junction breakdown voltage**） V_{BD} 。

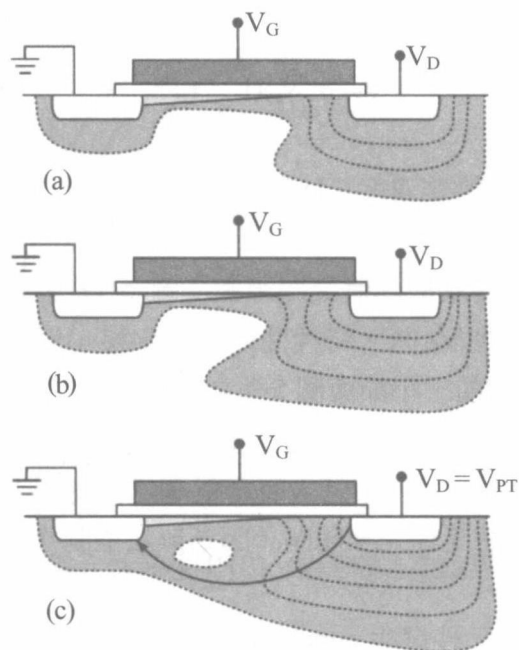


圖 5-10 逐漸增加汲極電壓 V_D 由(a)到(c)發生貫穿（punch-through）的示意圖（圖中灰色區域為空乏區），圖(c)中為 V_{PT} 貫穿電壓且箭頭方向表示貫穿引起的漏電流路徑。