



圖 7-6 (110)與(100)晶面上視圖及立體透視圖。

7.2.2 淺溝槽隔離 (STI)

在取得晶圓基材後，首先步驟為元件隔離工程，傳統習用的 LOCOS 隔離法由於鳥嘴（birds beak）效應造成有效元件寬度減少及場氧化層（field oxide）表面不平坦的限制，在 $0.25\mu\text{m}$ 以下的電路製作多已被 STI 所取代。STI 的製程問題須注意的為：當閘極跨過隔離邊緣時，如果元件區的角落太尖銳，則會因局部電場增強的緣故，使得元件區邊際的電荷反轉提早引發，使得元件的 V_{th} 值下降。主要改善方法為圓化角落，可能降低隔離邊緣的通道內的電場強度。另外必須避免淺溝槽隔離內孔洞產生應力或缺陷，可由氧化層充填著手，當隔離尺寸變小後，溝槽內的高寬比（aspect ratio）明顯增加，對氧化層充填是一項考驗，製程上要求達到無細縫與無孔洞的形成，而高密度電漿（HDP）CVD