

的 CMOS，則傾向於調整其  $V_t$  在較低的程度；但若是低耗能的應用（如：以電池來供電的個人資訊或通訊的產品），則須調節其在  $V_t$  較高的電壓值，使漏電流量降低。

一般在基板中控制短通道效應的對策，如第五章所介紹，可分為側向與縱向非均勻摻雜技術。第一種做法，是在源／汲極延伸區的下方，形成一和井中摻雜類型相同，但濃度較高的區域。一般簡稱為 halo 或 pocket 摻雜，此高濃度區可減少 DIBL 以改善短通道效應，同時也因只提高局部濃度，所以不會增加太多的寄生電容。第二種方式則是前述的非均勻井摻雜，在垂直通道方向形成由低至高濃度的摻雜分布，或稱之為 super-steep-retrograded (SSR)，以一極陡峭的濃度變化由低至高濃度的摻雜區，其中靠近表面的通道區具有較低的濃度可提升載子的遷移率。埋在通道下的高摻雜區則和 halo 摻雜有類似的效果，因此也能改善短通道效應。SSR 元件能將載子侷限在表面低濃度區，可以有效降低的  $V_{th}$  值，卻不會增加通道空乏區的寬度，由於 SSR 的良好短通道效應，使 CMOS 通道長度可大幅縮小，元件關閉狀態漏電亦可降低。

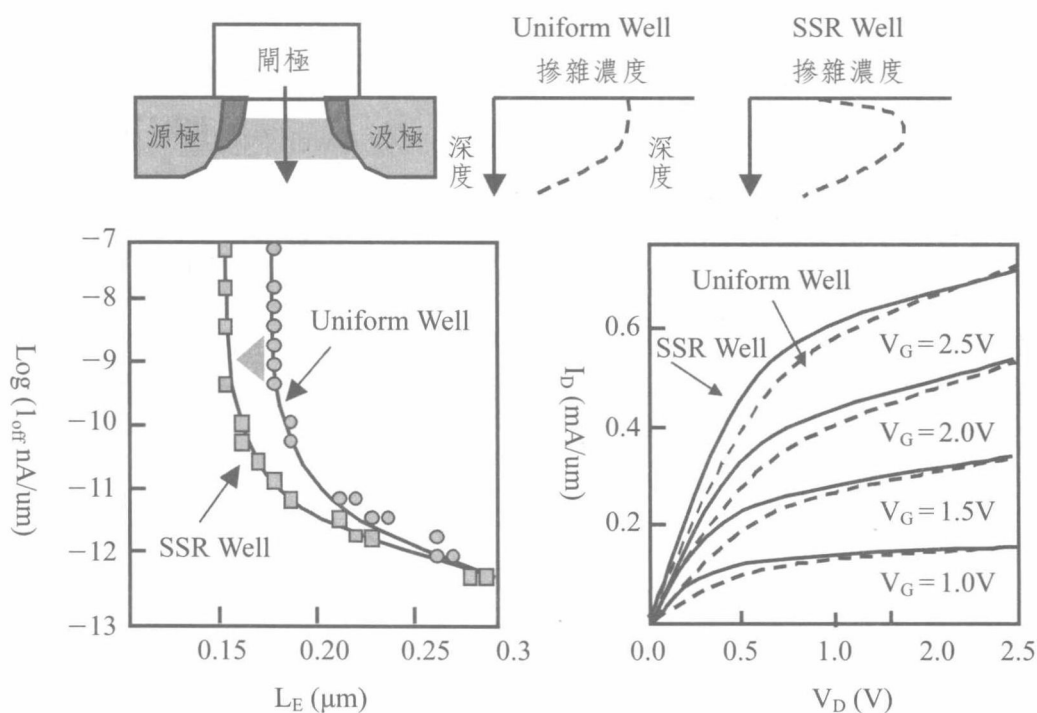


圖 7-12 SSR 與 Uniform well 通道摻雜濃度和趨動電流／漏電流之比較。