

lation (p-well 因與 p-sub 相連，而沒有 n-well to n-well isolation 的問題)。為了持續微縮面積， n^+ 或 p^+ 的井間隔離， $n^+/n^+(p^+/p^+)$ 的井內隔離需持續縮小，因此在此部位的植入濃度需較高，以防止偏壓時，接面因為空乏 (depletion) 造成隔離失效。但濃度高亦會造成 n^+ 或 p^+ 接面電容的上升，不利元件操作速度，因此在持續微縮的元件中，接面電容及元件隔離都必須予以考慮及最佳化。

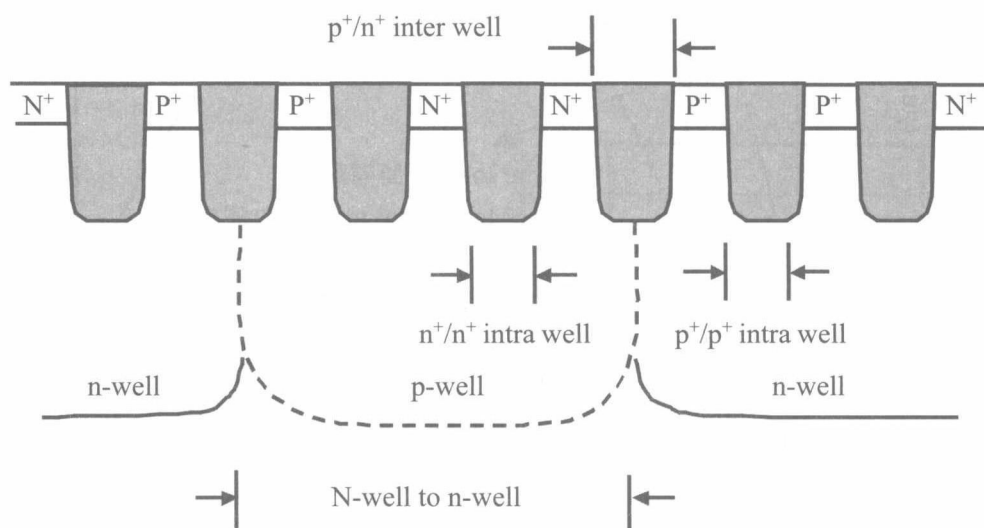


圖 7-11 元件隔離工程分類。

7.2.5 通道工程 (Channel Engineering)

至於表面通道的植入要求，取決於電晶體元件特性包括 V_{th} 的設定、短通道效應、元件驅動力、關閉狀態下的漏電流等，是元件製作中非常重要的一環。為了加強對短通道效應的控制，基板摻雜物濃度須提高。但如果基板內（包含通道）都是均勻且高濃度的摻雜時，庫倫散射 (Coulomb scattering) 所造成的驅動力受損，及接面處寄生電容的增加，都會破壞元件特性。因此，針對產品元件的要求，對基板內摻雜物分布做一最佳化之設計是非常必要的。又如臨界電壓 V_t 的要求，受限於 MOS 的漏電及電路的雜訊等限制，會根據不同電路需求，應用在不同場合的設計上。譬如：應用於高速產品裡（如：CPU）