

時的電力消耗，也降低了閘極打開時反轉層的電荷量。

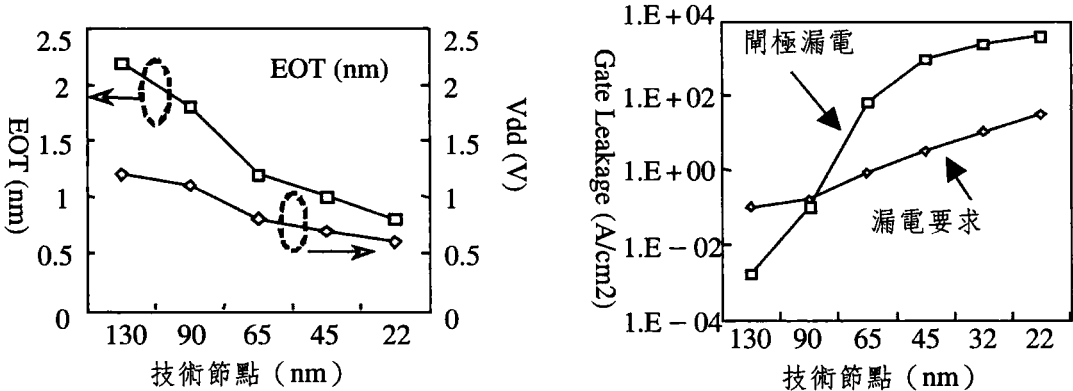


圖 8-22 製程微縮對閘極氧化層厚度及閘極漏電的要求。

後面兩種低操作電力 (LOP) 及低待機電力 (LSTP) 邏輯晶片，對漏電流的 (leakage current) 的要求相當嚴格。對於製程的主要挑戰為閘極介電層的直接穿隧 (direct tunneling) 漏電流 (由於直接穿隧效應的影響，閘極漏電流將隨著閘極介電層的物理厚度減少而呈現指數增加)。傳統慣用的  $\text{SiO}_2$  材料，應用於毫微米元件的主要限制，在於變薄後漏電流的控制，特別是當氧化層小於 3nm 時，由於直接穿隧 (direct tunneling) 機率的增強，引起閘極電流急遽的增加。對一個金氧半電晶體的操作而言，如果通道長度夠小的話 (如 100nm)，閘極電流的值將遠小於汲極輸出電流，則即使氧化層薄至 1nm 左右的厚度，元件仍可維持切換的特性。但整體的功率消耗將限制電路中元件的數目。就 ULSI 電路技術的進展，一般認為於 1 伏特操作電壓時，最大可容忍的閘極電流密度約為  $1 \sim 10 \text{ A/cm}^2$ ，換算的氧化層厚度為 1.5~2nm。對於漏電流控制要求更嚴的部分分記憶體電路，其氧化層厚度不能太薄。

面對這些挑戰，提出的解決方案為大幅增加閘極介電層的介電常數，在相當電容值下，高介電係數材料的實際厚度 (physical thickness) 遠大於氧化層厚度，在一定跨壓下，可減輕介電層內電場強度，因而降低閘極漏電流。因此，當超薄氧化層遇到漏電流過高的限制時，可以高介電係數材料替代，繼續往更薄 ( $< 1.5 \text{ nm}$ ) 的等效氧化層厚度發展。對於漏電流要求嚴格的電路，尤其是