低耗能與高積集度的優點,還具備 Bipolar 在速度上的優勢,使 BiCMOS 整個 的表現較CMOS 更卓越。為了在原本全是以CMOS 為主體的設計中加入 Bipolar 元件,我們可以想見的到 BiCMOS 製程將比 CMOS 製程更加的複雜,目成本 提高。在與 CMOS 比較時, Bipolar 具有以下特色:

- 1. 速度:Gm(CMOS) = δId/δVg, Gm(Bipolar) = Ic/(kt/q), CMOS 的 Gm 約為 Bipolar 的 1/2 至 1/4。
- 2. 訊號放大能力:Gain = Gm*Rout 的 Rout(CMOS) = δId/δVd, Rout (Bipolar) $=\delta Ic/\delta V_{CE}$,雙載子電晶體有極大的 Early voltage,訊號放大能力極佳。
- 3. 耗能:雙載子電晶體在相同速度下有較低耗能(higher Gm/Id)。
- 4. 元件匹配(matching):雙載子電晶體無 CMOS Vt variation 問題。
- 5. 噪音 (noise): 雙載子電晶體無 Gate oxide,沒有 1/f 噪音問題。
- 6. 崩潰電壓:雙載子電晶體無 Gate oxide 低崩潰電壓問題, 為絕佳功率放 大元件 power Amp。
- 7. 可靠度:雙載子電晶體無 Gate oxide, 不易受電漿製程/靜電等損壞, 可靠度較佳。
- 8. 截止頻率: 雙載子電晶體無閘汲極耦合電容(引進第二極點在高頻響應 特性)有較高截止頻率。

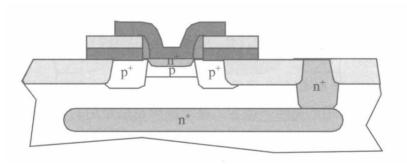


圖 10-15 SiGe HBT BJT 製程結構圖。

除了 Bi-CMOS 提供更高性能的元件外,我們也可以於磊晶成長 n+poly 射 極時,加入 graded Ge 分子,稱此製程為 HBT-BJT (Hetro-junction Bipolar transistor), 當控制較高SiGe濃度於集極端時,較小的band gap降低了基極的transit time,增加射極效率,進而增加了雙載子電晶體的操作速度,提高 ft,fmax,