

率不變，而同時消耗大量功率之感應放大器增加，每一感應放大器所能分到之功率相對減少，如何能使讀之速度維持是電路設計時需要考慮之重點。

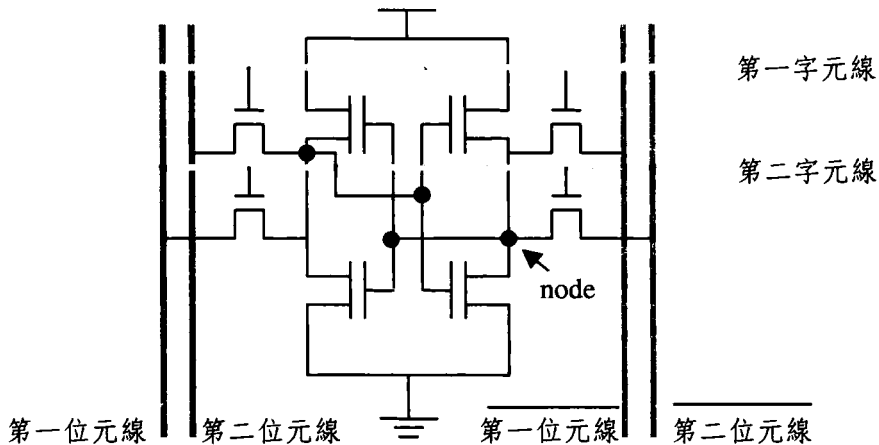


圖 11-6 雙埠 SRAM 記憶單元電路圖。

談到 SRAM 資料的穩定性，圖 11-7 左圖中實線代表 SRAM 操作時 Latch 的行為，當 Node 電壓在低態時，Node bar 則保持在高態，若將 Node 電壓提高，Node bar 則下降至低態，虛線表示同一記憶單元內另一 Node 行為，而兩線之間的矩形框即為 Signal Noise Margin (SNM)，SNM 愈大允許 SRAM 較低的寫入電壓，使記憶體可在更低的  $V_{cc}$  下操作，SRAM 訊號愈穩定。

我們可以定義

$$\begin{aligned}\text{Cell ratio} &= \text{pull down 電晶體電流} / \text{pass gate 電晶體電流} \\ &= \text{pull down 電晶體 } W/L / \text{pass gate 電晶體 } W/L\end{aligned}$$

較大的 cell ratio 可有效的將 node 端的電壓快速拉至  $V_{ss}$ ，使記憶體單元訊號達到穩定狀態，有較大的 SNM。要維持 SRAM 的穩定操作，在製程可以藉由  $V_t/I_d$  的設計來控制。圖 11-8 調整為製程改變 Butterfly 曲線，提高 SNM 使 SRAM 訊號穩定的方法。