

式 (3.14a) 表示當 P 型半導體要發生強反轉，外加的正電壓要足夠大到使其表面能帶向下彎曲至表面電位 ψ_s 等於二倍的 ψ_B （但對 n 型半導體 ψ_B 為負值，外加電壓要為負電壓使表面能帶向上彎曲 $2\psi_B$ ）如圖 3-4 所繪：其中所需的第一個 ψ_B 將能帶下彎至達到本質的條件（即表面處的 E_i 等於 E_F ），而第二個 ψ_B 再將能帶更加下彎達到強反轉狀態。另外需注意一點的是，(3.14) 式亦顯示矽基板的摻雜雜質濃度影響 $2\psi_B$ 之值，而這也同時改變 MOS 臨界電壓（threshold voltage） V_T 的大小（臨界電壓將在 §3.1.2 節中介紹）。舉一典型的基板摻雜濃度為例，若 N_A 由 10^{16}cm^{-3} 提高到 10^{18}cm^{-3} 會使 $2\psi_B$ 從 0.70V 變動到 0.94V。

接下來推導當 p 型半導體表面處於空乏情況時，空乏層寬度 W 與表面電位 ψ_s 的關係式。我們將採用於第二章中分析 p-n 接面時所用的空乏近似法。由波松（Poisson）方程式可求解出為距離函數的電位 $\psi(x)$ ：

$$\frac{d^2\psi(x)}{dx^2} = -\frac{dE(x)}{dx} = -\frac{\rho(x)}{\epsilon_s} \quad (3.15)$$

其中 $\psi(x)$ 為 (3.8) 式所定義的電位， $E(x)$ 為電場， ϵ_s 為半導體的介電係數，而 $\rho(x)$ 為位於 x 處的單位體積電荷密度。當半導體空乏時，其空乏區內的電荷密度可近似為：

$$\rho(x) = -qN_A \quad \text{當 } 0 \leq x \leq W \quad (3.16)$$

將 (3.16) 式代入 (3.15) 式，並對 (3.15) 式積分與使用邊界條件 $x=W$ 處的電場強度為零，可得到：

$$E(x) = -\frac{d\psi(x)}{dx} = \frac{qN_A}{\epsilon_s}(W-x) \quad \text{當 } 0 \leq x \leq W \quad (3.17)$$

再對 (3.17) 式積分與使用邊界條件 $x=W$ 處的電位 ψ 等於零，產生：

$$\psi(x) = \frac{qN_A}{2\epsilon_s}(W-x)^2 \quad \text{當 } 0 \leq x \leq W \quad (3.18)$$