

圖 10-29 基材與內連線產生的雜訊噪音。

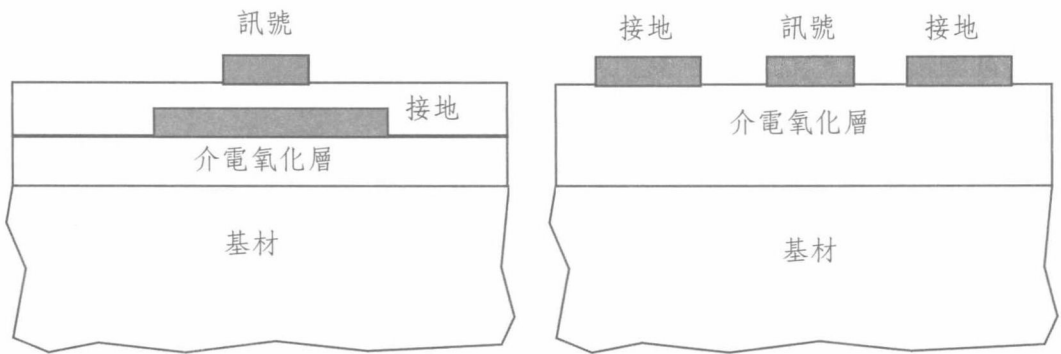


圖 10-30 內連線雜訊噪音的屏蔽隔離方式。

再談到基材雜訊，大部分現代 CMOS 製程使用一重摻雜 p^+ 基板避免元件悶鎖 (latch up)，然而，基板的低電阻性在電路之不同元件間產生了不想要的路徑，如圖 30 的傳統雙井結構，由於 p -井與重摻雜 p^+ 基板相連，因此會使得 p -井訊號在 p -基材內流竄，而干擾其他電路，此效應被稱為基材耦合 (substrate coupling) 或基材雜訊 (substrate noise)，已在今日混合信號 ICs 中變成一個嚴重的問題。