



圖 7-24 不同的側壁子結構。

在元件特性的考量上，除了低阻值外，因陡峭接面造成的高接面電容（junction capacitance），是我們不願意見到的，適當調整接面處，基材的濃度以改善接面電容，對於元件的操作速度，有顯著幫助，談到接面電容，另一影響元件速度的寄生電容有所謂的 C_{gd} （閘極與汲極的重疊電容），由於製程中的熱處理將植入後的摻雜物活化並擴散到閘極下方，而造成閘極到汲極間的重疊電容，此電容會降低元件操作速度，甚至高頻特性，為改善此一行為，可於閘極定義完後，沉積一薄介電層，並回蝕成一小型 spacer 或稱 off set spacer，藉由控制 off set spacer 寬度來調整元件特性，需注意 overlay 區域亦不能太小，會造成閘極打開後，通道未接上成阻值太高形成電流降低的現象，由於側壁子拉開了源／汲極間的距離，將有助於抑制元件短通道的現象。除了高性能的元件特性考量外，淺接面所造成的可靠度問題需要特別注意，由於陡峭接面，因偏壓造成的 hot carrier 或 V_t stability 的問題，需微調以達製程最佳化。另外由於陡峭接面與汲極偏壓形成高電場下，所產生 Band to Band tunneling 現象，會有接面