

$$\Delta V_T = V_T (\text{短通道}) - V_T = \frac{Q_{sc}}{C_{ox}}(1 - f) \quad (5.23)$$

或者將 (5.21) 式代入 (5.23) 式，可得到 n-MOSFET 之短通道 V_T roll-off：

$$\Delta V_T = \frac{-qN_A W_m r_j}{C_{ox} L} \left[\sqrt{1 + \frac{2W_m}{r_j}} - 1 \right] \quad \text{for n-MOSFET} \quad (5.24a)$$

同樣地，p-MOSFET 之短通道 V_T roll-off 等於：

$$\Delta V_T = \frac{qN_D W_m r_j}{C_{ox} L} \left[\sqrt{1 + \frac{2W_m}{r_j}} - 1 \right] \quad \text{for p-MOSFET} \quad (5.24b)$$

公式 (5.24) 雖然是經由簡單的電荷共享模型推導而來的，但在 V_T roll-off 的分析上是很有用的。由 (5.24) 式可知，隨著通道長度微縮，n-MOSFET 的 V_T 朝負的方向偏移，而 p-MOSFET 的 V_T 朝正的方向偏移，如圖 5-5 的數據所顯示。由式 (5.21)，對長通道元件而言， Δ 遠小於 L ($f \approx 1$)，所以空乏層電荷之減少量相對較少，故可忽略不計；然而對於短通道元件， Δ 與 L 相當 ($f < 1$)，所以元件導通所需的電荷將大幅下降，故臨界電壓降低。同理，當施加在汲極端的逆向偏壓愈大，則在汲極端的空乏區寬度也愈大，也就是圖 5-6 中的「共享電荷」愈多或 L_1 愈短，因此 V_T roll-off 的情形會愈嚴重，如圖 5-5 所示。

我們知道為了增加元件積集度與特性，通道長度 L 的微縮是必然與持續的工作；然而由圖 5-5 或公式 (5.24) 可知， V_T roll-off 的現象對短通道元件是不可忽視的，因為在實際的製造生產中，我們不可能控制元件的通道長度是完全一致的。換言之，為了避免元件間通道長度的變異而引起臨界電壓的差異，必須儘量將 V_T roll-off 的量 ΔV_T 降至最低。對照公式 (5.24)，以下提供幾種實務上的作法：

- (1) 使用較淡的矽基底摻雜濃度。由 (5.24) 式，較小的 N_A 或 N_D 可降低 ΔV_T 。（註：這個其實違反了 DIBL 和 punch-through 最小化的原則，但我們將於下兩節中介紹折衷解決的技巧。）