

through)、或表面下 DIBL (subsurface-DIBL)。圖 5-10 為發生貫穿現象的示意圖。由之前的討論可知，短通道元件一般使用較薄的氧化層厚度，這也同時產生較小的 V_T 值（見§4.4.3 節），因此短通道元件通常會在半導體表面的通道區域植入所謂的 V_T - adjust implant 來提升 V_T 值。是故，根據公式 (2.12)，源極與汲極端的空乏區在表面的下方有較寬的空乏區寬度（因為此處的濃度比表面的淡），如圖 5-10(a) 所繪。當增加汲極端的電壓 V_D （為逆向偏壓）則汲極端的空乏區寬度會增大，如圖 5-10(b) 所示。若繼續增加 V_D 直到源極與汲極端的空乏區合併（或者說二空乏區寬度之和約等於通道寬度）如圖 5-10(c) 所顯示，貫穿就發生了，並稱發生貫穿時的 V_D 為貫穿電壓 (punch-through voltage) 常以 V_{PT} 表示。 V_{PT} 可約略表示為：

$$V_{PT} \propto N_B (L - r_j)^3 \quad (5.28)$$

其中 N_B 為矽基底摻雜濃度， L 為通道長度，而 r_j 為接面深度。

一旦貫穿發生如圖 5-10(c) 所示，因為源極接面與汲極接面空乏層合併，大量的漏電流可由汲極經基底本體流向源極。圖 5-11 為一個短通道元件的次臨界特性圖。剛開始增加 V_D 時，特性曲線向左平移（但次臨界斜率並未明顯改變）代表 DIBL 效應如前一小節與圖 5-9 之討論；但當 V_D 再增加時，除了漏電流（即次臨界電流）增加，次臨界斜率也明顯變大，顯示貫穿效應相當顯著。曾在§4.4.1 節中介紹過，我們希望次臨界斜率越小越好；反之，大的次臨界斜率表示閘極不再能夠將元件完全關閉（因為無法控制次臨界汲極電流形成的漏電流）。

圖 5-12 為短通道元件發生 punch-through 時之 $I_D - V_D$ 輸出特性曲線圖。當 V_D 足夠大時，punch-through 發生會造成汲極電流 I_D 的激增，此時 MOSFET 就如短路般，因此失去元件該有的運作。所以，貫穿電壓 V_{PT} 必須遠大於正常操作時的供應電壓 V_{DD} 。以下就來討論業界提升 V_{PT} 的作法：

- (1) 由公式 (5.28)，使用淺接面技術（小的 r_j 值）可提升 V_{PT} 。觀念上的想法為，淺接面使得圖 5-10(c) 中要達到貫穿的路徑（即二個空乏區合併的總寬度）變長了，因此須要較大的 V_{PT} 。
- (2) 根據公式 (5.28)，增加矽基板的雜質濃度亦可得到較大的 V_{PT} 。但是，