

13.1.5 接面整合 (Junction integrity) 量測

對於 MOS 製程內的 PN 接面，一種是如下方所示的 N+到 P-well 或 P+到 N-well 的結構，可利用 DC 量測方式求得反向接面漏電流，及崩潰電壓，而存在於 MOS Spacer 下的接面，則是利用長通道反偏壓的方式可求得接面漏電流與崩潰電壓。

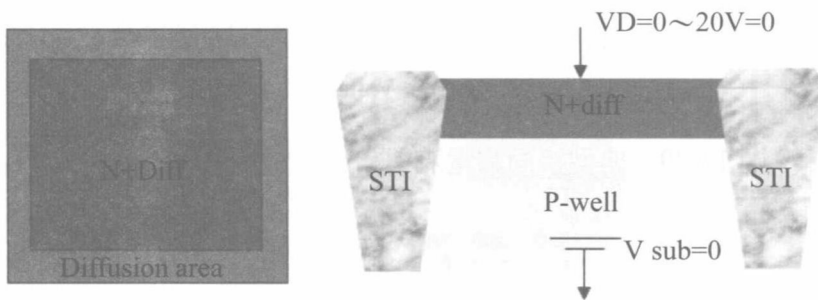


圖 13-28 接面測試鍵的平面與截面示意圖。

Junction Leakage Current:

Measure I_D with $V_D = 0 \sim 15V$, $V_B = 0V$ (G04, RSN+)

Junction Breakdown Voltage:

Search V_D , when $I_D = 1\mu A$

13.1.6 設計守則檢查 (Design Rule Check)

1.連續性 (Continuity)

在 CMOS 前後段製程有關連線們部分，最擔心因製程異常或異物造成斷路或連線細小造成阻值上升或形成壓降而影響電路，常用以下測試鍵來瞭解電路的連續性，以下的測試鍵常用於晶片表面主動區 (N+/P+ active area)，多晶矽層 (poly layer)，金屬層 (metal layer) 等，用來檢視電路的連續性。