

因熱所產生的電子將流入而破壞其狀態，因此，DRAM 胞必須週期性不停的進行所謂的「再補充（Refresh）」，以免儲存於 DRAM 胞內的訊號「1」因漏電流而變成「0」。如果存於 DRAM 胞內的訊號是「0」，這個訊號並不會隨時間而改變，因為電容器內的電荷此時是處於平衡狀態。所以「再補充」的目的，主要是針對 DRAM 內儲存「1」的 DRAM 胞而來的。

當我們要從 DRAM 胞內讀取「被寫入」的資料時，連接 NMOS 閘極的字元線將被施以  $V_{cc}$  的電壓以打開 NMOS，而位元線此時則被切換至一個「比較器電路（Comparator Circuits）」，或稱為「讀出放大器（感應放大器）」，因此 DRAM 胞電容器將與「讀出放大器」相接。讀出放大器將把來自 DRAM 胞電容器的電壓，與讀出放大器裡的「參考電壓值（Reference Voltage）」 $V_{ref}$  做比較，如此便可決定 DRAM 胞所儲存的數據為「1」或是「0」。因為這個讀取動作將把原來儲存於 DRAM 胞內的資料消除，因此在讀取之後，原來所儲存的資料必須立刻再予以填回。

電容器是 DRAM 胞藉以儲存訊號心臟部位，儘管記憶單元面積縮小，我們儘量希望訊號電荷不要縮小，訊號電荷（ $C_s V_D/2$ ）之最小量必大於位元線上之雜訊電荷（ $C_d V_n$ ）、加上 refresh 週期中因記憶單元中電晶體之電流之總漏電之電荷、及環境放射線擊中時所產生之電荷（ $Q_a$ ）才會安全：當 DRAM 面積變大時，由於位元線變長， $C_d$  會變大，每一記憶元的相對面積會減少，如要使記憶單元面積縮小，但是訊號電荷不縮，唯一之方法即是增加電容之值。

增加電容器儲存電荷能力的方法可以減少介電層的厚度，但是介電材質本身的品質程度將使介電層的厚度無法無限制微縮，另外可以增加介電層的介電常數，使電容器單位面積所能儲存的電荷數增加，如圖 11-14 所示新的材料提供高介電常數與高電容值，但須克服新材料產生的製程問題。

為了改善 DRAM 的 refresh time，最重要是減少 DRAM 的漏電來源。圖 11-15 指出 DRAM 常見的漏電來源，我們可以藉由製程參數控制來抑制漏電來源，改善 DRAM 再補充的缺陷。

1. 接面漏電 Junction leakage ( $<0.5\mu A/cm^2$ ) —— 避免植入缺陷，或基材差排（dislocation）來減少 junction 漏電。
2. 隔離漏電 Isolation leakage ( $<0.1pA/cm^2$ ) —— 控制植入能量、劑量，避免 inter-well、intra-well 間漏電。