

上述基板內非均勻摻雜的設計實際上是相當複雜的過程，因為同時要考量元件驅動力、漏電流、 V_{th} 控制、熱載子效應、寄生電容等多項需求，須就元件應用重點做最佳化之設計。在深次微米元件製作時，須強調低溫製程以免造成 halo 或 SSR 摻雜物過分擴散，破壞元件特性。因此有些應用中，就採用擴散係數低的重離子（如 p 型的銦（In）、銻（Sb））植入來形成 halo 或 SSR，藉由最佳化的二維摻雜分布設計與精密的製程配合，短通道效應將可被良好地控制。在使用較重摻雜植入（如銦與銻時），需考慮為固溶度（Solid solubility），由於此摻雜不易解離，而完全活化，在後續非高溫製程中，亦會有摻雜離子脫離鍵結等去活化（de-activation）現象。

由於 SSR 晶片表面濃度較低， V_t 較低，在固定 V_t 及通道長度時，飽和電流和漏電流都較 uniform 為低，但在適當離子植入調整後，在同樣 I_{dsat} 下有較高線性區電流，由於 SSR 低表面濃度降低晶格散射（scattering），使 SSR 元件有較佳電子遷移率 μ 及電導 g_m ，在飽和區有較高 r_{out} ，對於類比電路增益 $gain$ （ $g_m * r_{out}$ ）的提升有重要貢獻，容第 10 章詳述。

7.2.6 噪音隔離（noise isolation）

在 well 工程上，由於 p-well 與 p-sub 相鄰，使 p-well 內訊號易傳播而成為其他電路的雜訊來源（noise），特別在數位／類比混和訊號電路上，noise 的隔絕相當重要，可考慮以 Tri-well 方式來改善，方法在 p-well 下方多植入一 n-well 層，將 p-well 與其他 p-well 及 p-sub 阻絕，使 p-well 內訊號不易流竄，同時可降低 SRAM soft error rate 的發生。且由於 Triple well 使每一個 well 可獨立運作，可在選定電路上加上基材偏壓控制元件 V_t ，對於元件漏電／操作速度／功率能量管理有重要貢獻。