

記憶體電路，更須特別控制氧化層漏電的大小。因此，發展高介電係數介電層技術變得相當急迫。

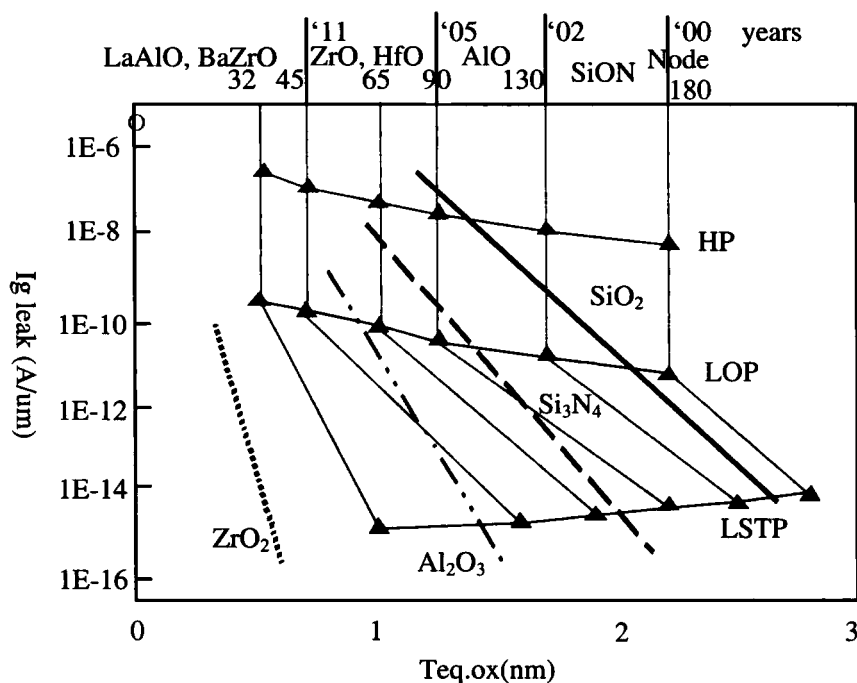


圖 8-23 製程世代對閘極氧化物的漏電要求與發展中的高介電常數材料的關係。

高介電係數閘極介電層的結構通常並非由單純的一層材料組成，而是堆疊結構（gate stack），其中有一介面層（interfacial layer）與矽基板（substrate）接觸，另外在閘極介面須有一阻障層（barrier layer）。介面層是一介電係數較低，但界面特性佳的材料，如 SiO_2 ，nitride oxide，或高品質的 nitride。它的存在實際上是不得已的，因為會降低整體的電容值，但一般高介電係數介電層和矽晶體的介面特性極差，含有大量介面態（interface state）與固定電荷（fixed charges），嚴重影響電晶體的運作，所以需應用此介面層。介面層一般都是以高品質的成長技術先形成於矽基板上。最近有研究指出，有些材料，如 ZrO_2 和 HfO_2 ，與矽基板之介面性質很穩定，無需使用介面層。在閘極電極與高介電係數介電層之間的阻障層，主要是提高熱穩定性，防止閘極電極和高介電材料發生反應。