

$n = K_p \cdot (W/L)_p$ ，而NMOS的電子遷移率 μ_n 約大於PMOS的電洞遷移率 μ_p ，而通常N、PMOS通常會設計相同最小通道長度L，因此PMOS電晶體寬度經常大於NMOS 2倍。我們重新檢討，決定邏輯元件速度的因素 $\tau \propto CV/I$ ， $t_{PHL} = 1.6[C/K_n(W/L)]V_{DD}$ ， t 與 C 成正比，這可用最小的通道長度，最小的S/D面積，以佈局 (layout) 技巧來減小電容。2 使用較大的 W/L 使 t 減小，但也要注意，由於增加了元件大小，也增加了寄生電容值。3 較大的電源 V_{DD} 有較低的 t_p ，可使MOS快速充電至穩定狀態，但為使功率消耗下降，必須降低 V_{DD} 來完成的動機，在高密度的晶片中相當重要。

CMOS反相器最大特點是對輸出點而言往上往下均對稱。Pull-up (往上拉) 時之PMOS元件在 ($V_{in} = V_{DD}$ 時) 輸出點往下拉至穩定時，PMOS元件會off。因此當 $V_{in} = V_{DD}$ 時、輸出電壓可達 0V (full swing)，且可以沒有DC功率消耗。如能減少負載電容 (C_L)、增加 K_n 及 K_p ， t_p 即可減少。利用製程技術之進步把電路縮小亦可有效降低 C_L 。 K_n 、 K_p 之增加可藉由縮小 thin oxide 厚度及增加 (W/L) 來完成。所以CMOS技術越先進、閘極氧化層越薄。但是閘極氧化層太薄會使垂直電場變大而使載子遷移率變壞、而有相反之結果。(W/L) 加大，會使輸出處之寄生電容亦增、對 t_p 有相反之結果。

CMOS反相器之功率消耗與操作頻率成正比。只有在 switching 之 transient 才消耗功率。當操作頻率升高時，其消耗之功率也與操作頻率成正比之關係。相對的 CMOS inverter 有自動省電之功能。在不操作時、即 stand-by (候傳等待) 之狀態並不消耗功率。操作頻繁時，才有消耗功率。此即CMOS邏輯電路最大之優點、絕對的有效率、不浪費一點能源。CMOS能成為VLSI唯一之主力技術即拜此優點之賜。

2. 或閘與及閘 (OR/AND)

或閘 (OR gate) 代表邏輯加法的基本運算，或閘常具有兩個或兩個以上的輸入端，但只有一個輸出端。