

($q\phi_{ms}=0$)，故三種材料的真空能階亦會對齊。所以圖 3-2 中，在半導體和氧化層中的能帶是平的，此稱為平帶狀態 (flat-band condition)。然而，當外加偏壓施加於此理想 MOS 電容時，會使得半導體表面的能帶產生彎曲現象。此能帶彎曲情形會隨著外加電壓大小與極性不同而有不同狀況發生如圖 3-3 所示。在討論圖 3-3 之前，讓我們先整理能帶圖的一些重要基本原則：第一，對一個理想的 MOS 而言，不管外加電壓值 V_G 為何，元件內均無電流流通，所以半導體內部的費米能階將維持為一常數；第二，就如同與 p-n 接面一樣（請參考圖 2-5），外加偏壓 V_G 會將 MOS 結構兩端的費米能階分開大小等於 qV_G ，即：

$$E_F(\text{金屬}) - E_F(\text{半導體}) = -qV_G \quad (3.2)$$

所以，我們可將金屬端和半導體端的費米能階想像成連接到外加偏壓的「把手」。當施加一偏壓於元件上，我們就握住兩個把手向上或向下調二端費米能階的相對位置。半導體底部接觸為接地（即 $V_B = 0$ ），因此半導體端把手的位置保持固定。至於金屬端的把手，當外加電壓 $V_G > 0$ 則向下移 qV_G ；反之，當 $V_G < 0$ 則向上移 $|qV_G|$ 。第三，能障高度 (barrier height) 為不變量。也因如此，當金屬端的費米能階受到外加偏壓而向上或向下移動時，會造成半導體表面的能帶跟著向上或向下彎曲。至於金屬，因為金屬是等電位的，故不會發生能帶彎曲現象。

接下來，以 P 型半導體為基底的理想 n-MOS 電容為例，說明其偏壓在正或負的電壓下時，半導體表面可能會出現的三種情形：

- (1) 聚積 (accumulation)：如圖 3-3(a) 所示，將 p 型矽基底接地而一負電壓 ($V < 0$) 施加於金屬閘極上時，由於金屬端的費米能階 E_F 向上提升 $|qV|$ ，造成半導體中接近界面處的能帶向上彎曲（此乃因為能障高度是固定的）。由前面我們知道半導體的載子密度和 $(E_i - E_F)$ 的能量差成指數關係，

$$\text{即：} p_p = n_i e^{(E_i - E_F)/kT} \quad (3.3)$$