

8.1 先進元件製程需求

CMOS 在 30 年來不斷地進行製程的改善及元件的微縮，其目的在於成本的降低，功能的增加及性能的提升，在成本的降低考量上，無論電晶體數量多寡，在晶圓廠生產線上製造一片矽晶圓的成本差異不大，所以，若在一片矽晶圓上做出愈多的電晶體，平均每個電晶體的成本就愈低，隨著製程的進展，電晶體可以愈做愈小，晶圓上的電晶體數目持續增加，這使得 IC 產品可以愈做愈便宜。另外在矽晶圓上，電晶體的閘極長度愈小，切換速度便可以愈快，而電晶體體積愈小、彼此間距離愈近，電子信號傳輸速度亦會愈快，因此隨著製程的持續進展，IC 的性能亦會不斷往上提升。由於電晶體不斷變小，同樣面積的 IC 晶粒，便可放進更多的電晶體，這意味著電路可以愈做愈複雜，功能則愈來愈強大。在元件不斷微縮的發展上，由深次微米進入奈米世代，由於尺寸不斷縮小，一些物理極限，提高了製程的難度，如

1. 閘極氧化物——在 90 奈米以下，閘極氧化物厚度將小於 16Å，由於電子直接穿隧（direct tunneling），使得閘極漏電情形嚴重，且目前製程所使用的複晶矽閘極，不易控制植入及活化範圍，使載子易於擴散至基材 dopant penetration 或擴散不完全形成 poly depletion。
2. 由於 charge sharing 造成短通道 short channel 現象更為嚴重，在通道長度微縮下，DIBL 使得 I_D - V_g 次臨界區的斜率變小（subthreshold swing reduction）， I_{off} 也因此提高，元件 off state 狀態的漏電流也大幅增加，另一方面，也因為 V_d 、 V_t 的下降，使得元件開關能力變差。
3. 為了改善 DIBL 造成短通道現象，將 S/D 端的接面做淺，又因此會造成串聯電阻的增加、如何將 dopant 淺植入及活化，將愈加困難。
4. 此外由於淺接面在高電場下的漏電（band to band direct tunneling），載子移動率下降（mobility degradation）及引發的可靠度問題、亦須予以解決。