

另外在記憶體單元佈局設計上應儘量保持對稱，以避免製程上因 mis-alignment 造成 butterfly 曲線不對稱，降低 SNM 而使訊號不穩定，較新的 SRAM 設計以分離字元線結構（split word line）來改善傳統 SRAM 轉角易由於製程造成不對稱情形。亦使記憶體單元面積減小許多。

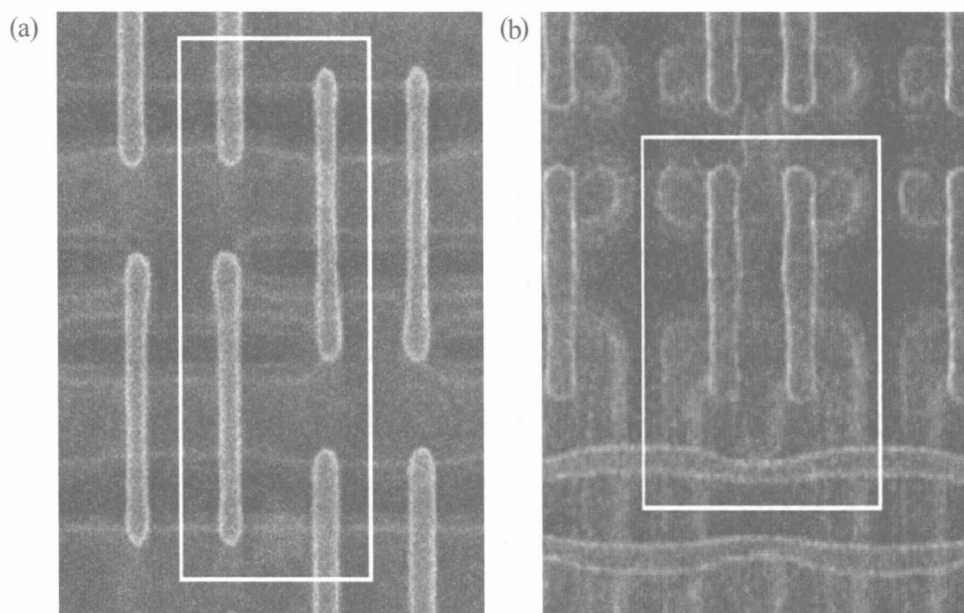


圖 11-9 分離字元線 SRAM 結構(a)與傳統 SRAM 結構(b)。

另外在低耗能的要求下，檢視 SRAM 的漏電來源，大致可從元件的  $I_{off}$ ， $I_g$ ，STI 及 well 的 isolation 如 P+ to P+，N+ to N+ 以及接面漏電（junction leakage）的產生，其中大部分的漏電來源仍為元件的 Off state 電流，因此提高 N/PMOS 的臨界電壓，可有效降低 SRAM 的漏電問題。

### 11.3 動態隨機存取記憶體 DRAM

DRAM 中之記憶單元由一電晶體及一電容所組成。在 SRAM 中之記憶單元是一靜態門鎖之結構，此結構由於是二反向器做正回饋接在一起。內部之儲