

與技術指標有差異時，應從設計端調整元件尺寸來修正，不適合調整製程參數來符合技術指標，後者將大幅改變元件模型中其他參數的行為。

有感於 RF IC 與 CMOS 製程技術的進步，一個完整的 MOSFET 模型，不只需要在中低頻有良好的特性，在高頻操作之下，也必須要有完美的特性表現，例如：閘極的穿隧電流（Gate Tunneling Current）、基底電流（Substrate Current）、閘極與基極電阻網路等參數，有助於正確描述元件在高頻之下訊號輸入與輸出的特性。

## 13.5 本章習題

1. 試說明元件電性量測 WAT 的目的與使用時機。其與功能性 C/P 測試及良率間的可能關係為何？
2. 請說明 WAT 上常用來量測臨界電壓  $V_{TH}$  的兩種方法。
3. 試述 WAT 上量測電晶體的基底電流（substrate current）之主要目的為何？其量測條件為何？
4. 試寫出量測 nMOSFET 之崩潰電壓的 WAT 量測條件。
5. 參考圖 13-13，說明繪製 universal curve（或 on-off curve）的方法。試述其在製程上的應用？
6. 試繪一個用來檢視臨近 N-well 到 N-well 之間隔離（well-to-well isolation）好壞的測試鍵之上視圖。其 WAT 量測條件為何？
7. 參考圖 13-25，說明量測閘極氧化層（或閘極介電層）之漏電流與崩潰電壓的原理。
8. 試繪一個用來檢視  $P^+$  到 N-well 介面（即  $P^+$ -N junction）測試鍵之上視圖。如何量測其介面漏電流與介面崩潰電壓。
9. 請繪製與說明，如何利用梳狀結構判別同層電路是否有橋接（bridging）的異常發生。