(4)界面陷阱電荷 Qit: 如圖 3-13 中顯示,界面陷阱電荷位於 SiO₂和 Si 的界 面處。其能量態位為呈現U型分布在整個矽的禁止能隙(forbidden bandgap)內,如圖 3-17 所示,即靠近導電帶和價電帶邊緣的能階比中間多 (但我們通常以能隙中心的值來表示 O_i 電荷密度量的多寡;單位為 1/ cm²-eV,即每單位面積與每電子伏特的界面陷阱數目)。

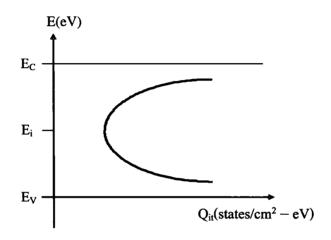


圖 3-17 界面陷阱電荷在矽能隙內呈現 U 型分布的示意圖。

至於這種電荷的物理來源,一般認為和固定氧化層電荷 Q_f 很類似,意即, Q_{it}極有可能是未完全氧化而具有懸空鍵(dangling bonds)的矽原子。典型的界 面陷阱電荷密度大約為 $10^9 \sim 10^{11}$ /cm² - eV ,與 Q_f 的值相似。由實務經驗可知: 若某個製程會造成較高的Qf值,則其也有較高的Qf值,反之亦然。這個關連 性亦可推知Q_i和 Q_f具有類似的來源機制。然而,Q_i和 Q_f在電性上有一個很大 的不同:Qf所帶的電是固定不動的正電荷,而Qif所帶的電可為正電、負電、 或是中性。由上面討論之兩者的關連性可知,影響 Q;; 量多寡的因素大致與 Q; 的因素相同:矽基底的晶體方向、氧化溫度、和氧化方式等等。例如,對某一 特定製程而言,使用<100>晶向的 Q_{it}值比<111>晶向的值約少 3 到 10 倍。

圖 3-18 的實驗數據為針對<111>晶向的 Q; 值和乾氧化之氧化溫度的關係 圖。由圖中可看出 Q: 的量如同 Q: 般是隨著氧化溫度的增加而減少。例如,若 將乾氧化的製程溫度由 1000℃增加至 1200℃,可使界面陷阱電荷由大約 10^{12} / $cm^2 - eV$ 降低至 $4 \times 10^{11}/cm^2 - eV$ 左右。但是請讀者注意這個 Q_i 值還是太大,