

本章內容綜述

電子元件作為電子電路的基礎，學習半導體製程必須對電子元件參數充分的瞭解，可以分別從元件設計，製程條件調整來滿足電路的要求，再利用測試儀器，量測出直流特性、交流特性及高頻行為，量測的時機於晶片製程完成時進行，稱之為 WAT，全名為 Wafer Acceptance Test。其目的在於對 wafer 作初步的電性量測，以作為晶圓 pass/fail 之依據。

對 IC 而言，WAT 包含基本的電性參數，如 MOSFET 特性、阻值等保證 IC 能否正常運作的基本要素，再者由於功能性 C/P (circuit probe) 測試很耗時，因此可以藉由測試晶片的參數來檢驗 wafer 生產時是否有異常現象，提早淘汰不合規格的晶片，避免浪費 C/P 測試資源，WAT 另一個目的在於希望能透過基本的電性參數來及時反應生產線上的問題，如 Metal 的 open/bridge……等影響良率 (yield) 的潛在問題。

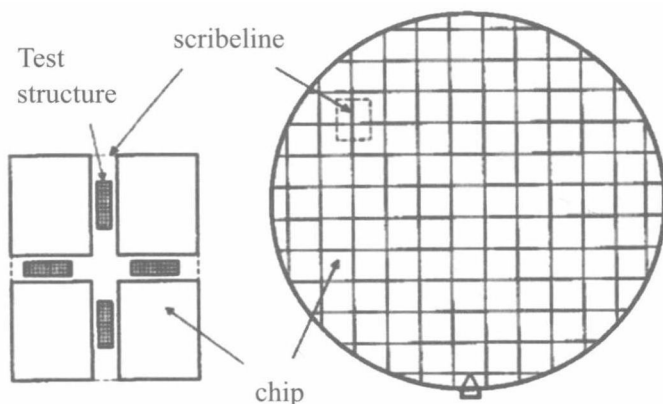


圖 13-1 晶片與測試鍵擺放位置。

元件電性量測的測試鍵 (test key 或 test structure) 經常設計在晶粒 (die 或 chip) 與晶粒之間的切割道 (scribe-line) 上，在 WAT 與 C/P 量測之後，晶片將由 scribe-line 中劃開而取下獨立的 chip，測試鍵亦因此失去作用，由於電路的外圍大都設計有 die seal ring，不會因晶片切割時損傷了 chip 內的電路，當製程開發初期，在 scribe-line 的測試鍵經常不被滿足而以 module testkey 的方式佔據晶片的特定位置，因而損失部分 chip 的數量。