



圖 7-2 電子元件微縮使單一晶片的電晶體數目大幅提高。

功率消耗與 CV^2f 成正比， C 是每一開關週期充放電的電容， V 是供應電壓而 f 為操作頻率。減少寄生電容與降低電壓可以減少功率消耗，晶片電容大致與晶片大小成正比，因此一般晶片設計理念以最少面積為原則，功率與電壓的平方比關係，因此降低電壓為減少功率消耗的主要方式，而操作頻率基本上必須提升以達效率的要求。降低電壓時，元件速率常常下降，因此為了平衡甚至提升效能，晶片的臨界電壓必須同時下降。加上日益減縮的閘極絕緣層，晶體的漏電現象日益嚴重，由於高 k 值閘極絕緣層的製程不易，晶體的漏電可能會超越動態功率。為此，目前高階微處理器晶片設計已從單一供應電壓及臨界電壓提升至多供應電壓及臨界電壓。為了進一步減少漏電，供應電壓閘控配合上休眠電晶體的使用已經是普遍採用的技術。

7.1.2 CMOS 元件發展需求

尺寸縮小的要求隨著電路應用而有所不同，其中在邏輯晶片的應用上主要可分為三個方面：高性能（high-performance, HP），例如高階桌上型電腦與伺服器，這些應用上需要高速電晶體；低操作電力（low operating power, LOP）：