

內，但是半導體製程技術達到奈米之後，所需考慮的物理現象太多，如熱電子效應（Hot Electron Effect）、短通道效應（Short Channel Effect）、窄通道效應（Narrow Channel Effect）、載子速度過衝（Carrier Velocity Overshot）...等，使得這類型電晶體模型的參數過多，而且描述複雜，往往有些物理效應沒有考慮進去時，會使得電晶體的模型不太準確，另外，在電路模擬時，過多的模型參數，會使得電路模擬的時間過於冗長，站在商業產品的立場來看，模擬時間與正確性必須做一個取舍。

元件建模的方式有許多種，像是全域性建模法（Global-Model）、分割式建模法（Bin-Model）。一般晶圓廠提供之元件模型多為 Bin-Model 的方式，此法可說為 Global-Model 的延伸，目的是為了解決區域性不精確的狀況，但相對而言，此種方法便較不具物理意義，因為每個參數值會隨著使用區域的不同而不同。Global-Model 的建模方式，具有物理性以及高效率的優點。而 DC 測試元件的選擇上，為了定義出本模型適用的範圍，參考晶圓廠提供的 Design Rules 得知最小線寬之後，決定此四顆元件大小（W/L），並定義其名稱分別為 Large（ $10\mu\text{m}/10\mu\text{m}$ ）、Short（ $10\mu\text{m}/0.18\mu\text{m}$ ）、Narrow（ $0.24\mu\text{m}/10\mu\text{m}$ ）、Small（ $0.24\mu\text{m}/0.18\mu\text{m}$ ）；而 Scaling Testkey 的尺寸則是固定元件通道長度或是寬度而改變通道寬度或長度，目的是為了量得元件隨通道長度及寬度變化的資料。

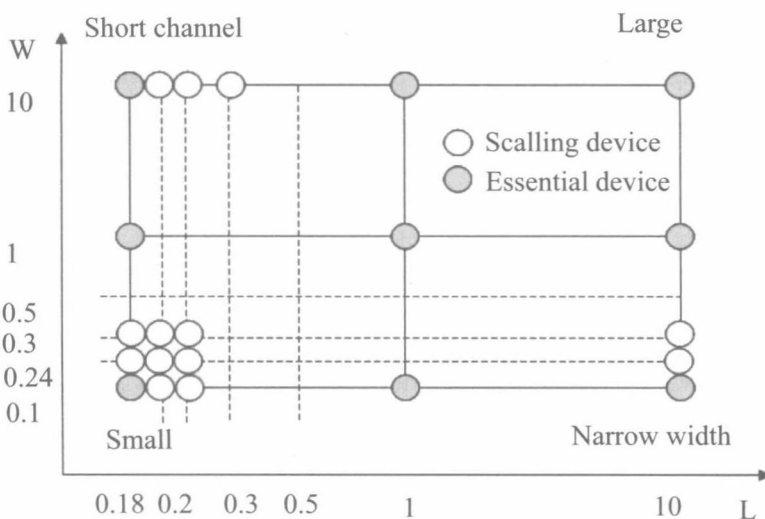


圖 13-57 DC MOS 元件測試尺寸的選擇。