

ference)」 ψ_{ms} ，會影響到 MOS 電晶體的 V_t 值。因為應用 N^+ Poly 在 PMOS 上的 ψ_{ms} ，會較 P^+ Poly 在 PMOS 的 ψ_m 還來的低，因此會造成埋入通道 PMOS 臨界電壓高，而 NMOS 低，不能相互搭配的情形。

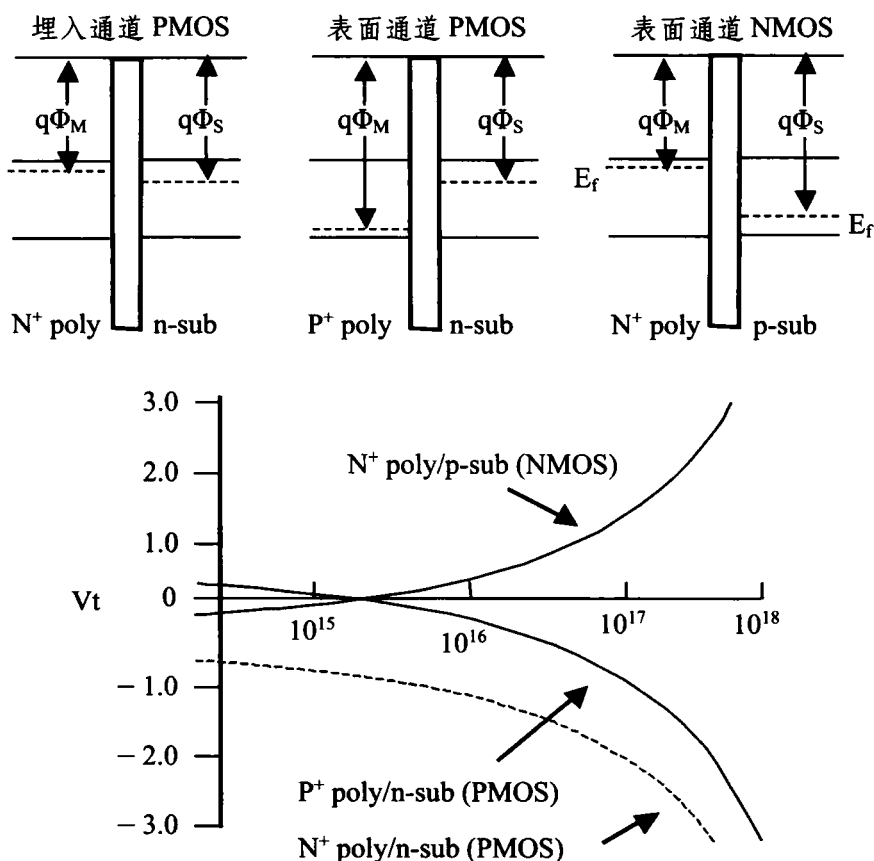


圖 7-18 臨界電壓與基材摻雜濃度關係，功函數差使得埋入式通道 PMOS 臨界電壓大於對稱臨界電壓的表面通道。

埋入通道除了製程簡單外，由於通道反轉層位於基材表面以下，載子受表面散射較少，所以電流驅動力比較大，但為配合 NMOS 的低臨界電壓而將 PMOS 的基材摻雜降低，將造成嚴重的短通道效應，因此在深次微米製程中，多已將埋入通道 PMOS 之多晶矽閘極改為表面通道 P^+ 多晶矽閘極（NMOS 一直是表面通道元件）；表面通道的好處是載子經基材表面傳導，容易受閘電壓的控