

- (2)降低 r_j 值，意即減小源極和汲極的接面深度。這就是所謂的淺接面（shallow junction）技術，也是降低短通道效應（至少包括 V_T roll-off、DIBL、punch-through、與熱載子效應等等）最直接的作法。
- (3)使用薄的氧化層。由公式（5.24）可知，厚的氧化層厚度會增加 ΔV_T 值。而且，由元件尺寸微縮的角度來看，這應該不存在爭議。圖 5-7 比較不同的氧化層厚度之 V_T roll-off 情形。

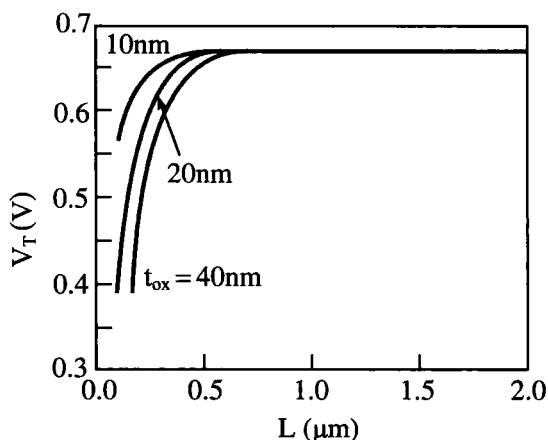


圖 5-7 短通道 MOSFET 元件在不同氧化層厚度下之 V_T roll-off 比較（取自 Muller and Kamins[4]）。

5.2.2 汲極引起的位能下降（drain-induced barrier lowering, DIBL）

在上節中，我們曾利用「電荷共享」的觀念解釋圖 5-5 中的短通道元件在飽和區時比在線性區時，有更嚴重的 V_T roll-off 情形。實際上，此效應較正式的名稱為汲極引起的能障下降（drain-induced barrier lowering, DIBL），且一般都使用 R.R. Troutman 於 1979 年提出的論點。圖 5-8 比較短通道與長通道 n-MOSFET 元件的源極到汲極間的表面電位示意圖。先回顧圖 2-5(a) p-n 接面在零偏壓情況下，在 p 型與 n 型之間會形成式（2.5）的內建電位，此內建電位會限制電子由 n 型半導體流向 p 型半導體，故又可稱為位能障（potential barrier）；若施