

而半導體表面帶負電，並且同時會感應出一個方向由正電荷指向負電荷的電場（即圖中所繪氧化層內有一方向指向右方的電場  $E$ ）。順便一提，如果  $q\phi_{ms}$  足夠負的話，即使沒有外加偏壓，圖 3-11(b)亦可能發生如圖 3-3(c)的反轉情形。最後，如果想要得到如圖 3-2 的理想平帶狀態，則於圖 3-11(b)中的閘極必須施加一等於功函數差  $q\phi_{ms}$  的電壓，此即對應到圖 3-11(c)。由於平帶電壓（flat-band voltage） $V_{FB}$  是定義為施加於閘極上的電壓使得半導體的能帶沒有彎曲，因此圖 3-11(c)中施加於閘極的負電壓即為平帶電壓（即  $V_G = V_{FB} = \phi_{ms}$ ）。

上面已介紹實際的 MOS 元件，其金屬閘極和半導體基底間的功函數差不為零的情形。然而，此情況與另一個非理想狀況（即 **oxide charge**，氧化層電荷）比較起來，其影響程度是相對地小很多的，乃因為功函數的差是可以事先預知，而且它不會造成元件的不穩定（**device instability**）。換言之，氧化層電荷對元件有較大的衝擊，包括元件特性與穩定性。接下來，我們就討論氧化層內以及  $\text{SiO}_2$ -Si 界面的陷阱和電荷。

圖 3-12 顯示一個 MOS 之氧化層與其二個  $\text{SiO}_2$ -Si 界面的高解析度穿透式電子顯微鏡（HR-TEM）照片。從照片中可清楚看出  $\text{SiO}_2$  與 Si 界面的不連續性，及所謂的過渡區（**transition region**） $\text{SiO}_x$ （其中  $0 < x < 2$ ，故  $x$  的兩個極限值分別代表 Si 與  $\text{SiO}_2$ ）。不論在氧化層內部或其界面均存有缺陷，大多數的缺陷可歸因於未完全氧化、未飽和鍵結（**unsaturated bondings**）、和具有懸空鍵（**dangling bonds**）等等，而且這些缺陷形成電荷捕獲陷阱（**trap**）。

圖 3-13 整理出上述於氧化層中的陷阱和電荷的基本類型與其在氧化層中的相對位置。總共可分為四種基本的電荷來源：移動離子電荷（**mobile ionic charge**,  $Q_m$ ）、氧化層陷阱電荷（**oxide trapped charge**,  $Q_{ot}$ ）、固定氧化層電荷（**fixed oxide charge**,  $Q_f$ ）、以及界面陷阱電荷（**interface trapped charge**,  $Q_{it}$ ）。以上電荷通常是以單位面積的有效淨電荷（**coul/cm<sup>2</sup>**）來表示，下面我們進一步說明這些電荷的特性。