

9.1 邏輯元件的要求—速度、功率

數位系統是一些電子元件或裝置的組合，此組合能完成數位信號的種種運算功能。由於從自然界中取得的信號均為類比信號；例如：有線、無線的電視廣播系統、有線電話傳輸系統、無線收音廣播系統等；但是類比信號在傳送的過程中，容易受到雜訊的干擾，造成信號失真，而且類比信號還有不易儲存、還原及控制等缺點。反觀數位信號在傳送的過程中則無上述的缺點，因為它具有可程式化控制、不易受雜訊干擾、傳送速度快、容易儲存及還原等各項優點，且消耗功率極小。由電路設計之觀點，CMOS邏輯電路分為靜態（static）及動態（dynamic）。靜態電路不需時脈clock。動態電路需要clock才能操作，且只有某一限定之時間內才有輸出。靜態電路設計較易，電路操作較穩。動態電路設計較難，電路操作出錯之機會較高，但是設計得當的話速度會較快，而且可能較節省電晶體。

由系統邏輯之觀點分類，邏輯電路可分為組合邏輯（combination）及時序邏輯（sequential）。組合邏輯有 NAND、NOR 等 random logic（隨意邏輯）。時序邏輯有 Latch、Flip Flop 等。

一個數位電路之性能好壞可由速度來評估，從輸入至輸出之時間延遲（propagation delay time）是最常用之參數，對一反向器而言，當輸入端由 low 至 high、輸出端會由 high 改變至 low。由輸入 swing 之中心點之時間至輸出中心點之時間，我們定義為 high 至 low 之時間延遲（ t_{PHL} ）。整體之時間延遲即為此二者之平均值 $t_p = (t_{PHL} + t_{PLH})/2$ ，見圖 9-1。數位 MOS 電路之時間延遲通常與電路所能提供之電流（I）及輸出端之負載電容（ C_L ）及輸出 swing 有關：