

其中兩個電晶體皆操作於飽和區。因為在輸出節點看到之總阻抗為 $r_{O1} \parallel r_{O2}$ ，故增益為：

$$A_v = -g_{m1}(r_{O1} \parallel r_{O2})$$

在給定汲極電流下之 MOSFET 輸出阻抗可藉由改變通道長度來變化，亦即對第一級來說， $\lambda \propto 1/L$ ，故 $r_{O1} \propto L/I_D$ 。因為圖 7 之組態增益和 $r_{O1} \parallel r_{O2}$ 成比例，故我們推論較長之電晶體會產生較高的電壓增益。若 W_2 保持固定並增加 L_2 時， r_{O2} 和電壓增益將會增加，而為了使 M_2 保持在飽和區，將付出高 $|V_{DS2}|$ 的代價。疊接組態的一個重要特性為其高輸出阻抗。疊接可延伸至三個或更多堆疊元件以達到更高的輸出阻抗，但需要考量多餘的電壓頭部空間。舉例來說，三疊接組態之最小輸出電壓等於三個驅動電壓和，偏壓 V_{DD} 需能在提供最小輸出電壓下仍能維持電路操作。

2.MOS 之差動放大電路 (Differential Amplifier)

我們可以合併二個相同的單端信號來處理這二個相位信號。這樣的電路的確提供了一些差動信號的優點；可免除對於供應電壓雜訊及提供較高的輸出振幅等等。差動運作比單端信號好的一個重要優點在於其能抑制共模擾動效應的能力，對於環境的雜訊免疫力較強。另一個有用的特性是能增加其最大電壓振幅。舉例來說，在圖 8 的電路中，在節點 X 或 Y 的最大輸出電壓振幅為 $V_{DD} - (V_{GS} - V_{TH})$ ，而對 $V_X - V_Y$ 來說，其峰對峰值為 $2[V_{DD} - (V_{GS} - V_{TH})]$ 。差動電路其他比單端電路好的地方在於其較簡單的偏壓條件及較高的線性特性。

我們不必使用線性電阻來做為差動對的負載，如前述所提共源極態，差動對可運用二極體或電流鏡做為其負載，但負載一電流源之差動對其小信號增益較低，那要如何增加電壓增益呢？我們可以利用疊接來增加 PMOS 和 NMOS 元件的輸出阻抗，實際上即創造了疊接組態之差動模式。疊接會大幅地增加差動增益但也會付出消耗更多電壓頭部空間的成本。