

等。只是由於 IC 接腳個數上的限制。其啟始設定程序必須用串列訊號來控制讀寫動作，所以稍微慢了些。由於 FPGA 內部邏輯區塊連接的配線方式是屬於分段式，所以造成內部延遲時間不定（CPLD 的配線方式是屬於連續式的，所以內部延遲時間固定），故其處理速度比專用積體電路（ASIC, Application Specific Integrated Circuit）較慢。