

程提供上層金屬的螺旋狀電感（spiral inductor），在以上電路的須求上需要較大的電感及較小的能量損失（low loss, high Q ），也就是較高的品質因素 Q 。 $Q = \text{最大能量儲存} / \text{功率損耗}$

而電感最大的功率損耗來自於基材的反向電流（Eddy current）及寄生電容。

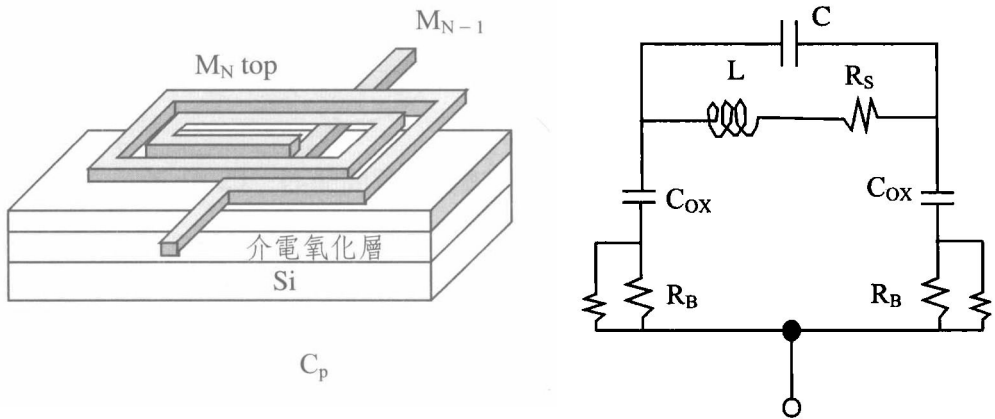


圖 10-20 CMOS 製程製作出的螺旋電感與小訊號模型。

因此除了採用厚金屬層或雙金屬層來降低 R_s 外，利用 low k 介電層以降低寄生電容亦很重要，此外，由於電感面積大（ $>100\mu\text{m}$ ），與基材距離近，會造成能量消耗（loss），增加 IMD 厚度或增加基材阻值可改善電感的品質因素，若採用 SOI 等絕緣基材效果更好。

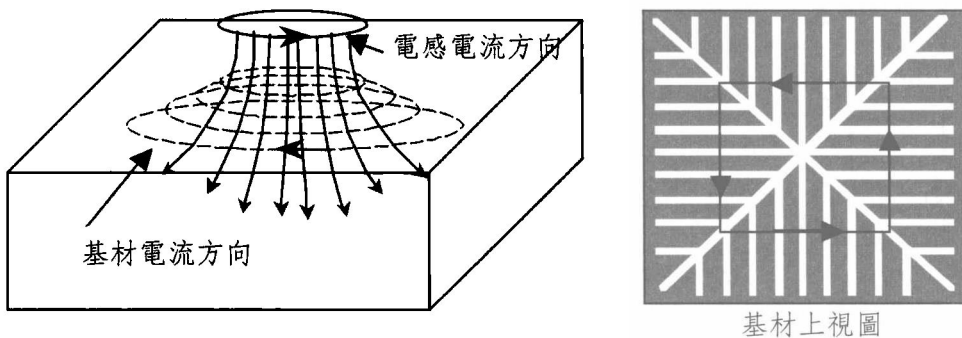


圖 10-21 電感操作時基材產生的 Eddy 電流及利用 STI 高度變化以降低 Eddy 電流的情形。