

圓表面進行佈植來調整 V_T 值。預先非晶態則是以矽、鍺、或是銻佈植在矽晶圓的表面，進而使晶圓表面的晶格結構損壞造成非晶態，它的目的是減輕隨後離子植入時的通道效應（channeling effect）。

抗接面貫穿佈植和 halo 佈植，如圖 6-6 所顯示。這兩種製程與§5.2.3 節所討論的貫穿效應有關，此效應是因為通道長度縮短，源極／汲極的空乏區產生接合而導致元件不預期的導通。抗接面貫穿佈植為局部性地於基板表面下方的本體區域（也就是圖 5-10 中發生貫穿路徑的區域）多植入一道與基板摻雜型態相同的離子，來阻止源極與汲極空乏區的接合；而 halo 佈植為僅選擇性地在源極與汲極端周圍植入與基板摻雜型態相同的離子（如 n-MOSFET 為 p 型摻雜），須注意的是此摻雜濃度不可太重，因為接面的崩潰電壓與低摻雜側的濃度成反比。

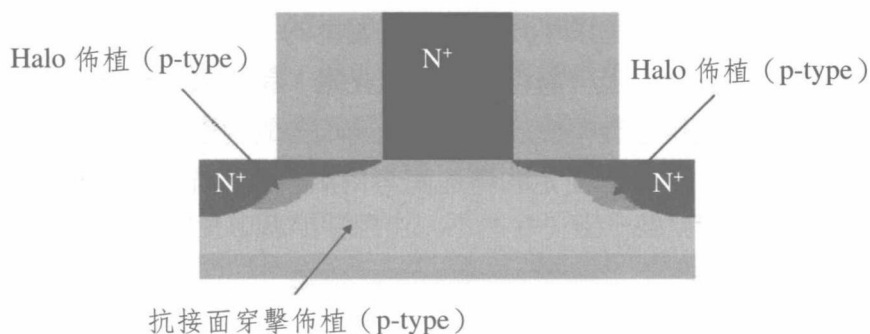


圖 6-6 抗接面擊穿（anti-punchthrough）佈植和 halo 佈植。

6.1.3 微影製程（photolithography process）

在半導體製程中，微影對元件而言是非常重要的，如摻雜的區域以及每一層薄膜的圖案，都是由微影這個製程所決定的，更重要的一點是微影也影響到晶圓的尺寸問題，因為微影是關鍵尺寸（critical dimension, CD）能否越做越小的關鍵之所在。簡單地說，微影就是將我們所設計好的圖案，轉印到晶圓表面上的光阻，再利用光阻來進行蝕刻或離子佈植等製程。

傳統上我們把微影技術大致分為八個步驟：氣相塗底（vapor prime coat-