

圖 8-9 全面應變矽電子、電洞的遷移率增加結構示意圖。

載子移動率的程度決定於 Ge 的含量，在 $Si_{1-x}Ge_x$ 之 $x \sim 0.2$ 時，電子電洞的移動率約為純矽通道的 1.7 倍，但須注意的是 PMOS 通道在高電場下減少很多，如圖 8-10 所示。

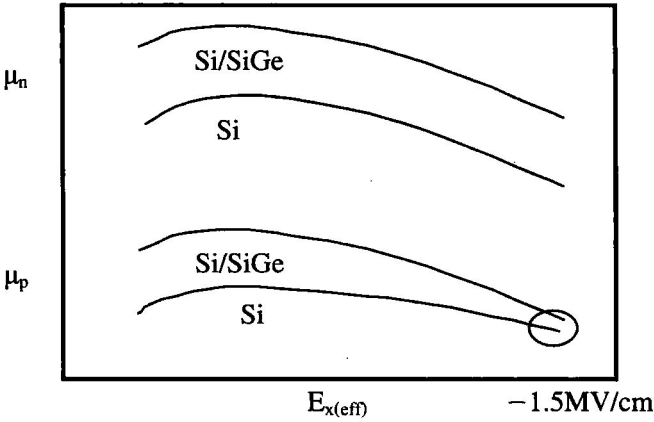


圖 8-10 全面應變矽電場與載子遷移率的關係