



圖 13-37 常見的通孔到通孔間的橋接漏電的量測結果。

13.2 C-V (capacitance-voltage) 電性量測

電容參數在 CMOS 製程是很重要的量測，一方面我們希望利用高電容閘極氧化層來反轉基材形成通道，一方面又希望儘量減少後段製程的寄生電容以避免造成時間延遲，因而在製程採用高介電常數 (high k) 材料作為閘極氧化層，並採用低介電常數 (low k) 材料作為後段製程的介電絕緣材料之用。

13.2.1 氧化層電容 (Oxide Capacitance)

用來量測閘極氧化層的電容大小，並可計算出有效的閘極氧化層厚度。