

從圖 2-3 可清楚看出 p-n 接面的二邊有一個內建電位 (built-in potential) V_{bi} ，而且此內建電位可由 p 型區與 n 型區中的本質費米能階 E_i 來決定：

$$V_{bi} = \frac{1}{q} [(E_F - E_i)|_{x \geq x_n} + (E_i - E_F)|_{x \leq -x_p}] \quad (2.1)$$

又在熱平衡狀況下，p 型半導體中多數載子電洞的濃度 p_{p0} ，以及 n 型半導體中多數載子電子的濃度 n_{n0} 分別為：

$$p_{p0} = n_i \exp\left(\frac{E_i - E_F}{kT}\right) \quad (2.2)$$

$$n_{n0} = n_i \exp\left(\frac{E_F - E_i}{kT}\right) \quad (2.3)$$

所以，內建電位可改寫為：

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{p_{p0}n_{n0}}{n_i^2}\right) \quad (2.4)$$

如果半導體中的摻質完全解離（即 $p_{p0} = N_A$ ； $n_{n0} = N_D$ ），則內建電位亦可表示為：

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad (2.5)$$

又由質量作用定律 (mass action law)，即 $n_{n0}p_{p0} = n_{p0}p_{p0} = n^2$ ，(2.4) 式可以改寫為：

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{p_{p0}}{p_{n0}}\right) = \frac{kT}{q} \ln\left(\frac{n_{n0}}{n_{p0}}\right) \quad (2.6)$$

上式中的第一個等號是藉由內建電位來表示電洞在 p-n 界面兩端的濃度關