

5. 由於 SiGe 較 Si band gap 較小，使應變矽較 Si 的接面漏電為高，在高性能元件的應用上較不重要，但須謹慎其對低漏電電路的影響。

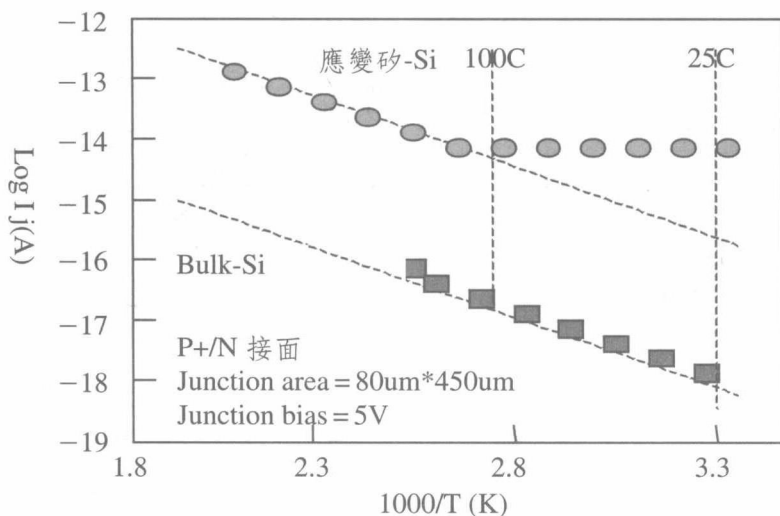


圖 8-17 應變矽較 Si 的接面漏電為高。

以上介紹了 SOI 及應變矽的特性與製程要求，由於兩者並沒有製程衝突之處，可將兩者結合，稱之為應變矽 SOI (SGOI)，如圖 18 所示，具有 SOI 低接面電容，良好的隔離，陡峭的次臨界 $I_D V_g$ 曲線，以及應變矽極高的載子遷移率，較大的趨動電流等優點。

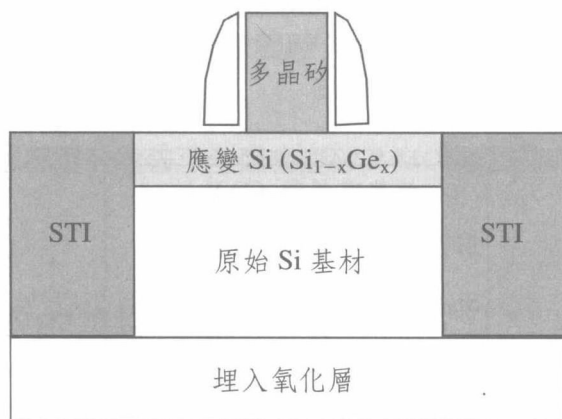


圖 8-18 應變矽 SOI (SGOI) 結構圖。