

圖 13-39 典型閘極氧化層的 C-V 曲線。

### 13.2.2 接面電容 (Junction Capacitance)

任何 PN 接面皆存在著空乏區而顯現電容特性，過大的接面電容會降低元件開關的速度，另外由於接面電容會因外加電壓調變空乏區寬度來改變電容大小，亦可設計成變容器 (varactor) 等元件，用於高頻電路的使用。

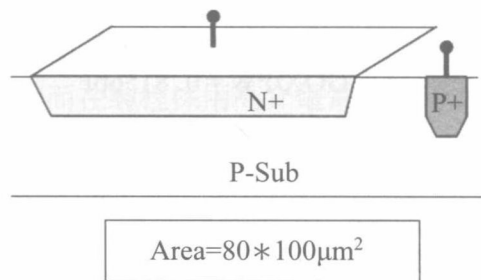


圖 13-40 N+到 P-sub 接面的測試鍵結構。

Measure CJ with  $C_{mh}(sub) = -V_{cc}(bias)$ ,  $C_{ml}(drain) = 0V$ ,  
Small signal = 0.03V(default), Frequency = 1MHz(Reverse Bias)  
 $CAP\_GOX = (1.E + 12) * COX / 8000 (pF/\mu m^2)$