

圖顯示於圖 3-2，圖中假設金屬和半導體的功函數差 $q\phi_{ms}=0$ 而且氧化層內部或其界面沒有任何電荷中心缺陷。然而，對於常用的 MOS 元件（例如， n^+ poly-Si 閘極/SiO₂/p-type Si 基板）來說，功函數差 $q\phi_{ms}$ 通常不等於零，而且在成長氧化層的過程中會或多或少地使氧化層內部或其界面處存在一些我們不想要的電荷。上面所舉出非理想情況下二個常見的例子會影響理想 MOS 的特性，例如臨界電壓 V_T 和電容—電壓 ($C-V$) 特性。

我們先來討論功函數差 (work function difference)。於 §3.1.1 節中曾定義過材料的功函數為費米能階與真空能階間的能量差，因此半導體的功函數 $q\phi_s$ 會隨著摻雜濃度的不同而改變（例如圖 3-2 中 P 型半導體的 $q\phi_s$ 會隨著摻雜濃度 N_A 的增加而變大）。所以，對於一個有固定功函數 $q\phi_m$ 之特定金屬而言（例如鋁的功函數約等於 4.1eV），其與半導體間的功函數差 $q\phi_{ms}=(q\phi_m - q\phi_s)$ 亦將隨著半導體摻雜濃度的不同而改變。在較舊的 MOS 製程中，鋁為最常用的金屬閘極之一；但目前工業界廣泛使用的金屬閘極材料則為重摻雜 (heavily doped) 的 n 型複晶矽（記作 n^+ poly-Si）與 p 型複晶矽（記作 p^+ poly-Si）。在實務上，當 n^+ poly-Si 被使用為金屬閘極時，可以 $E_F \cong E_C$ 近似；當 p^+ poly-Si 為金屬閘極時，則以 $E_F \cong E_V$ 近似。又矽的電子親和力（對照圖 3-2，其定義為真空能階與導電帶邊緣 E_C 的能量差）約等於 4.05eV，所以 n^+ 與 p^+ 複晶矽當作金屬閘極材料時，其功函數 $q\phi_m$ 分別大約為 4eV 與 5.1eV。圖 3-10 顯示對各種閘極材料，其與矽基板間的功函數差為基板摻雜濃度（以 N_B 表示）的函數。以下舉一例說明：現行 p-MOSFET（P 型金氧半場效電晶體）的製作方式大多採用 p^+ poly-Si 當作閘極，搭配 n 型矽基底（其原理將於 §4.1 節中介紹）。由圖 3-10 可看出（圖中最上方之虛線），當 n 型基板摻雜濃度增加會使得 $q\phi_{ms}$ 的值變得更正（還是因為當 n 型基板中的摻雜量 N_D 增加，會使費米能階 E_F 更靠近 E_C ，故矽基板的功函數 $q\phi_s$ 跟著變小）。

同理，由於目前 n-MOSFET 的製作大多以 n^+ poly-Si 為閘極而矽基底為 p 型，所以當增加基板雜質濃度 N_A 會使半導體基板的費米能階 E_F 更靠近 E_V ，導致矽基板的功函數 $q\phi_s$ 隨之增加，也同時使得 $q\phi_{ms}$ 值變得更負如圖 3-10 中最下方之虛線所顯示。