

$$L_{\text{gate}} = \frac{WC_{\text{gate}}(L_{\text{inv1}} - L_{\text{inv2}})}{(C_{\text{inv1}} - C_{\text{inv2}})W_{\text{gate}}}$$

$$L_{\text{pb}} = L_{\text{mask1}} - L_{\text{g1}}$$

$$C_{\text{acc1}} = 2C_{\text{ovlap1}} + 2C_{\text{fri1}} + C_{\text{offset1}}/W$$

$$C_{\text{acc2}} = 2C_{\text{ovlap2}} + 2C_{\text{fri2}} + C_{\text{offset2}}/W$$

$$C_{\text{ovlap}} = \left[\frac{W_1 C_{\text{acc1}} - W_2 C_{\text{acc2}}}{2(W_1 - W_2)} \right] - C_{\text{fri1}}$$

$$L_{\text{ovlap}} = \frac{C_{\text{ovlap}}(F/\mu\text{m})}{C_{\text{ox}}(F/\mu\text{m}^2)}$$

$$L_{\text{eff}} = L_{\text{gate}} - L_{\text{overlap}}$$

$$C_{\text{gd}}(V_{\text{g}} < 0V) = C_{\text{ovlap, accumulation}}(V_{\text{g}} < 0V) + C_{\text{fringing}}(V_{\text{g}} < 0V)$$

$$\approx C_{\text{accumulation}}(V_{\text{g}} = -V_{\text{cc}}) - (C_{\text{offset}}/W)/2$$

13.2.4 金屬間／金屬內電容（Inter/Intra Metal Capacitance）量測

由於CMOS後段製程電路密度愈來愈大，以二氧化矽為主（相對介電常數約為3.9）的金屬層間的介電隔離材料將造成內連線的RC時間延遲，必須進行新的低介電常數材料的開發，期能藉由低介電材料的使用，取代具較高介電值的SiO₂，來降低IC因內連線的RC時間延遲，在運算速度上所面臨的瓶頸。利用金屬內及金屬間電容值的測試鍵結構可量測出金屬內及金屬間電容值，加以金屬間的距離測量，亦可以反推介電材料的介電常數。

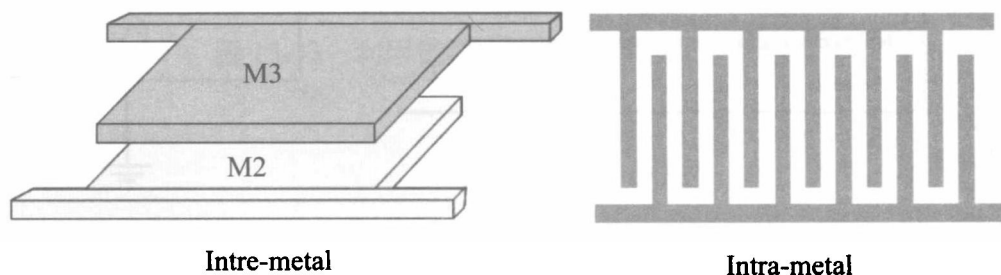


圖 13-46 用來量測金屬內及金屬間電容值的測試鍵。