

器是以一差動放大器（differential amp）完成。而差動放大器之電流源（current source）之電晶體由行解碼器之輸出所控制。只有當指定之行時，其相關之行解碼器（Column decoder）之輸出才為 on，行解碼器沒選到之位元線上之差動放大器即為關閉狀態以省電。

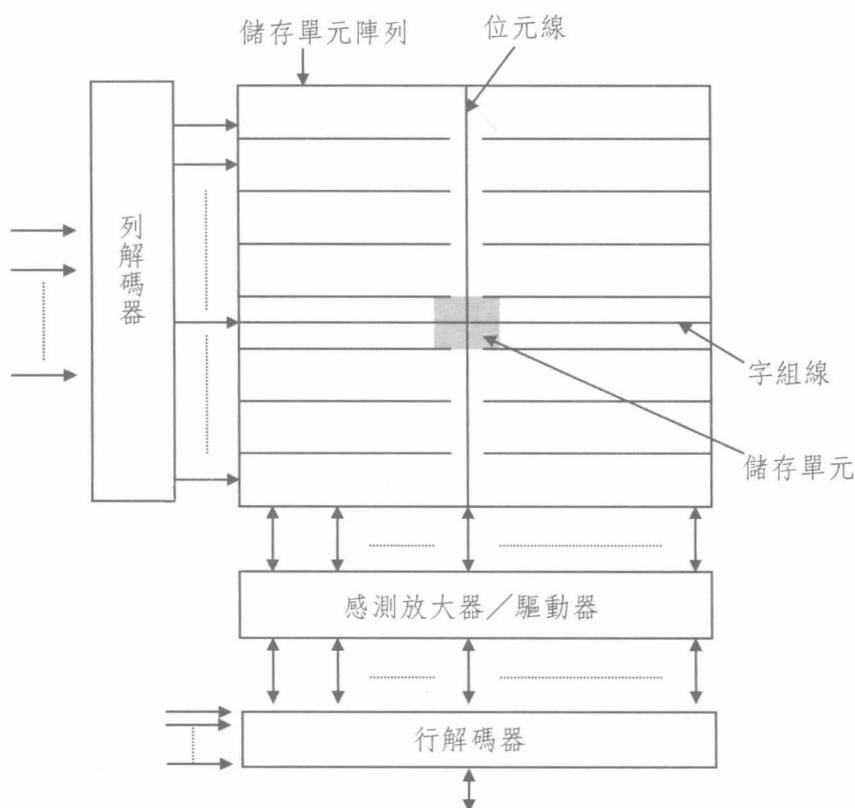


圖 11-5 由  $2M$  列  $\times 2N$  行陣列組成的  $2M + N$  位元記憶晶片。

現有之 SRAM 無法同時作輸出與輸入，其主因是同一列之一對位元線接至感應放大器作輸出時即無法做輸入。若能設計出可同時輸出與輸入之雙埠 SRAM（dual-port）SRAM 對一些系統，如在一些快速存取的 cache 應用設計上很有幫助，如圖 11-6 雙埠 SRAM 記憶單元電路。我們可以在同一 node 上加入另一組字元線及位元線來提供 2 倍的讀取速度，但須注意在同一 bit 上，無法同時處理讀／寫的動作。在 multi-bit 輸出／入之感應放大器需成比例增加，由於總功