

加正電壓於 n 型半導體上如圖 2-5(c) 的逆向偏壓情況，則 n 型區的導電帶邊緣會往下拉（相當於位能障變大）且空乏區寬度增大。圖 5-8 中的長通道元件可視為二個背對背的 $n^+ - p$ 接面，由圖可看出增加汲極端的電壓並不影響源極端電子的位能障高度（barrier height），乃因通道長度遠大於汲極端接面的空乏區寬度。因此，對長通道而言，唯有施加閘極電壓（即加 V_G 在 p 型半導體上，將其導電帶邊緣往下拉）才可降低源極端的能障高度，且直至 V_G 達 V_T 時通道形成。然而，對短通道元件來說，汲極電壓的增加將連帶「扯低」源極端的能障高度如圖 5-8 中所繪，使得臨界電壓下降。故簡言之，DIBL 就是汲極電壓由線性區增至飽和區時，源極端能障降低的量（亦標示於圖 5-8 中），也等於臨界電壓下降的量。

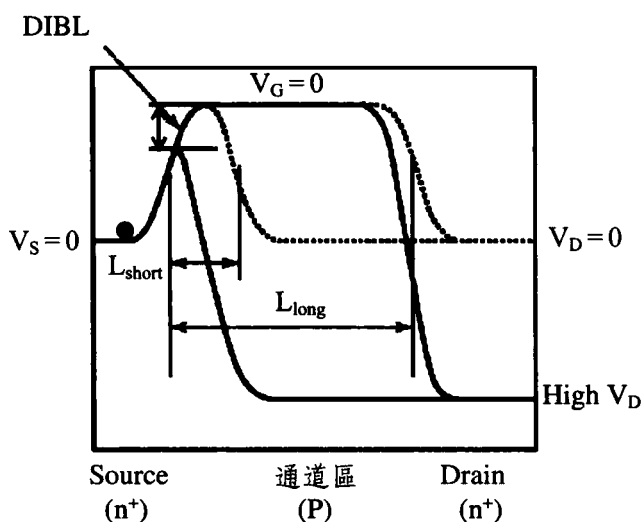


圖 5-8 DIBL 發生在短通道 n -MOSFET 元件的示意圖。

短通道元件的次臨界特性圖如圖 5-9 所顯示，當增加 V_D 使得特性曲線向左平移時，代表 DIBL 發生，且平移的量即為臨界電壓 V_T 下降的量。若與長通道元件的特性圖 4-10 作比較可知，DIBL 的發生會造成次臨界電流明顯地增加，也就是說短通道元件的次臨界電流會隨著 V_D 的增加而上升，而長通道元件的次臨界電流與 V_D 的大小無關。對照圖 5-9，我們對 DIBL 現象作進一步的說明：

(1) 由以上可知， V_D 的增加造成 V_T 下降的量（或說曲線向左平移的量）愈