

制，因此短通道效應要比埋入通道好很多。所以對臨界電壓（ V_t ）控制而言，表面通道比較好；但 P^+ 多晶矽 PMOS 多採用硼（Boron）作為摻雜物，容易產生硼會穿入氧化層／矽介面，進入基板而產生臨界電壓偏移現象，硼濃度不足時，則會發生多晶矽空乏的現象，造成有效氧化層厚度增加，閘極電容下降，元件特性變差。解決的方式，可在形成閘極氧化層時，採用經氮化的 SiO_2 ，藉由在閘極氧化層內增加一層 Si_3N_4 ，來防止 P^+ Poly 裡的摻質，對閘極介電層的穿透與擴散。因此，氮化 SiO_2 的使用，不但能使閘極介電層的等量氧化層厚度，繼續隨著 L_g 的微縮而降低，並提升 MOS 的趨動電流，且能解決 PMOS 表面通道製程裡， P^+ Poly 三價摻雜物硼對閘極 SiO_2 的穿透，來避免 PMOS V_t 的改變，並且可以藉此改善閘極介電層的品質與可靠度。

7.3.3 製程考量

之前談到氧化層介面會產生介面態，形成介面捕捉電荷造成臨界電壓偏移或產生可靠度問題，另外表面粗糙亦會影響表面散射而降低載子移率，因此在成長氧化物前的晶片清洗相當重要，我們常用 HF/H_2O 去蝕淨（etch）氧化表層，接著，然後是 SC1 ($NH_4OH/H_2O_2/H_2O$ (1 : 1 : 5))，主要是去除有機雜質，在用 SC-1 時，當 NH_4OH 濃度很高時，可以把表面侵蝕而帶走雜質，而 NH_4OH 含量低時，可得到較平的表面。SC-1 潔淨完後有很多離子分布，而這些離子可以用 SC-2 ($HCl/H_2O_2/H_2O$ (1 : 1 : 5)) 來去除。

電場強度與閘氧化層厚度有關，閘氧化層的長成則與溫度有相當大的關聯性，我們實驗發現以高溫成長的氧化層，電子及電洞的移動率（mobility）均比較高，而可靠度亦是成長溫度越高越好。這說明了如果以後我們因熱預算（thermal budget）的限制，而需降低成長溫度的話，則氧化層的品質會損失不少，為克服此一問題，先進製程多採用快速熱處理（RTP）的閘極氧化層製程，可以在很高的溫度下以較短的製程時時成長薄的薄的氧化層。

降低 MOS 的操作電壓 V_d ，也可以提升閘氧化層的可靠度，並緩和熱載子的效應，另一有效的改善方法是如前述的氮 N 原子的導入，一來可以避免 P^+ Poly 內的硼對閘氧化層的穿透。也因為 Si_3N_4 的介電常數較 SiO_2 為高，再加上 Si_3N_4 的密度較大，可藉由與 SiO_2 的搭配，應用在閘極的氧化層裡。如此不但