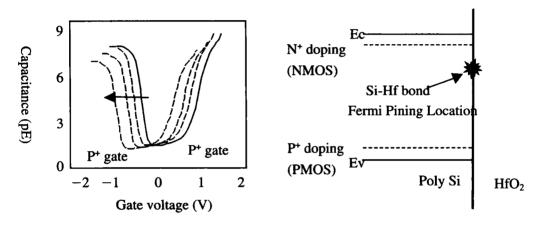
則有 0.9-1.0 的改變)。綜合金氧半導體平帶電壓 (flat band voltage, V_{fb})以及 臨界電壓(V₁)的研究可以發現,這樣的現象並不能完全歸咎於在薄膜之間或 界面存在固著電荷(fixed charge)的理論,雖然薄膜電荷捕捉(charge trapping) 不能完全脫離關係,但最近的研究則將主因指向於高介電材料與複晶矽形成鍵 結,阳障層與矽鍵結將造成的費米能階固定(Fermi level pinning),而改變閘 極的功函數(work function)、造成 Vt shift 現象,此亦形成高介電材料與複晶 矽整合一大闲難。



8 8-27 費米能階固定造成 CV 曲線及能階費米能階固定位置。

4.有效間極電容

在考慮閘極電容時,須考慮不同層間的效應,除了高介電材料前的介面層 (interfacial layer) 及與 poly 間的 cap layer 外,另須注意由電荷反轉時的電容 Cinv 及多晶矽空乏造成的 C dep.都會消耗,高介電材料對整體電容的貢獻 Cg $= 1/(1/Cgox + 1/Cg \cdot dep + 1/Cginv)$,例如:金屬電極的使用,可使多晶矽的空乏 現象消失,而有效提高閘極電容。

5.閘極可靠度

由於高介電材料新材料的導入,對於CMOS製程可靠性的議題,會因介面 態,因定電荷而改變熱載子(hot carrier),臨界電壓穩定度(Vt stability)行