

# 版图设计

李福乐

清华大学微电子所

2007年7月

# 版图设计

- 集成电路的制造与设计流程
- CMOS集成电路中的元件
- 版图设计规则(Topological Design Rule)
- 版图设计准则('Rule' for performance)
- 标准单元库版图分析（以COMPASS自带的 1.2um CMOS标准单元库为例）
- 课堂测试与作业

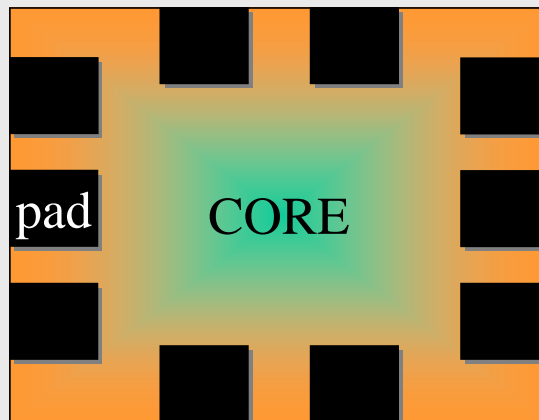
# 第一部分

# 集成电路中的制作与设计

- 制作过程
- 基本设计流程
- 基本版图流程

# 什么叫集成电路

集成电路(Integrated Circuit,简称IC)就是将有源元件(二极管、晶体管等)和无源元件(电阻、电容等)以及它们的连线一起制作在半导体衬底上形成一个独立的整体. 集成电路的各个引出端就是该电路的输入, 输出, 电源和地.



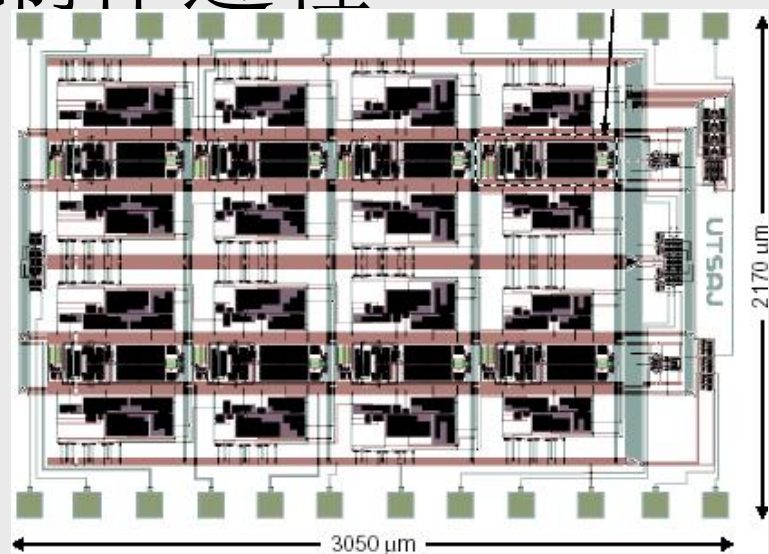
核心电路+IO

# 集成电路制作过程

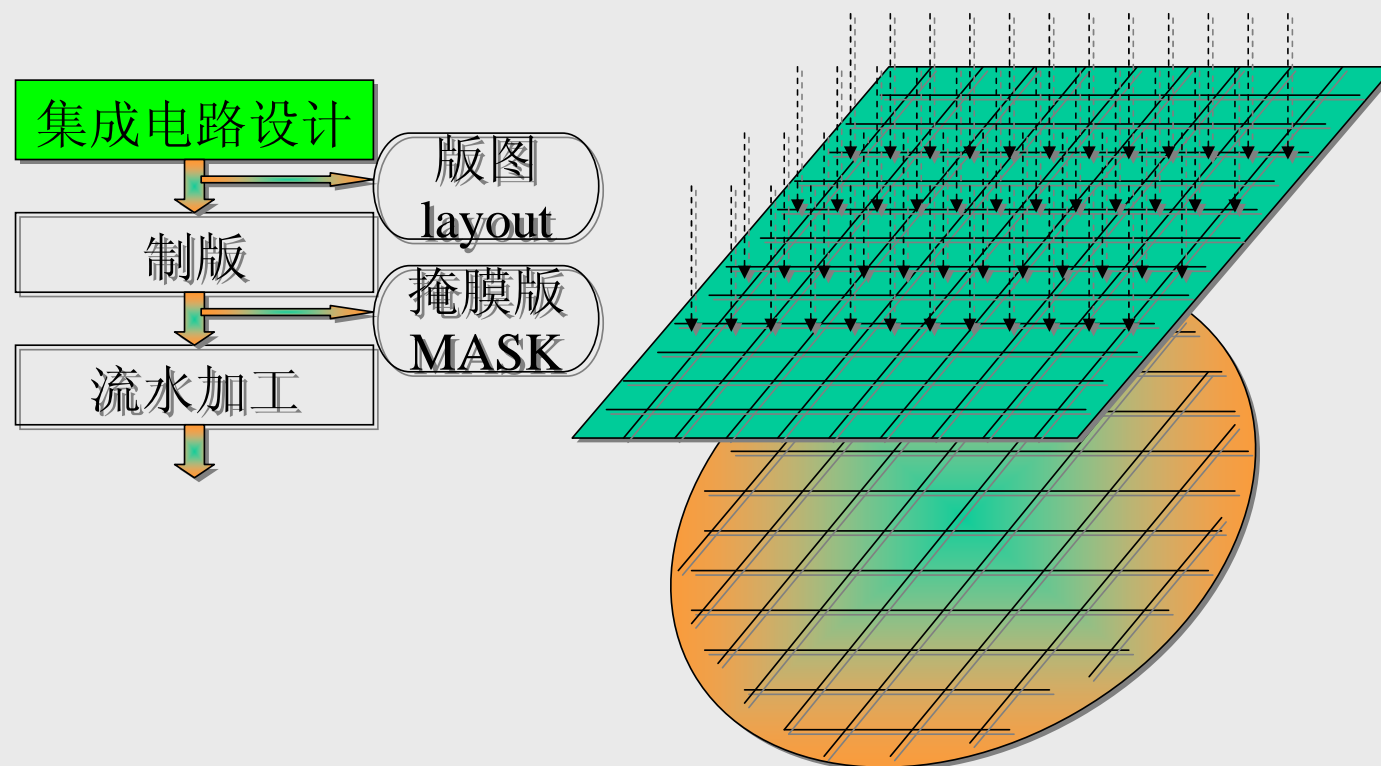
集成电路设计



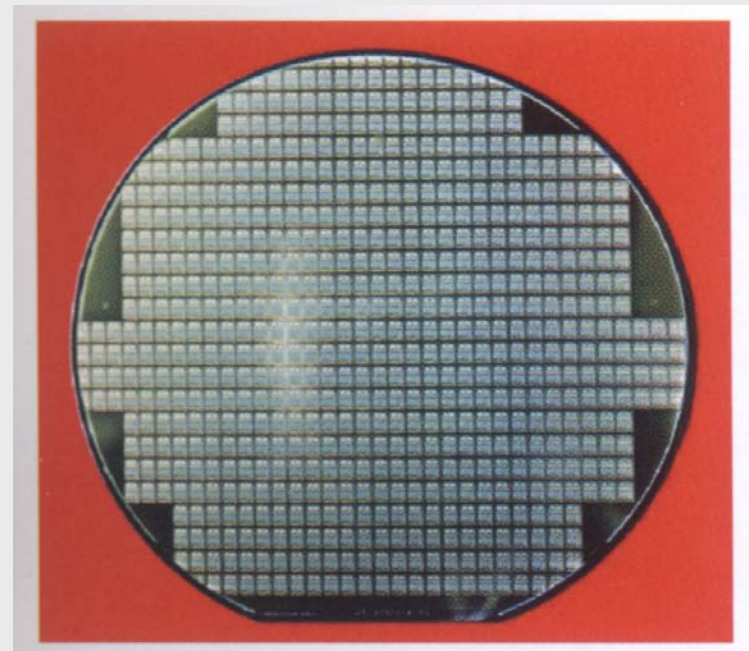
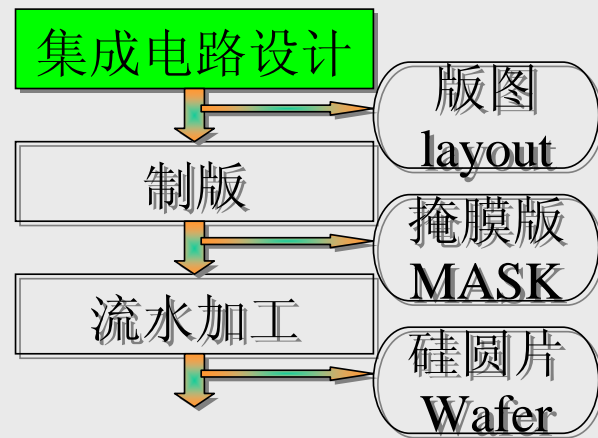
版图  
layout



# 集成电路制作过程

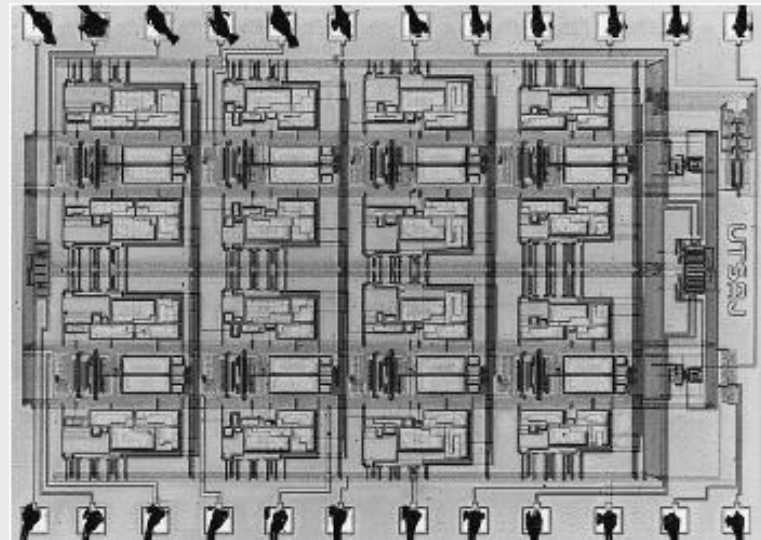


# 集成电路制作过程

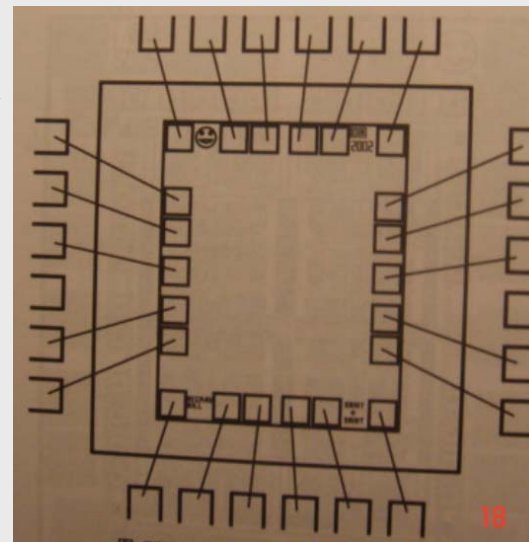




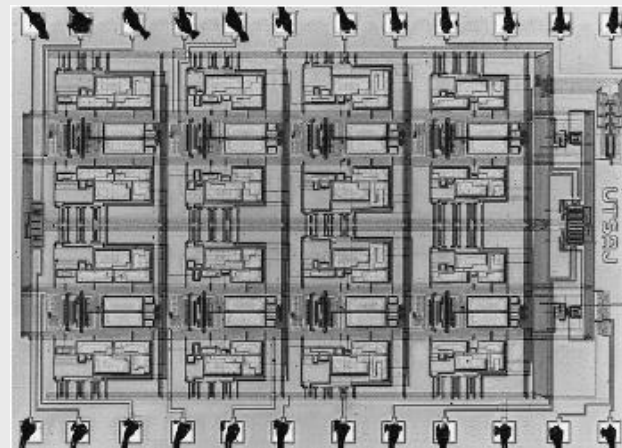
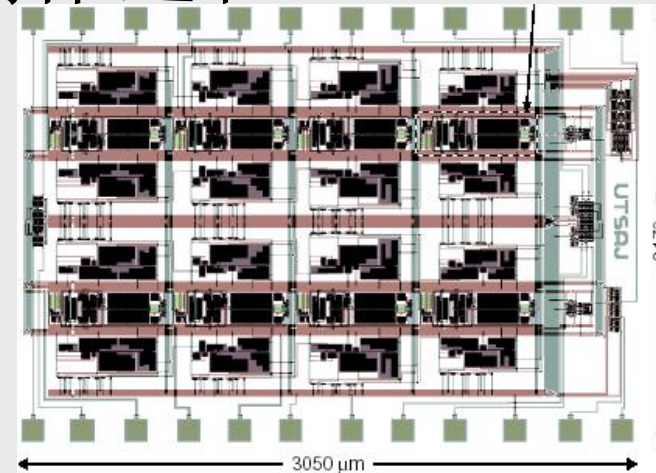
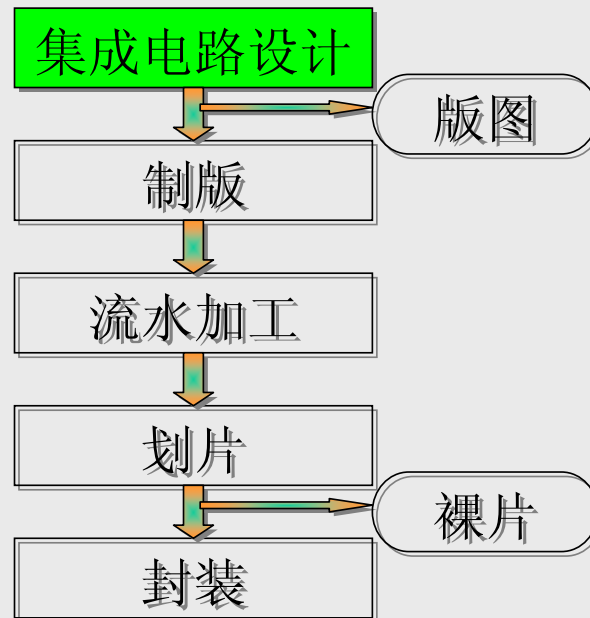
# 集成电路制作过程



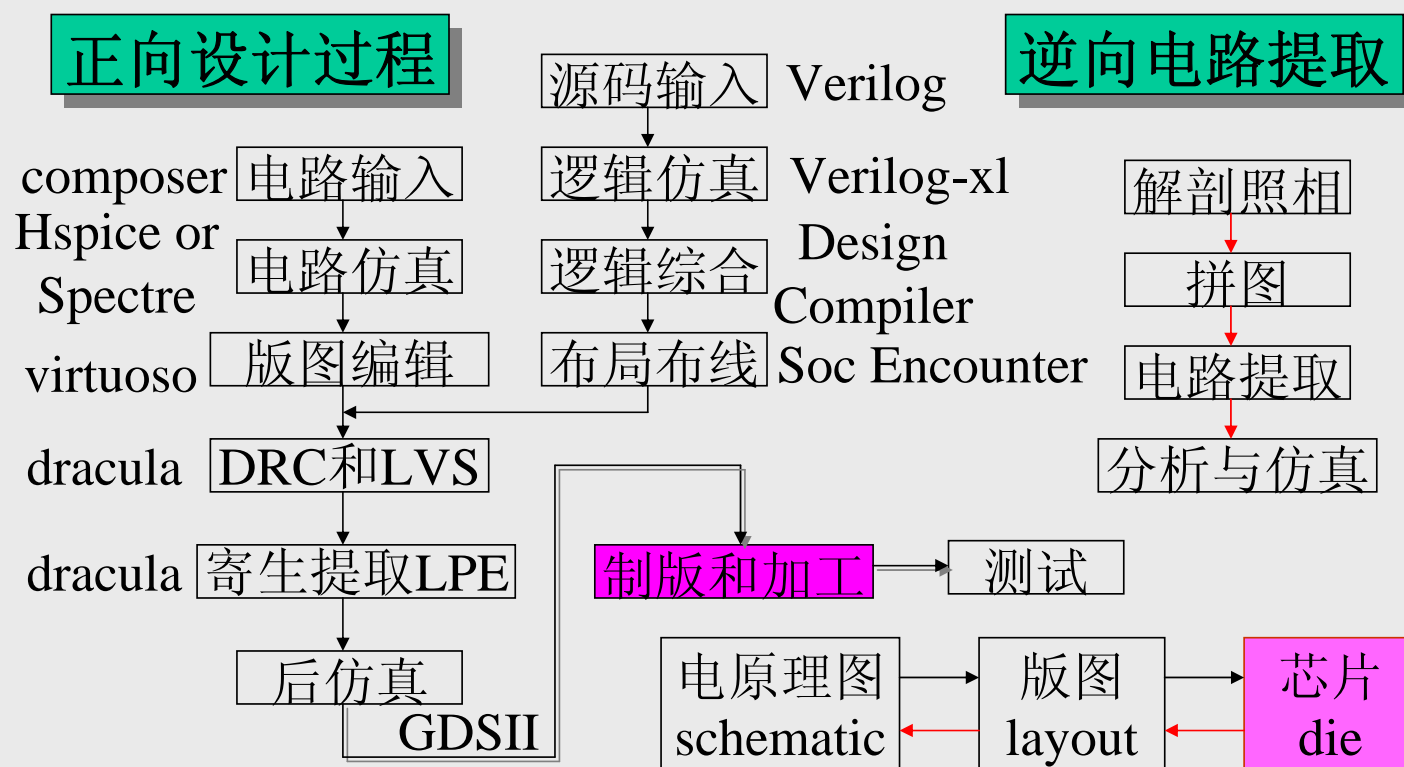
# 集成电路制作过程



# 集成电路制作过程

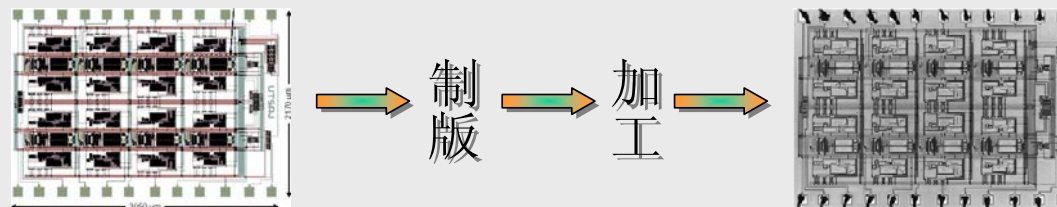


# 集成电路设计基本流程

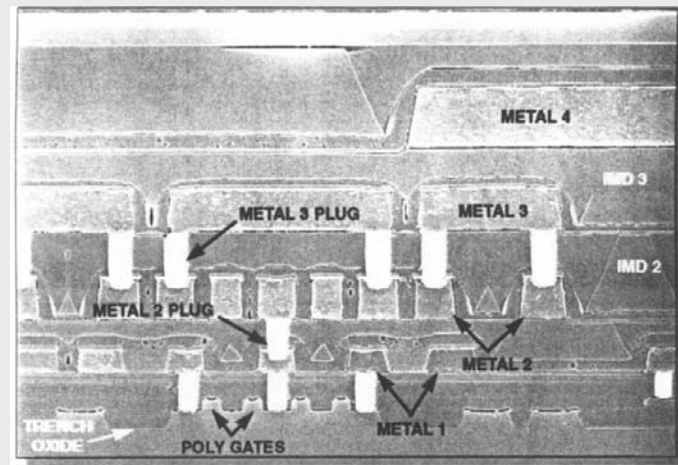


# 版图结构

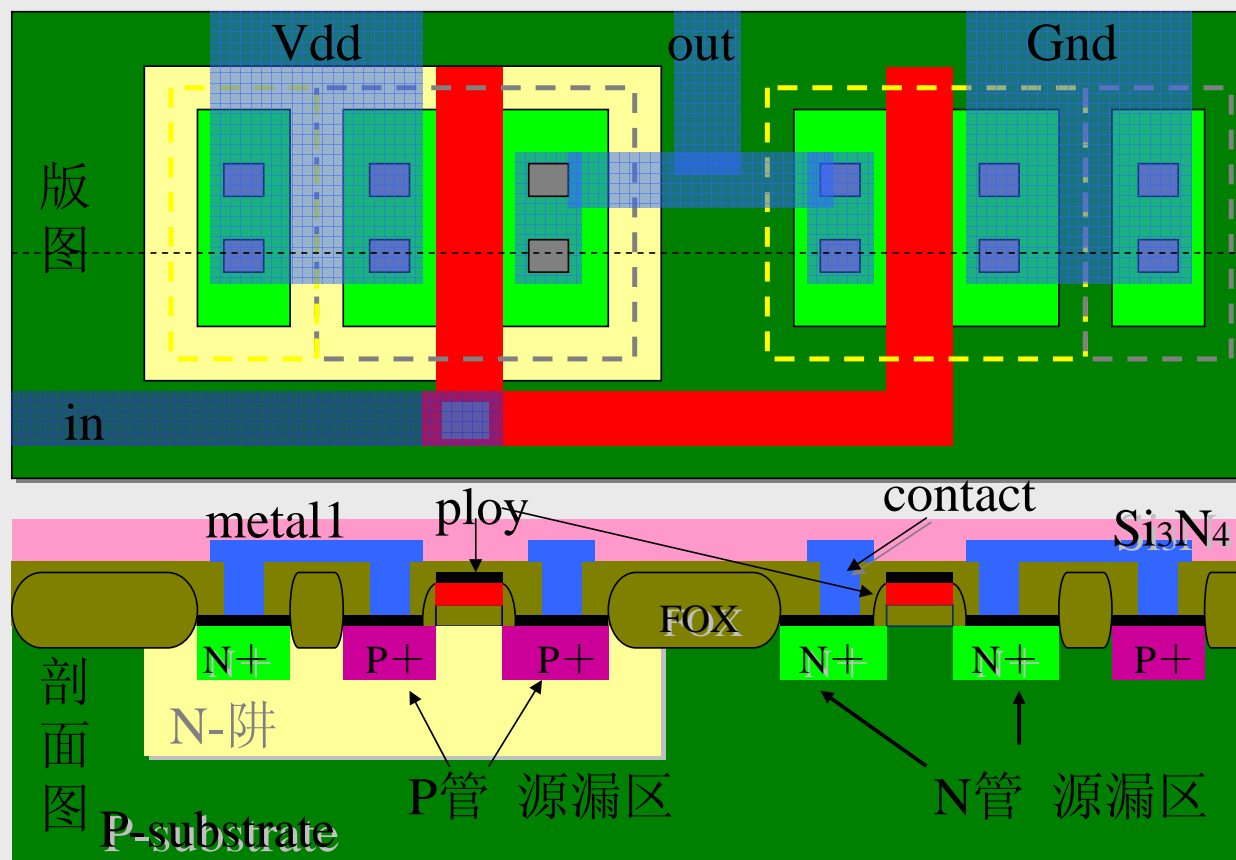
- 集成电路加工的平面工艺

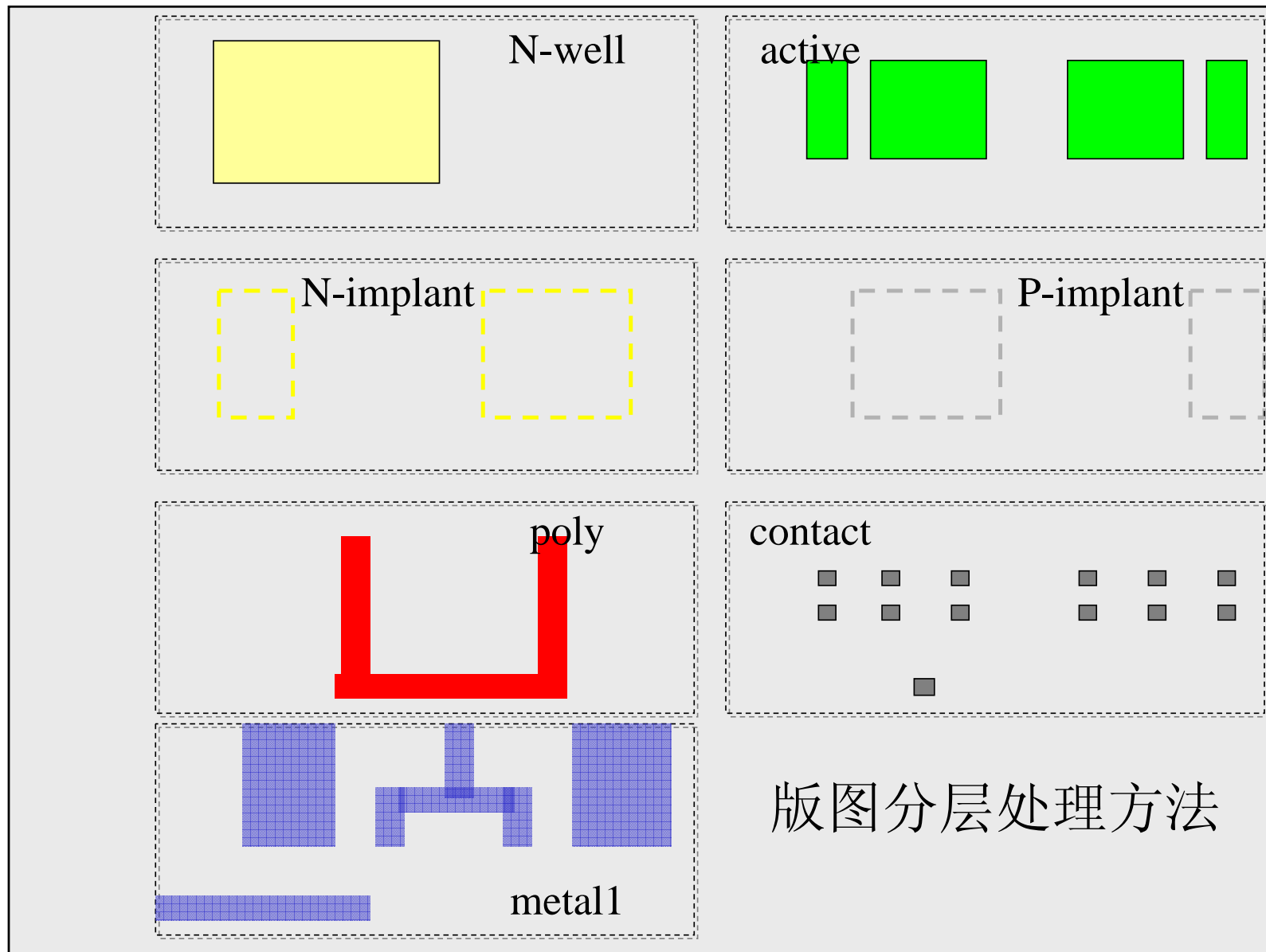


- 芯片的剖面结构  
从平面工艺到立体结构，需多层掩膜版，故版图是分层次的，由多层图形叠加而成！

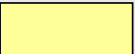




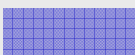





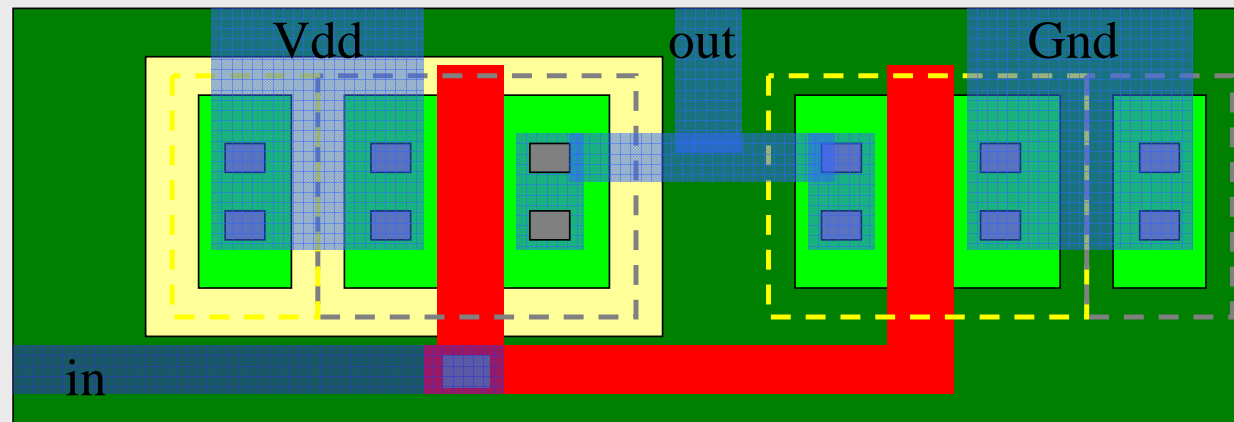
## 一个简单的例子





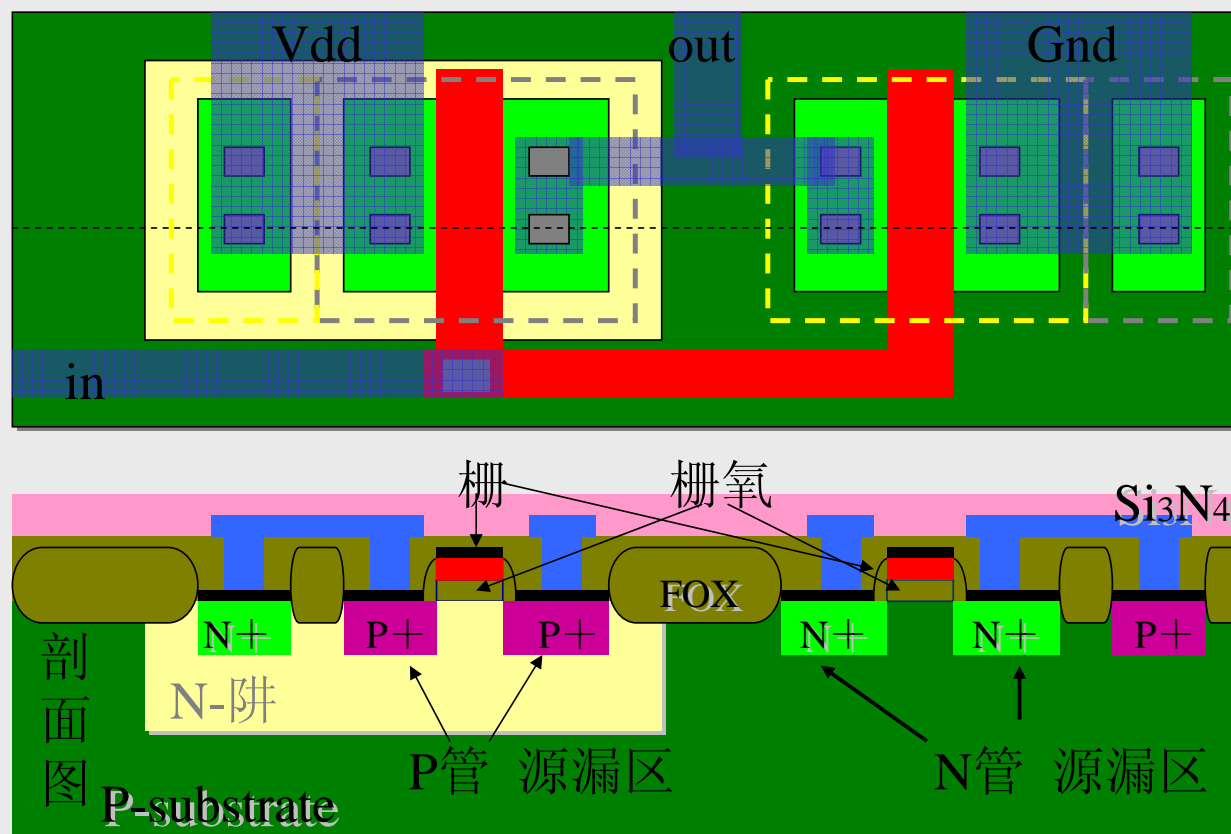
# 版图的层

N-well		active	
P+ implant		N+ implant	
poly1		metal1	
contact			
<hr/>			
via		metal2	





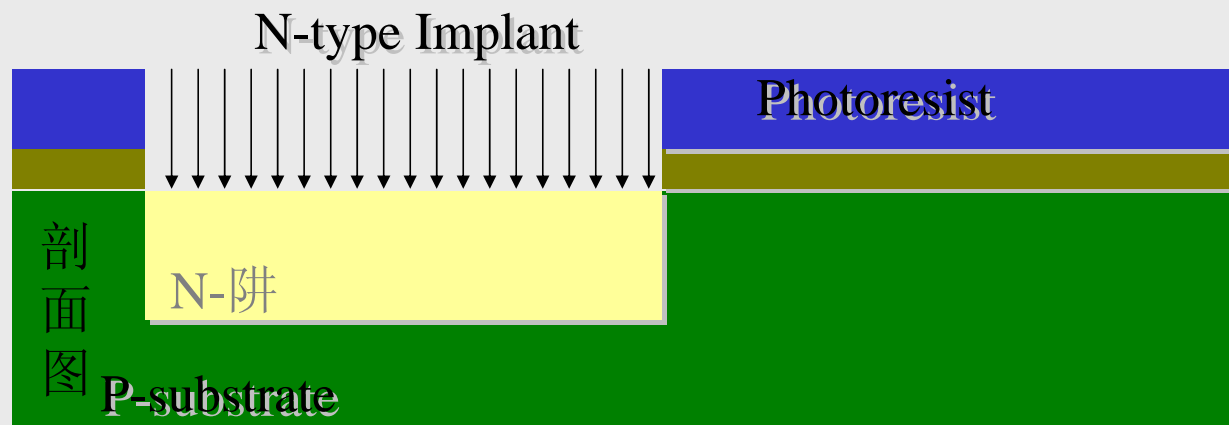
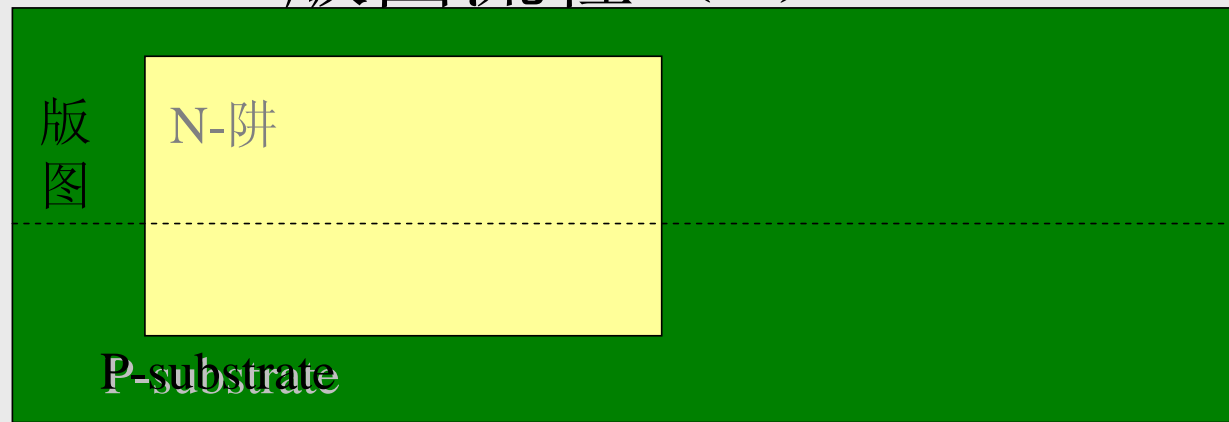
# 版图流程



## 硅栅CMOS工艺版图和工艺的关系

- 1 N阱——做N阱的封闭图形处，窗口注入形成P管的衬底
- 2 有源区——做晶体管的区域（G,D,S,B区），封闭图形处是氮化硅掩蔽层，该处不会长场氧化层
- 3 多晶硅——做硅栅和多晶硅连线。封闭图形处，保留多晶硅

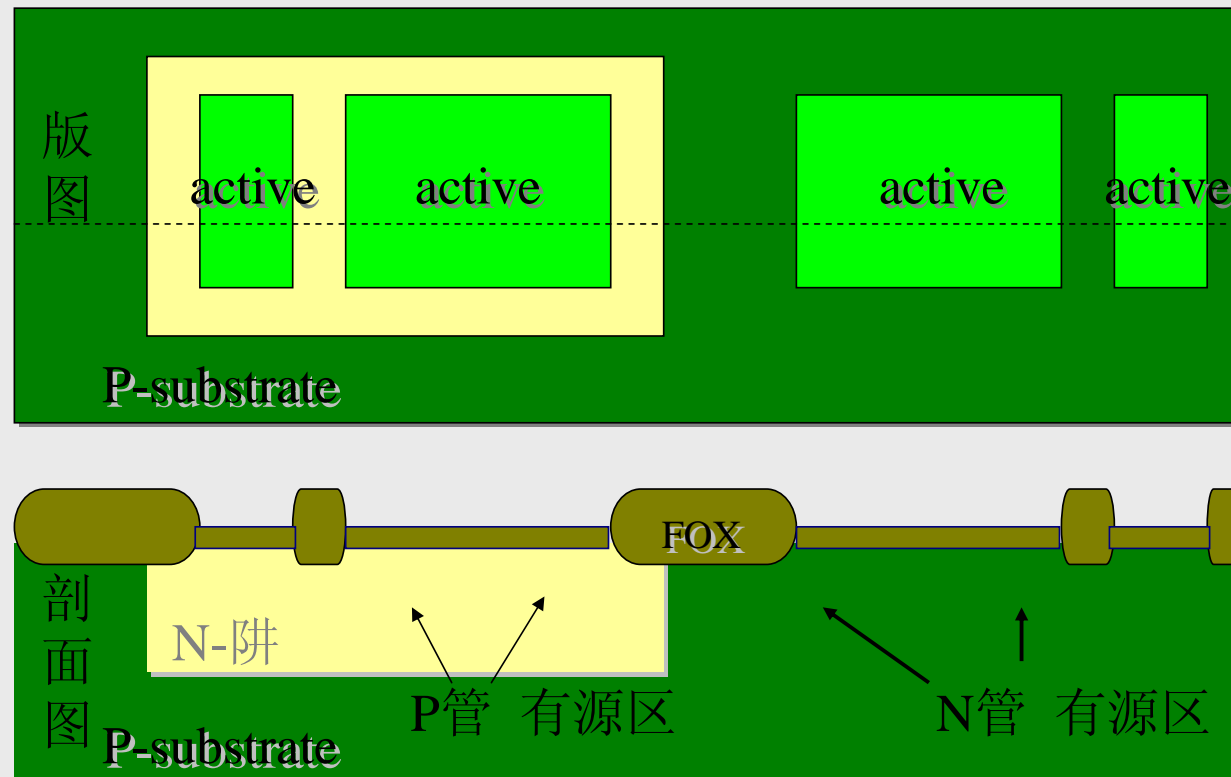
## 版图流程 (1)



## 硅栅CMOS工艺版图和工艺的关系

- 1 阱——做N阱和P阱封闭图形处，窗口注入形成P管和N管的衬底
- 2 有源区——做晶体管的区域（D,G,S,B区），封闭图形处是氮化硅掩蔽层，该处不会长场氧化层
- 3 多晶硅——做硅栅和多晶硅连线。封闭图形处，保留多晶硅

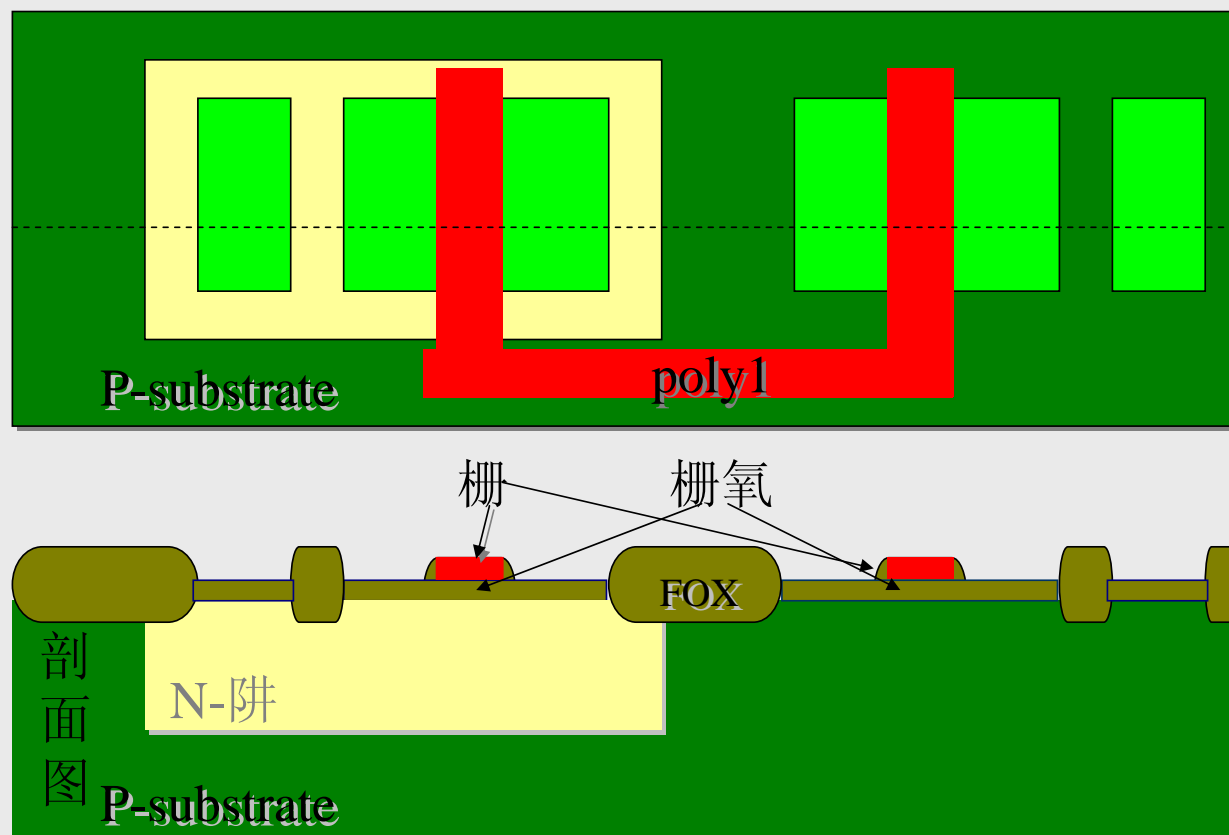
## 版图流程 (2)



## 硅栅CMOS工艺版图和工艺的关系

- 1 阱——做N阱和P阱封闭图形处，窗口注入形成P管和N管的衬底
- 2 有源区——做晶体管的区域（G,D,S,B区），封闭图形处是氮化硅掩蔽层，该处不会长场氧化层
- 3 多晶硅——做硅栅和多晶硅连线。封闭图形处，保留多晶硅

## 版图流程 (3)

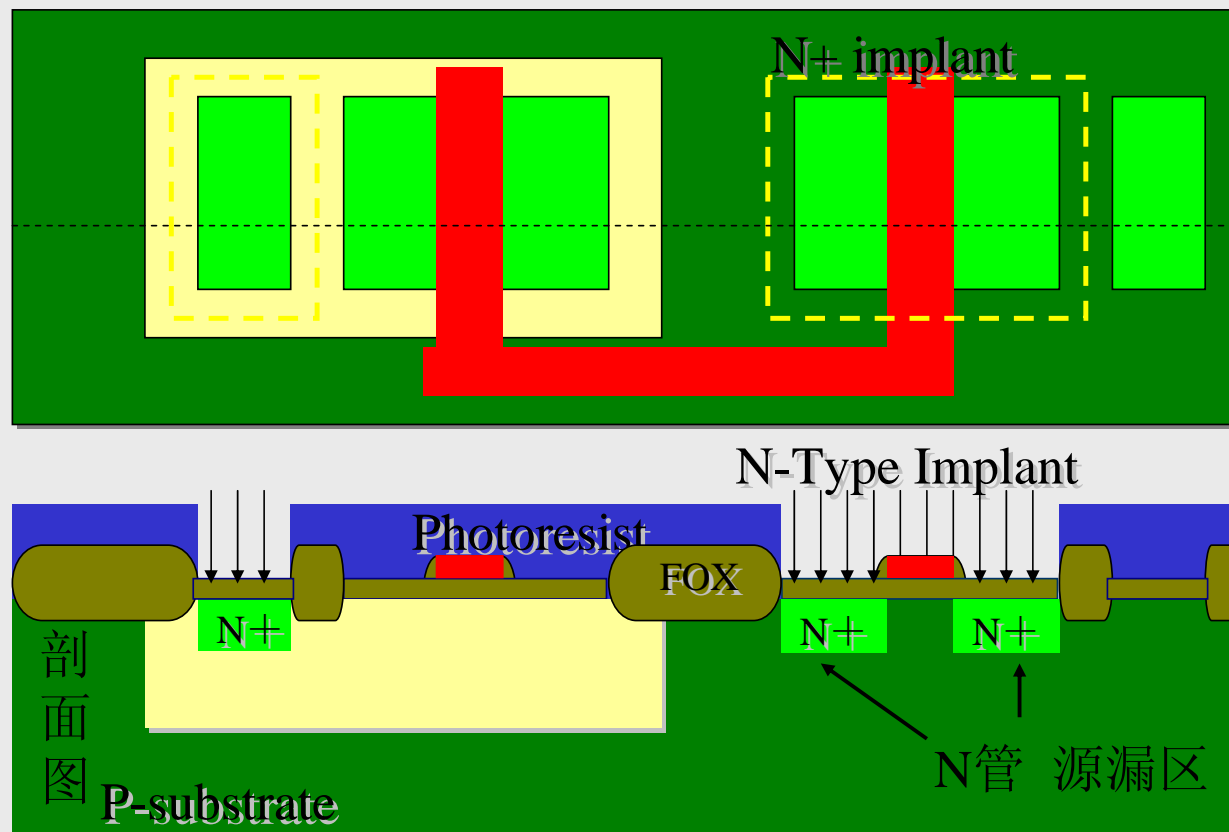


## 硅栅CMOS工艺版图和工艺的关系

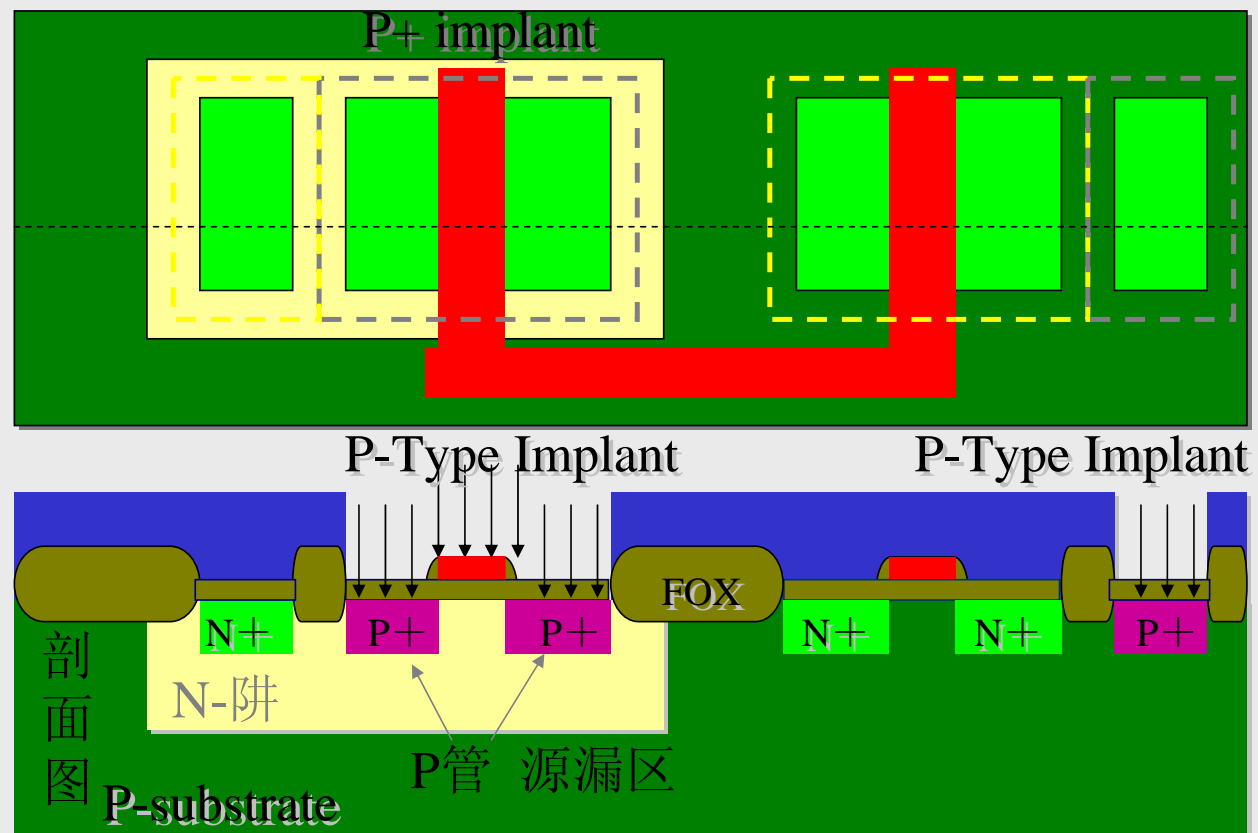
- 4 有源区注入—— $P^+$ ,  $N^+$ 区。做源漏及阱或衬底连接区的注入
- 5 接触孔——多晶硅，扩散区和金属线1接触端子。
- 6 金属线1——做金属连线，封闭图形处保留铝
- 7 通孔——两层金属连线之间连接的端子
- 8 金属线2——做金属连线，封闭图形处保留铝



## 版图流程（4）



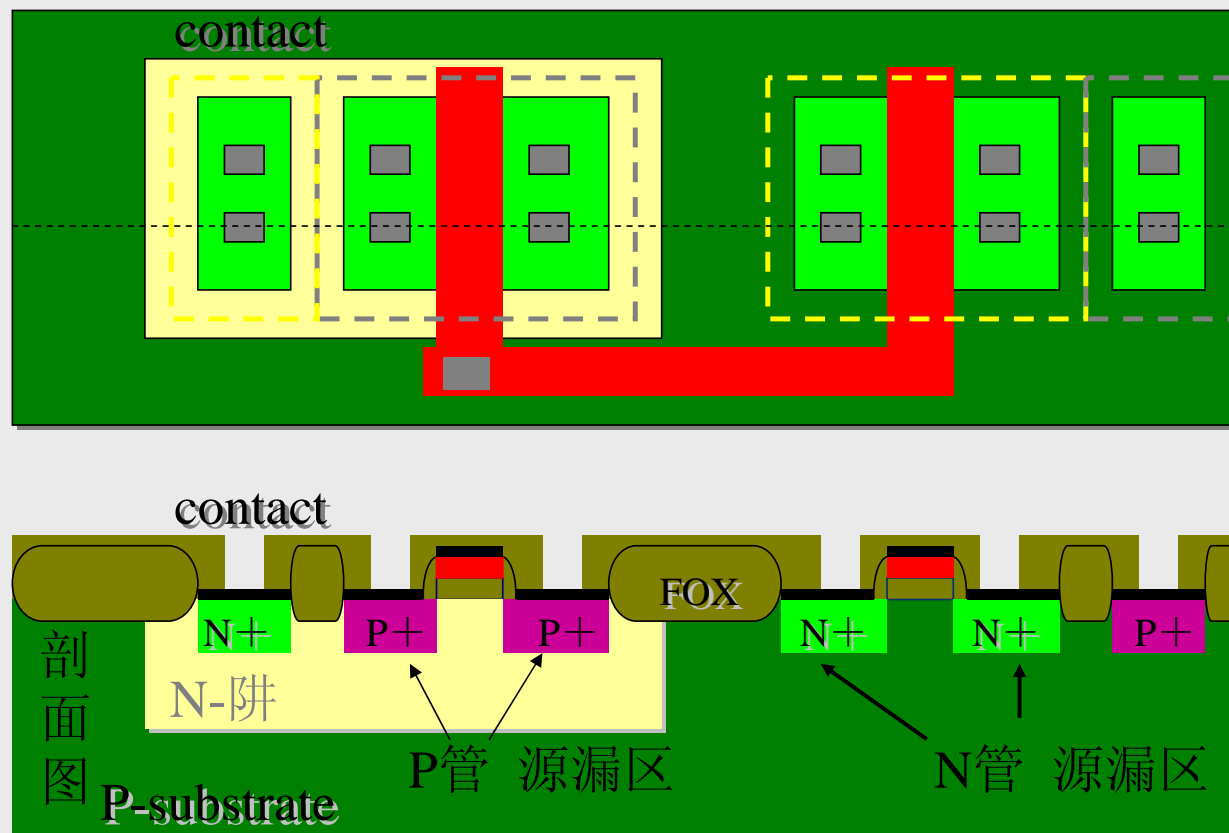
## 版图流程 (5)



## 硅栅CMOS工艺版图和工艺的关系

- 4 有源区注入—— $P^+$ ,  $N^+$ 注入区。做源漏及阱或衬底连接区的注入
- 5 接触孔——多晶硅，扩散区和金属线1接触端子。
- 6 金属线1——做金属连线，封闭图形处保留铝
- 7 通孔——两层金属连线之间连接的端子
- 8 金属线2——做金属连线，封闭图形处保留铝

## 版图流程 (6)



## 硅栅CMOS工艺版图和工艺的关系

4 有源区注入—— $P^+$ ,  $N^+$ 区 (select)。做源漏及阱或衬底连接区的注入

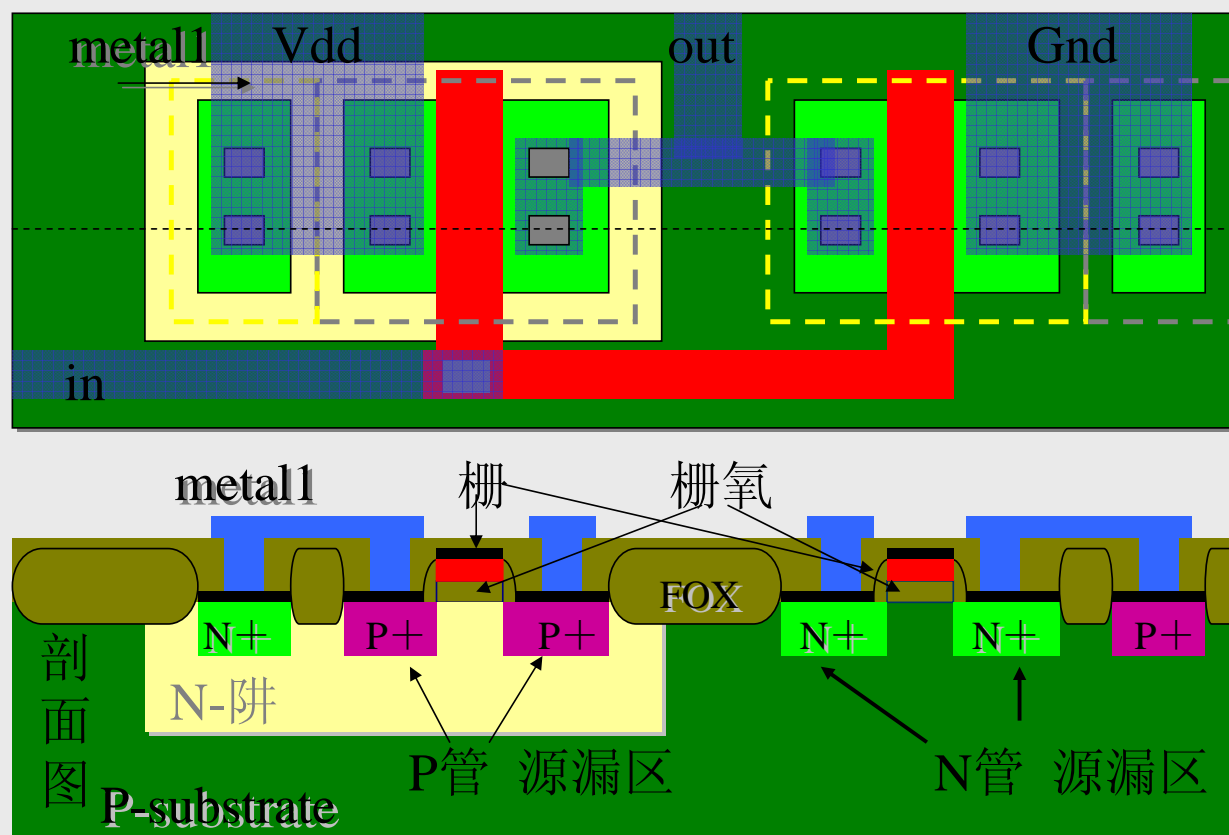
5 接触孔——多晶硅，扩散区和金属线1接触端子。

■ 6 金属1——做金属连线，封闭图形处保留铝

7 通孔——两层金属连线之间连接的端子

8 金属2——做金属连线，封闭图形处保留铝

## 版图流程 (7)



## 硅栅CMOS工艺版图和工艺的关系

4 有源区注入—— $P^+$ ,  $N^+$ 区 (select)。做源漏及阱或衬底连接区的注入

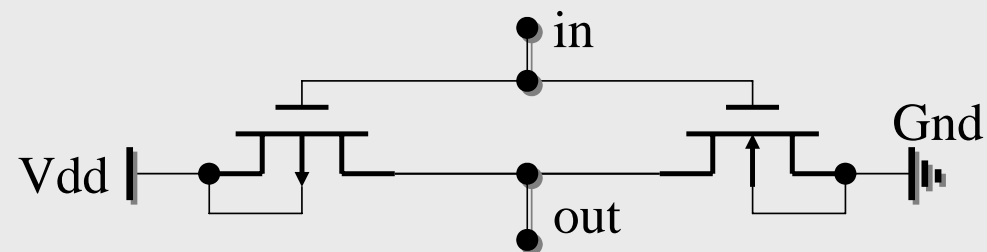
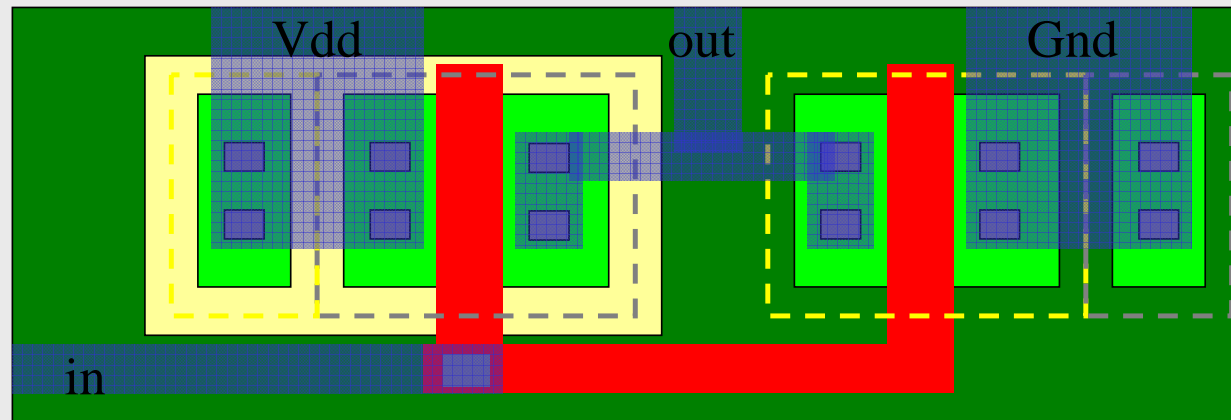
5 接触孔——多晶硅，扩散区和金属线1接触端子。

6 金属线1——做金属连线，封闭图形处保留铝

■ 7 通孔——两层金属连线之间连接的端子

■ 8 金属线2——做金属连线，封闭图形处保留铝

## 反相器版图与电原理图





## 第二部分

# CMOS集成电路中的元件

- MOS晶体管
  - 版图和结构
  - 电特性
  - 隔离
  - 串联和并联（cascode, 差分对, 电流镜）
- 连线
- 集成电阻
- 集成电容
- 寄生二极管和三级管

# CMOS集成电路中元件

- MOS晶体管
- 连线
  - 连线寄生模型
  - 寄生影响
- 集成电阻
- 集成电容
- 寄生二极管和三级管

# CMOS集成电路中元件

- MOS晶体管
- 连线
- 集成电阻
  - 多晶硅电阻
  - 阱电阻
  - MOS电阻
  - 导线电阻
- 集成电容
- 寄生二极管和三级管

# CMOS集成电路中元件

- MOS晶体管
- 连线
- 集成电阻
- 集成电容
  - 多晶硅-扩散区电容
  - 双层多晶硅电容
  - 双层金属电容
  - MOS电容
  - 多层“夹心”电容
  - 梳状电容
- 寄生二极管和三级管

# CMOS集成电路中的元件

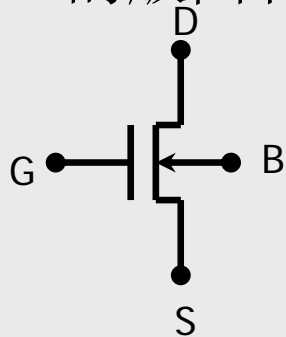
- MOS晶体管
- 连线
- 集成电阻
- 集成电容
- 寄生二极管和三极管
  - 衬底PNP BJT
  - PSD/NWELL Diode
  - NSD/P-epi Diode

# MOS晶体管

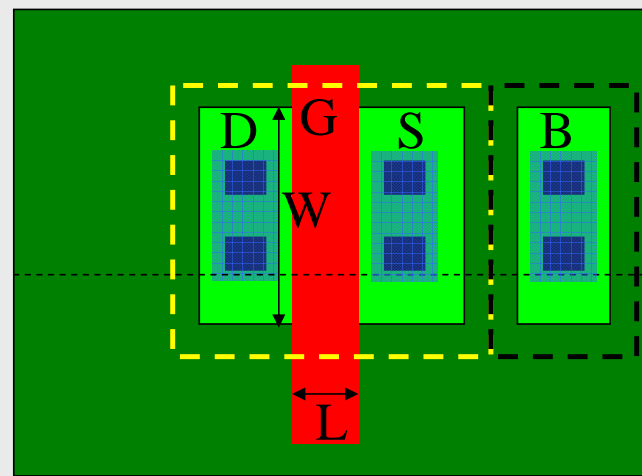
- MOS晶体管
  - 最基本的有源元件
  - 在CMOS工艺中，有PMOS和NMOS两种
  - 可用作跨导元件，开关，有源电阻，MOS电容

# MOS晶体管

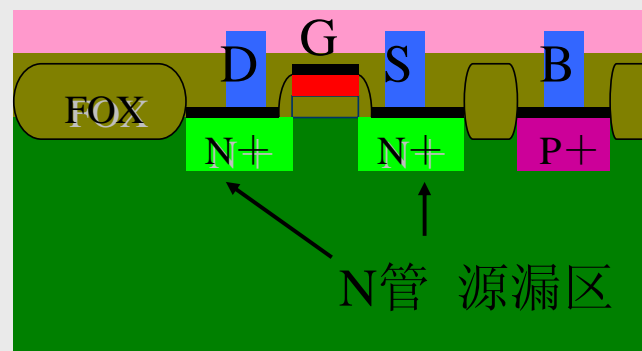
- NMOS晶体管的版图和结构



NMOS晶体管符号



NMOS晶体管版图

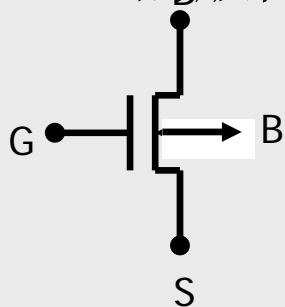


NMOS晶体管剖面图

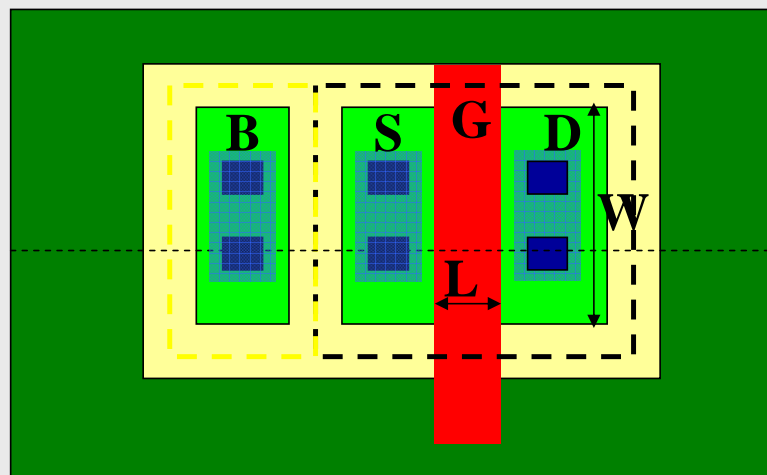


# MOS晶体管

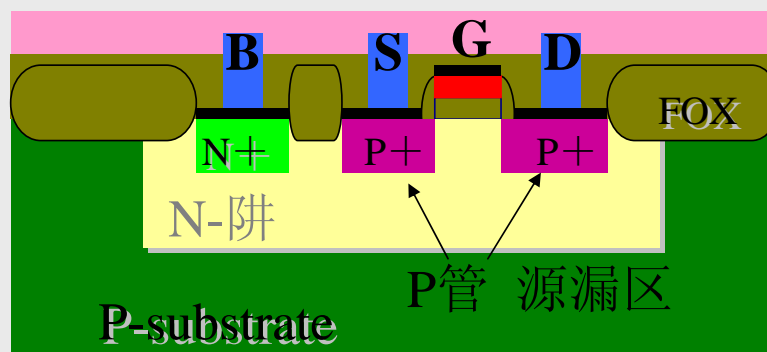
- PMOS晶体管的版图和结构



PMOS晶体管符号



PMOS晶体管版图



PMOS晶体管剖面图

# MOS晶体管

- 在物理版图中, 只要一条多晶硅跨过一个有源区就形成了一个MOS晶体管, 将其D, G, S, B四端用连线引出即可与电路中其它元件连接.
- MOS晶体管的电特性
  - MOS晶体管是用栅电压控制源漏电流的器件, 重要的公式是萨方程(I-V方程):
$$I_{DS}=k' \cdot W/L \cdot [(V_G-V_T-V_S)^2-(V_G-V_T-V_D)^2]$$

# MOS晶体管

- MOS晶体管的电特性
  - $V_D$ ,  $V_G$ ,  $V_S$ 分别是漏, 栅, 源端的电压,  $V_T$ 是开启电压.
  - $k'$  是本征导电因子,  $k' = \mu \cdot C_{ox}/2$ ,  $\mu$ 是表面迁移率, 属于硅材料参数,  $C_{ox}$ 是单位面积栅电容, 属于工艺参数
  - $W$ ,  $L$ 分别是MOSFET的沟道宽度和长度, 属于物理参数
  - 管子的最小沟道长度 $L_{min}$ 标志着工艺的水平——特征尺寸, 如 $0.35\mu m$ ,  $0.18\mu m$ .  $W$ 表示管子的大小,  $W$ 越大则管子越大, 导电能力越强, 等效电阻越小.

# MOS晶体管

- MOS晶体管的电特性

1. 晶体管的三种工作状态

截止区:  $I_{DS}=0$  条件:  $V_G - V_T - V_S \leq 0$

饱和区:  $I_{DS}=k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$   
条件:  $V_G - V_T - V_S > 0, V_G - V_T - V_D \leq 0$

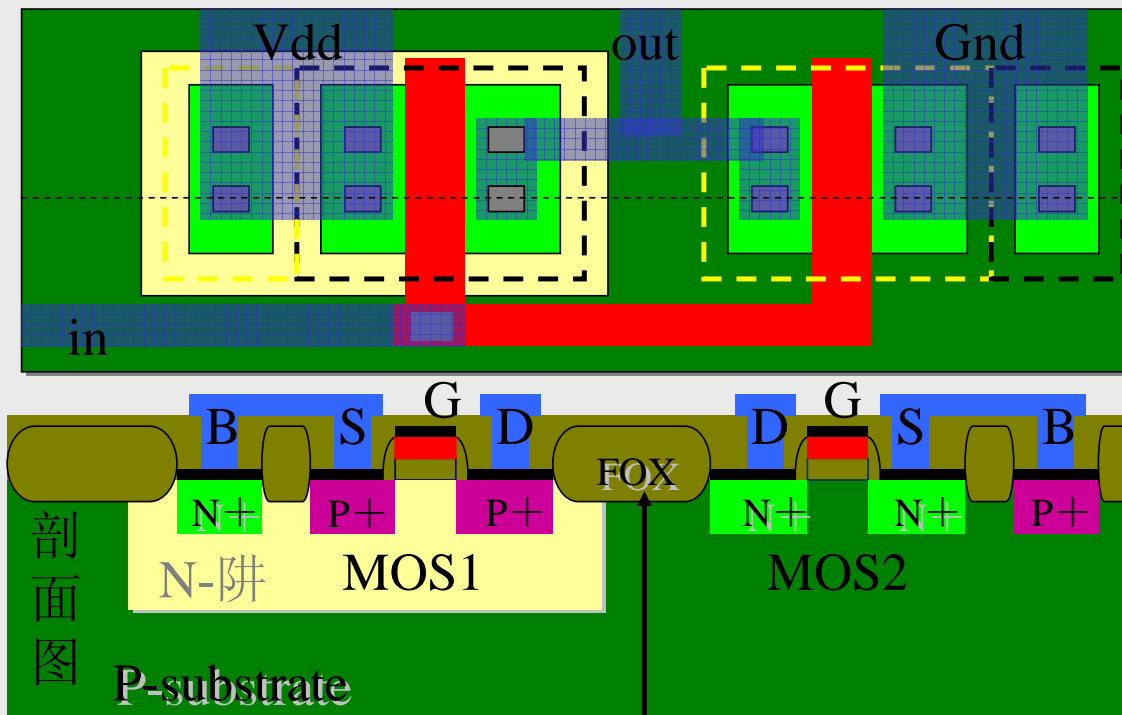
线性区:  $I_{DS}=k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$   
条件:  $V_G - V_T - V_S > 0, V_G - V_T - V_D > 0$

2. 晶体管的开启电压公式

$$V_T = V_{T0} + \gamma \left[ \sqrt{2\Phi_F + V_{BS}} - \sqrt{2\Phi_F} \right]$$

# MOS晶体管

- MOS晶体管的隔离



在集成电路中，  
两个无关的晶  
体管都是用场  
氧隔离的

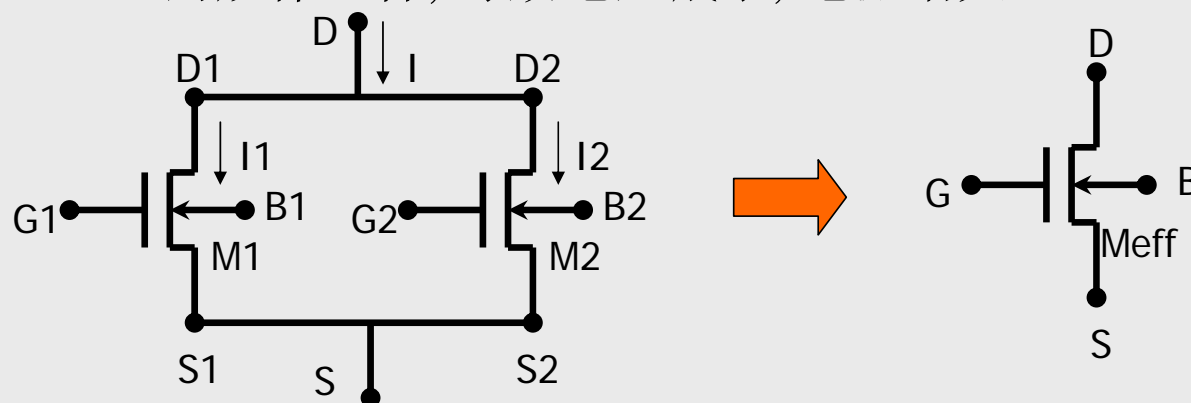
# MOS晶体管

- MOS晶体管的串联和并联

- 并联: 晶体管的D端相连, S端相连.

如果两个晶体管中有一个晶体管导通,从D到S就有电流流过,若两个晶体管都导通,则  $I=I_1+I_2$ .

每只晶体管相当于一个电阻,它的并联和电阻并联的规律一样,等效电阻减小,电流增大.

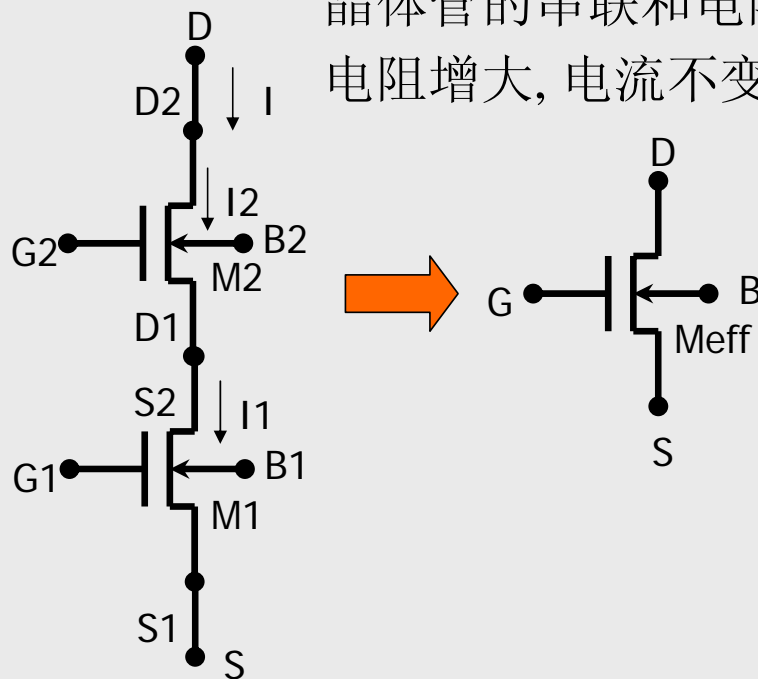


# MOS晶体管

- MOS晶体管的串联和并联

- \* 串联: 晶体管的S端和另外一个晶体管的D端相连.

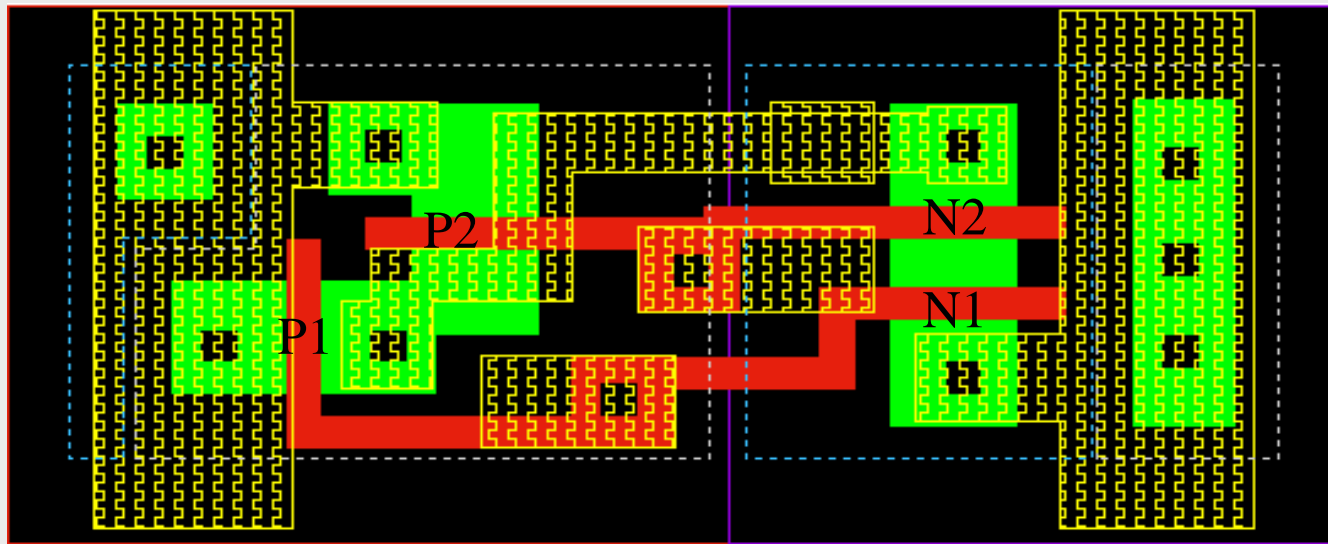
晶体管的串联和电阻的串联规律相同, 等效电阻增大, 电流不变:  $I=I_1=I_2$ .



# MOS晶体管

- MOS晶体管的串联和并联

\* 串联和并联的物理实现



P1和P2并联，N1和N2串联



# MOS晶体管

- 在模拟电路中，最基本的MOS管组合包括
  - Cascode
  - 差分对
  - 电流镜

P1      N1  
P2      N2

# 连线

- 连线
  - \* 电路由元件和元件间的连线构成
  - \* 理想的连线在实现连接功能的同时，不带来额外的寄生效应
  - \* 在版图设计中，可用来做连线的层有：  
金属，扩散区，多晶硅

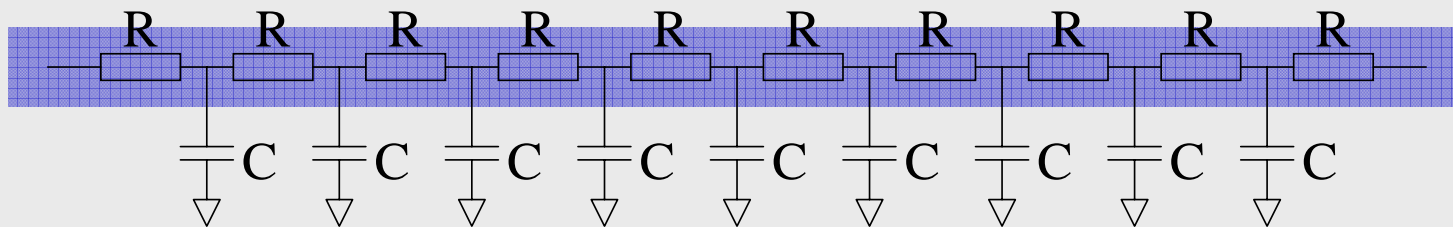
# 连线

- 连线寄生模型

- \* 串联寄生电阻

- \* 并联寄生电容

$$T_d = 0.5 * R_u C_u * L^2$$



简单的长导线寄生模型

# 连线

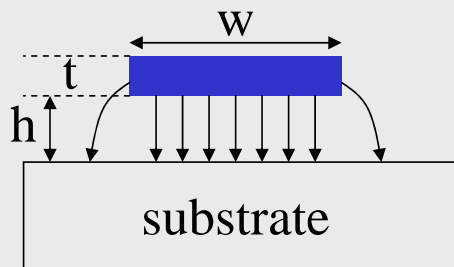
- 串联寄生电阻典型值

- \* 金属(铝, 铜)—— $0.05 \Omega / \square$

- \* 多晶硅—— $10 \sim 15 \Omega / \square$

- \* 扩散区 (N+) —— $20 \sim 30 \Omega / \square$

# 连线



单位长度电容的经验公式：

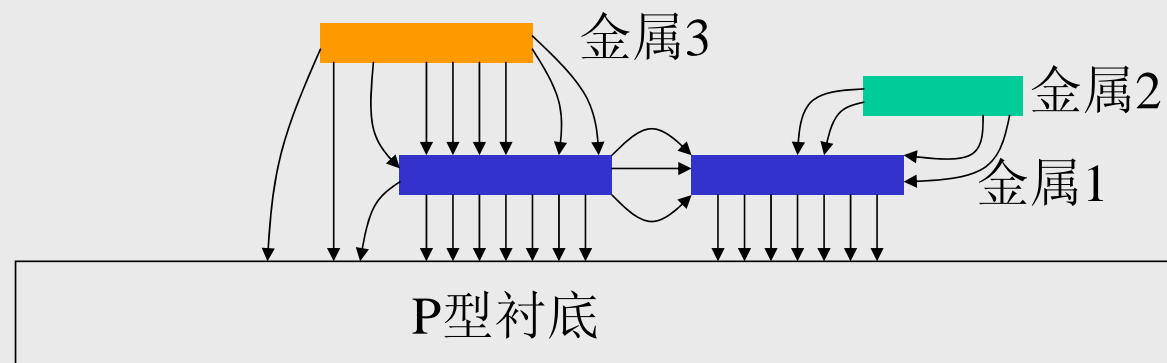
$$C = \varepsilon \left[ \frac{w}{h} + 0.77 + 1.06 \left( \frac{w}{h} \right)^{0.25} + 1.06 \left( \frac{t}{h} \right)^{0.5} \right]$$

## 4-metal 0.25um technology

	Ploy	Metal1	Metal2	Metal3	Metal4
最小宽度(um)	0.25	0.35	0.45	0.50	0.60
底板电容(aF/um*um)	90	30	15	9.0	7.0
侧墙电容（两边）(aF/um)	110	80	50	40	30

# 连线

- 复杂互连线的寄生电容



## 连线

- 串联寄生电阻和并联寄生电容的影响
  - 电源地上，电阻造成直流和瞬态压降
  - 长信号线上，分布电阻电容带来延迟
  - 在导线长距离并行或不同层导线交叉时，带来相互串扰问题

## 其他元件

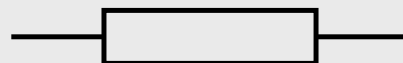
MOS集成电路是以MOS晶体管(MOSFET)为主要元件构成的电路，以及将这些晶体管连接起来的连线，此外，集成电阻，电容，以及寄生三极管，二极管，等也是MOS集成电路中的重要元件。



# 集成电阻

- 电阻

- \* 两端元件—— $V=RI$



- \* 最基本的无源元件之一，是输入输出静电保护电路，模拟电路中必不可少的元件

- \* 方块电阻，线性，寄生效应

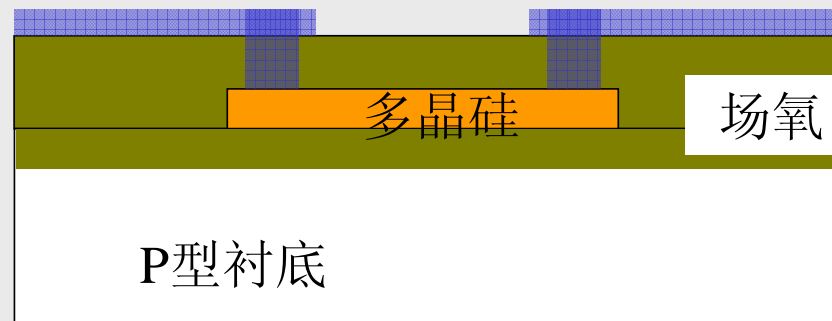
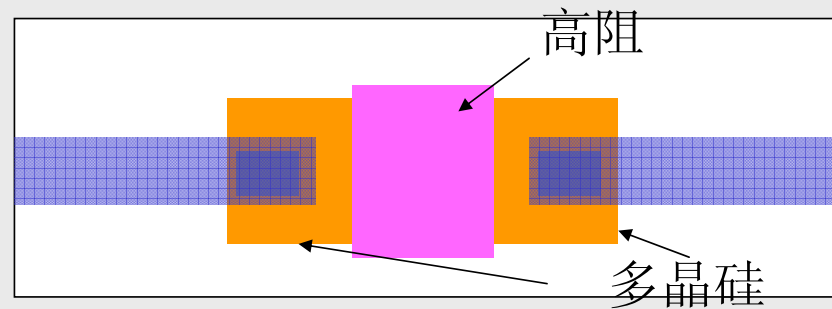
# 集成电阻

- 多晶硅电阻

- \* 多晶硅电阻做在场区上.
- \* 加额外的高阻blocking层, 使其方块电阻变大, 可制作阻值很大的电阻.

$$R = R_{\square \text{poly-Si}} \cdot L/W$$

- \* 典型值:  $R_{\square \text{poly-Si}} = 1\text{k}$



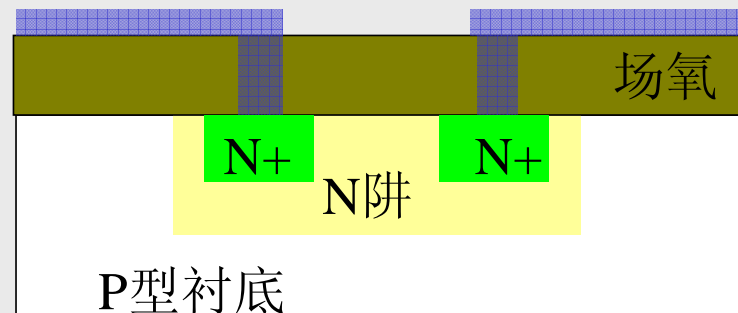
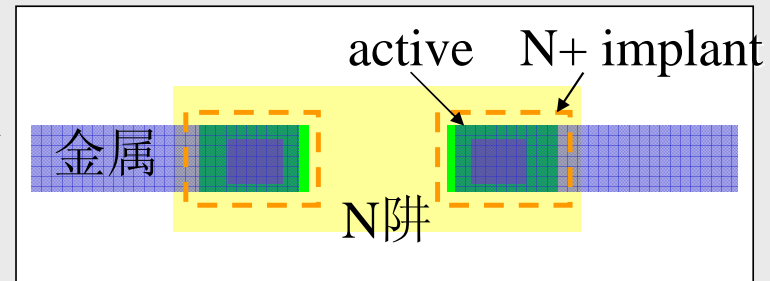
# 集成电阻

## • NWell电阻

\* 因为阱是低掺杂的, 方块电阻较大, 因此大阻值的电阻亦可以用阱来做

$$R = R_{\square \text{well}} \cdot L/W$$

\* 典型值:  $R_{\square \text{well}} = 0.85k$



# 集成电阻

## • NWELL电阻

\* 非线性

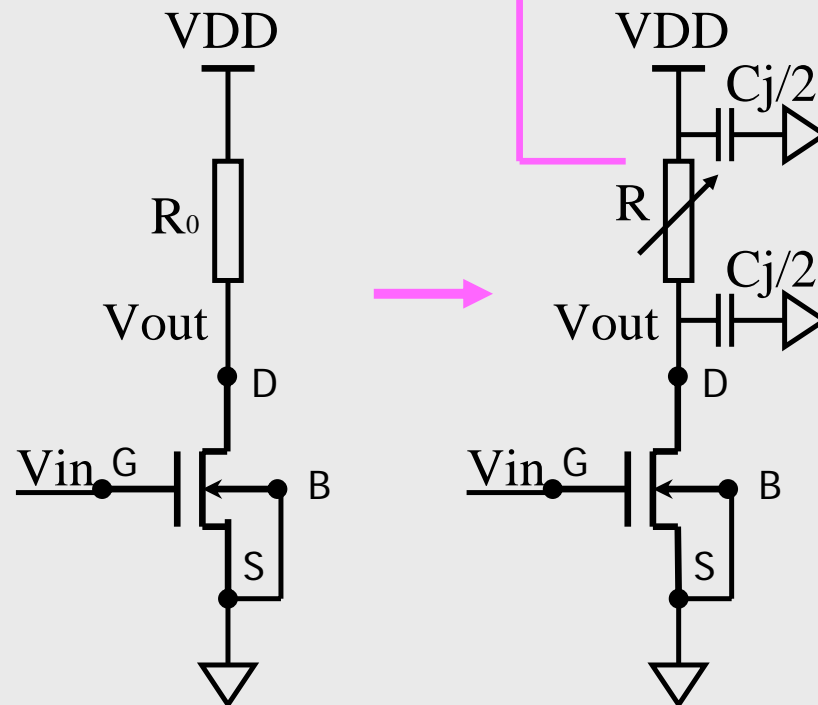
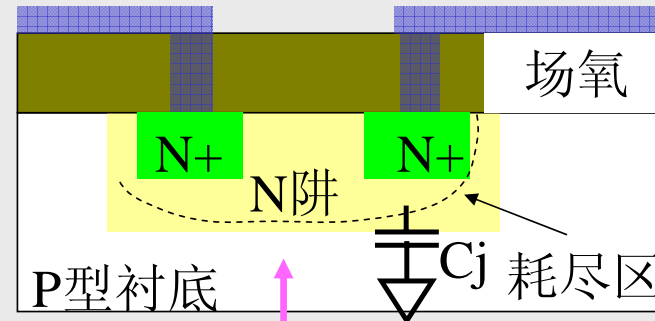
$$R \approx R_0(1 + \alpha_1 V + \alpha_2 V^2)$$

\* 典型值:

$$\alpha_1 : 8.5 \times 10^{-3} V^{-1}$$

$$\alpha_2 : 9.8 \times 10^{-4} V^{-2}$$

\* 寄生电容效应



# 集成电阻

- MOS管电阻

- \* 工作在线性区的MOS管可用作电阻
- \* 它是一个可变电阻, 其变化取决于各极电压的变化:

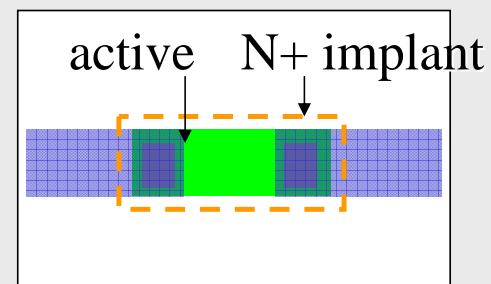
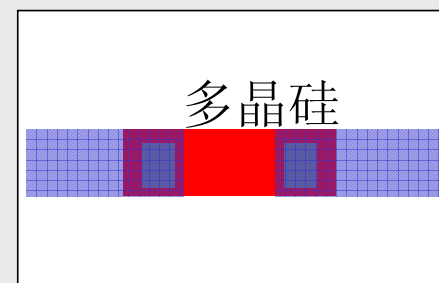
$$R = \frac{V_{DS}}{I_{DS}} = \frac{V_D - V_S}{k[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]}$$

# 集成电阻

- 导线电阻

- \* 多晶硅导线—— $10\sim 15\ \Omega/\square$

- \* 扩散区 (N+) —— $20\sim 30\ \Omega/\square$



# 集成电容

- 电容

- \* 两端元件，电荷的容器—— $Q=CV$



- \* 最基本的无源元件之一，是电源滤波电路，信号滤波电路，开关电容电路中必不可少的元件

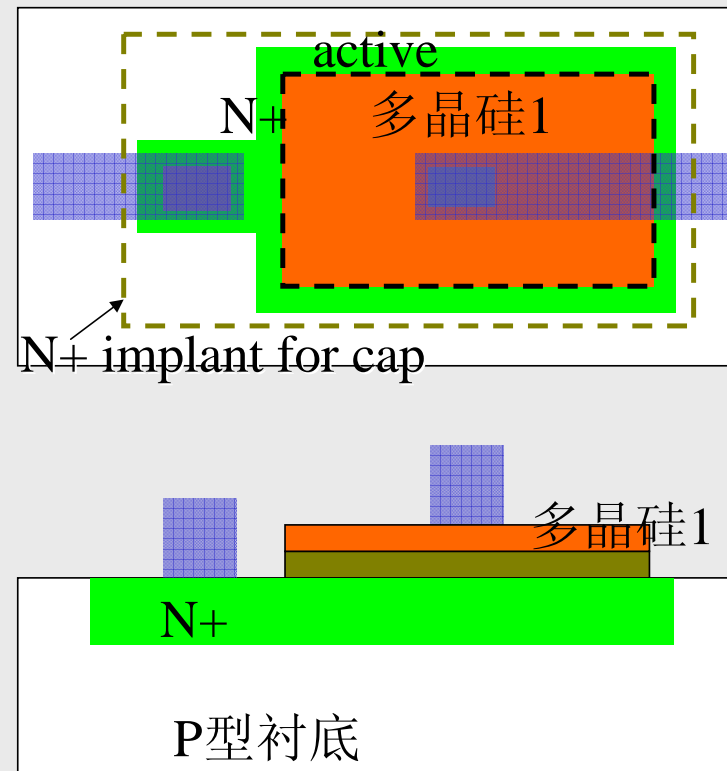
- \* 单位面积电容，线性，寄生效应

# 集成电容

- 多晶硅-扩散区电容

- \* 电容作在扩散区上, 它的上极板是第一层多晶硅, 下极板是扩散区, 中间的介质是氧化层

- \* 需要额外加一层版





# 集成电容

- 多晶硅-扩散区电容

- \* 线性特性

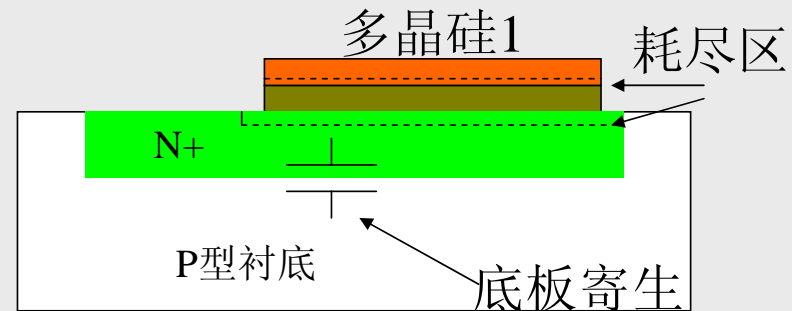
$$C \approx C_0(1 + \alpha_1 V + \alpha_2 V^2)$$

- \* 典型值  $\alpha_1 : 5 \times 10^{-4} V^{-1}$

$$\alpha_2 : 5 \times 10^{-5} V^{-2}$$

- \* 单位面积电容小于MOS栅电容

- \* 底板寄生电容——20% C



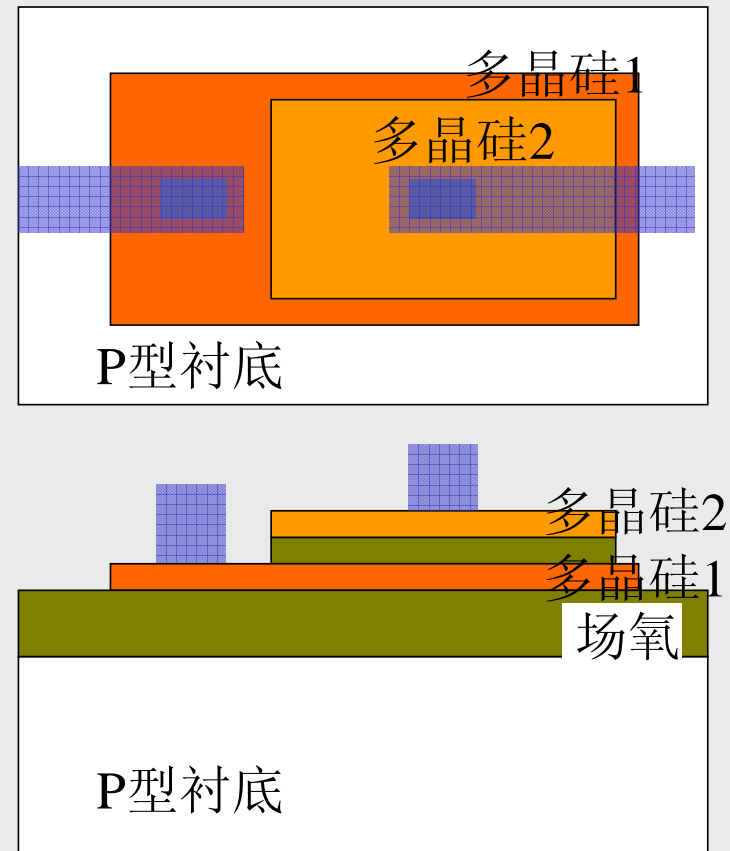
# 集成电容

- 多晶硅-多晶硅电容:

- \* 电容作在场区上, 它的两个电极分别是两层多晶硅, 中间的介质是氧化层

- \* 线性特性和底板寄生与多晶硅-扩散区电容相近

- \* 典型值:  $0.7\text{fF}/\mu\text{m}^2$



# 集成电容

- 金属-金属电容(MIM cap)

- \* 在先进的CMOS工艺中，金属互联层较多，对于混合工艺，可用最高的两层金属来做MIM cap，做MIM cap的金属之间的氧化层比较薄，因此需要额外的版

- 版图与结构与poly-ploy电容类似，只是其上极板为专门的MIM cap金属层，下极板为次高层金属

- \* 因用高层金属实现，故底板寄生电容小、电容品质高

- \* 典型值：1fF/um\*um

# 集成电容

- MOS电容:

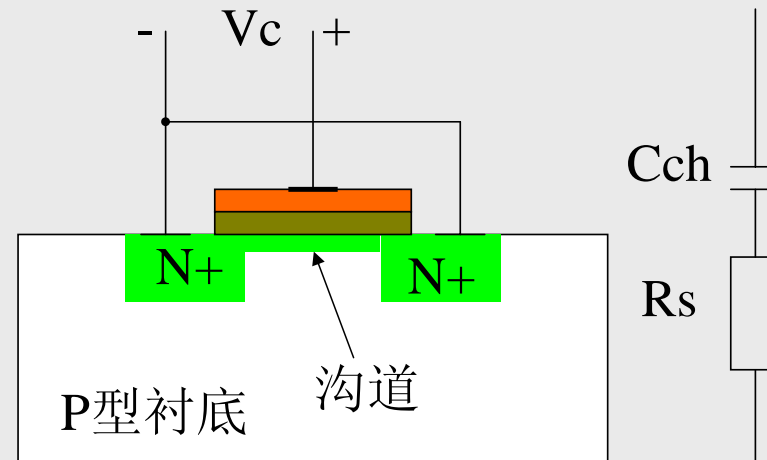
- \* 结构和MOS晶体管一样, 是一个感应沟道电容, 当栅上加电压形成沟道时电容存在. 一极是栅, 另一极是沟道, 沟道这一极由S(D)端引出.

- \* 电容的大小取决于面积, 氧化层的厚度及介电数.

$$C = \varepsilon \cdot \frac{WL}{t_{ox}}$$

- \* 单位面积电容最大的电容

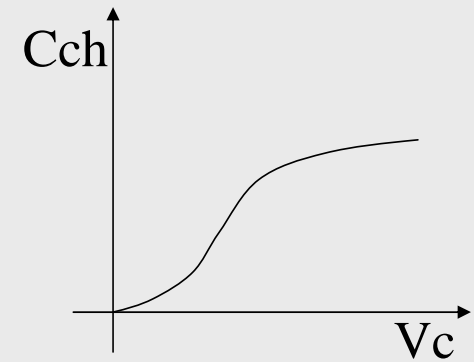
- \* 沟道电阻问题



# 集成电容

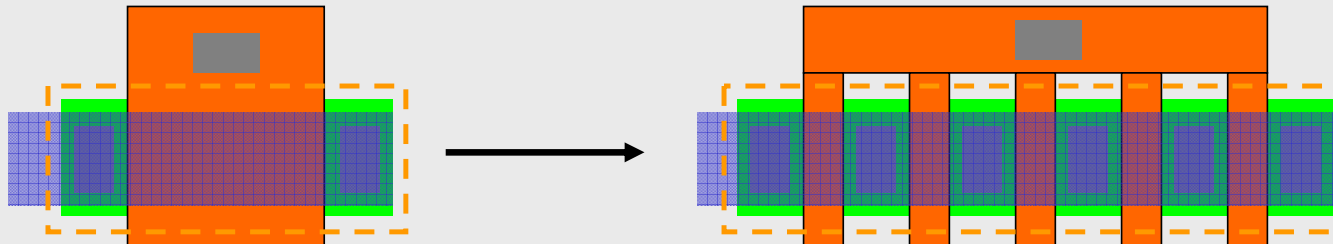
- MOS电容:

- \* 非线性电容  
适用于电源滤波



MOS电容C/V特性

- \* 沟道长度需权衡考虑



减小沟道电阻的方法

# 集成电容

- “夹心”电容

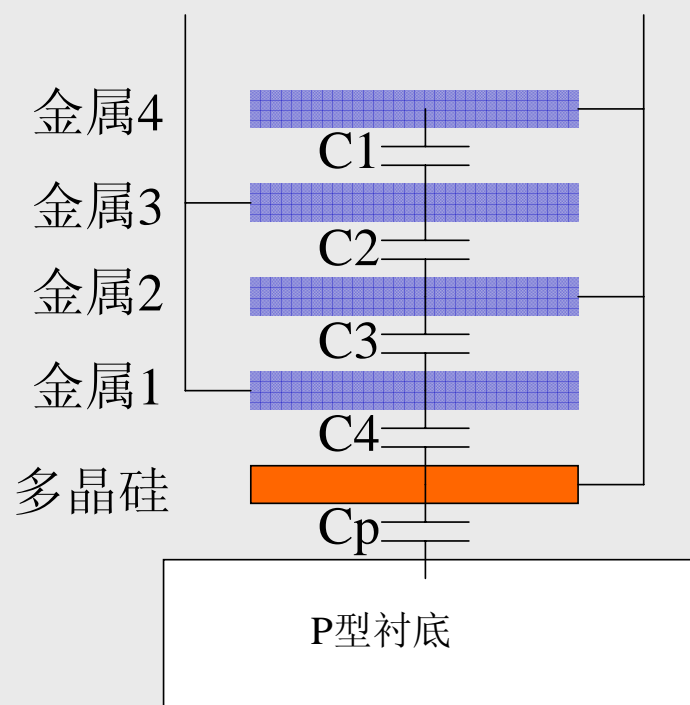
- \* 线性电容

- \* 电容值为:

$$C=C_1+C_2+C_3+C_4$$

- \* 底板寄生电容大

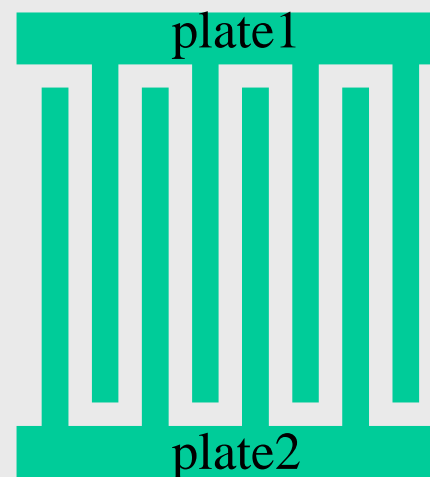
(>30% C)



# 集成电容

- 梳状金属电容

- \* 利用同层相邻金属线的侧墙寄生电容
- \* 线性电容
- \* 电容密度随着工艺缩小而增大
- \* 与数字工艺兼容



## 衬底双极晶体管(BJT)

- 衬底BJT
  - \* 有源元件之一
  - \* 对于N阱CMOS工艺，可实现PNP BJT
  - \* 可用于电压基准电路

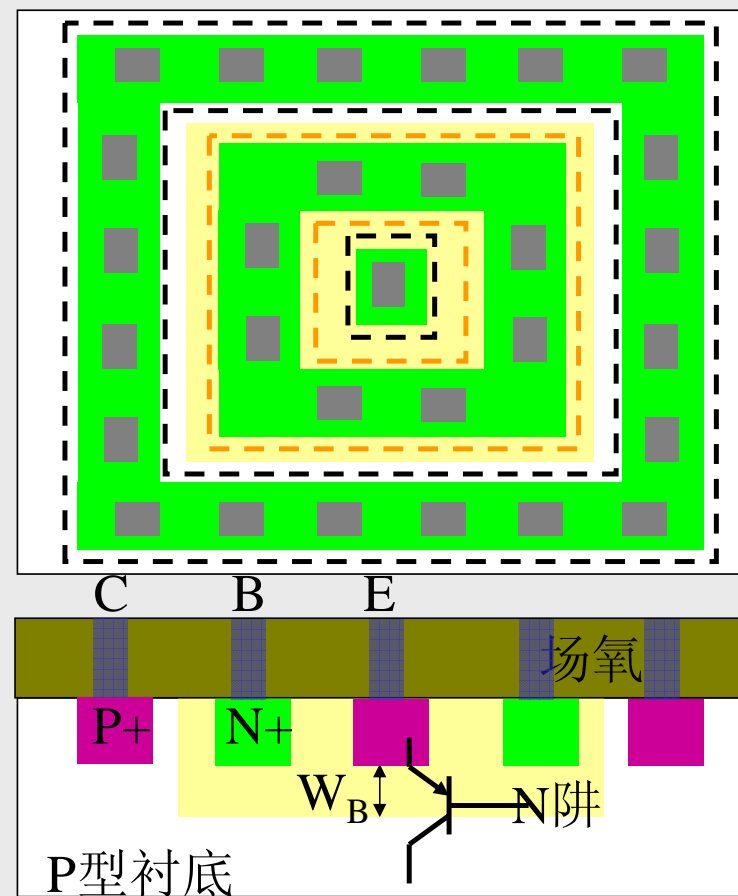


# 衬底BJT

## • PNP BJT的版图和结构

特点:

- 1) 集电极C电压受到限制, 须接地
- 2) 基区宽度 $W_B$ 没有很好控制, 电流增益差别较大
- 3) 结构上的两个主要参数: 基区宽度 $W_B$ 和BE结面积A



## 衬底BJT

- 电特性

- \* 饱和电流  $I_S$  正比于  $A$ ，反比于  $W_B$

- \* 集电极电流 
$$i_C = I_S \exp\left(\frac{v_{BE}}{V_t}\right)$$

- \* 共发射极电流增益  $\beta_F = i_C / i_B$

- 当  $i_C$  一定， $v_{BE}$  具有负温度系数

## 二极管 (Diode)

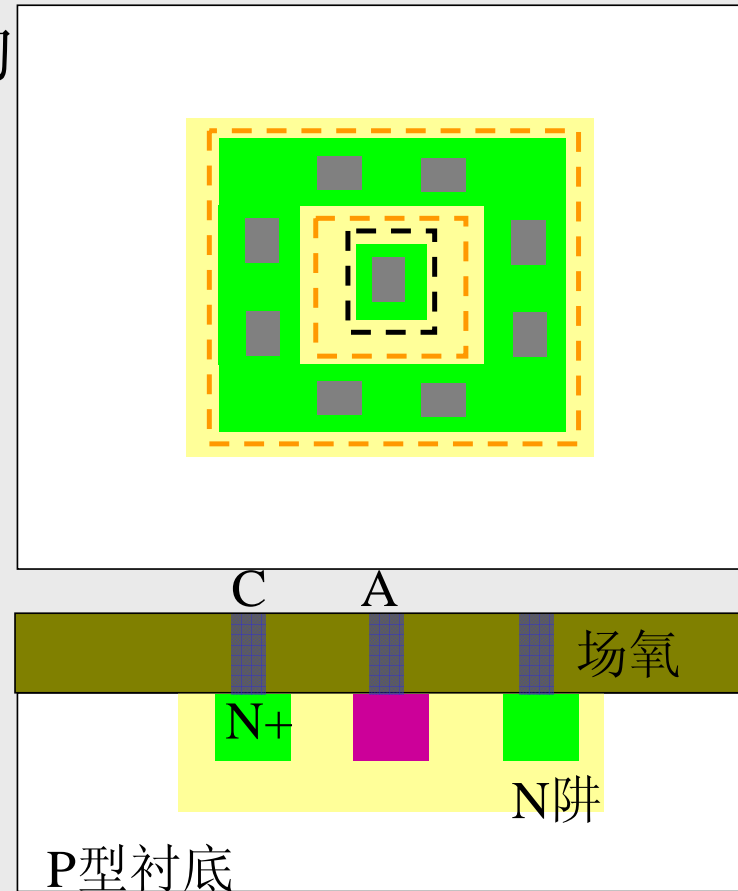
- 二极管
  - \* 有源元件之一
  - \* 对于N阱CMOS工艺，有PSD/NWELL和NSD/P-epi两种Diode
  - \* 主要用于ESD保护电路

# 二极管

## • PSD/NWELL Diode的版图和结构

特点:

- 1) 存在寄生PNP BJT问题, 电流容易漏到衬底, BJT的 $\beta$ 范围可从 $<0.1$ 到 $>10$
- 2) 有较大的串联寄生电阻
- 3) 结构上的主要参数: 结面积A

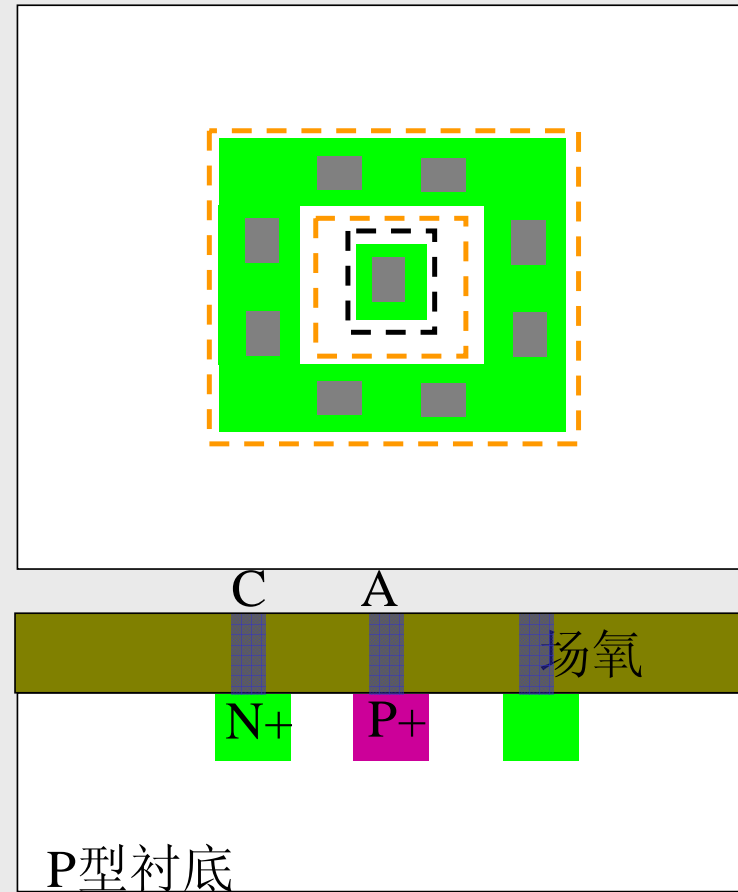


# 二极管

## • NSD/P-epi Diode的版图和结构

特点:

- 1) C端的电压要低于衬底电压才能正向导通
- 2) 在ESD中用于抑制负的尖峰电压
- 2) 结构上的主要参数: 结面积A



# 二极管

- 电特性

- \* 饱和电流  $I_S$  正比于  $A$

- \* 电流-电压关系公式

$$i_D = I_S \left[ \exp\left(\frac{v_D}{V_t}\right) - 1 \right]$$

- \* PN结电容

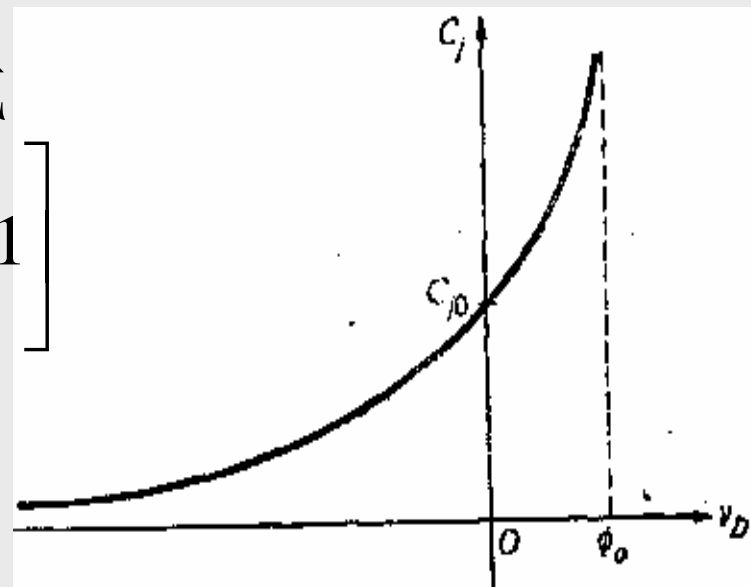


图 2.2.3 耗尽电容与外加电压的关系

## 第三部分

# 版图设计规则

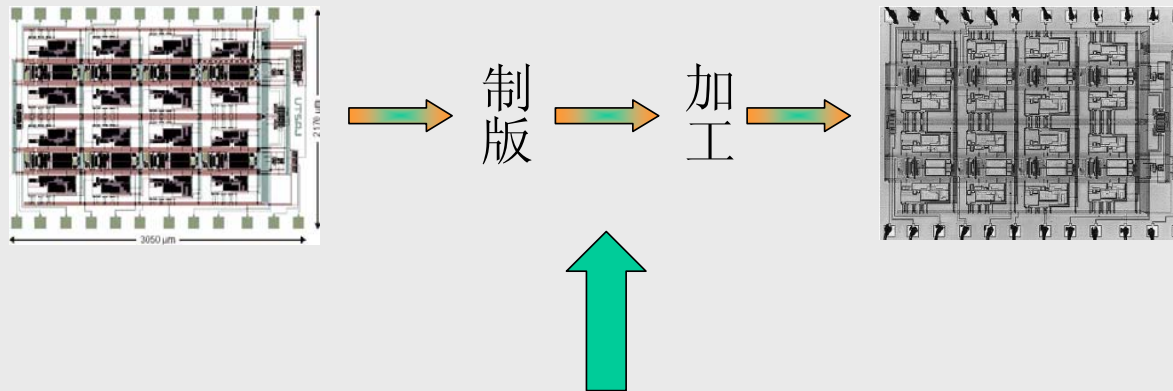
## Design Rule

- 引言
- 设计规则(Topological Design Rule)
  - 0.6um DPDM CMOS工艺拓扑设计规则
  - 设计规则的运用
- 版图设计准则(‘Rule’ for performance)
  - 匹配
  - 抗干扰
  - 寄生的优化
  - 可靠性



# 引言

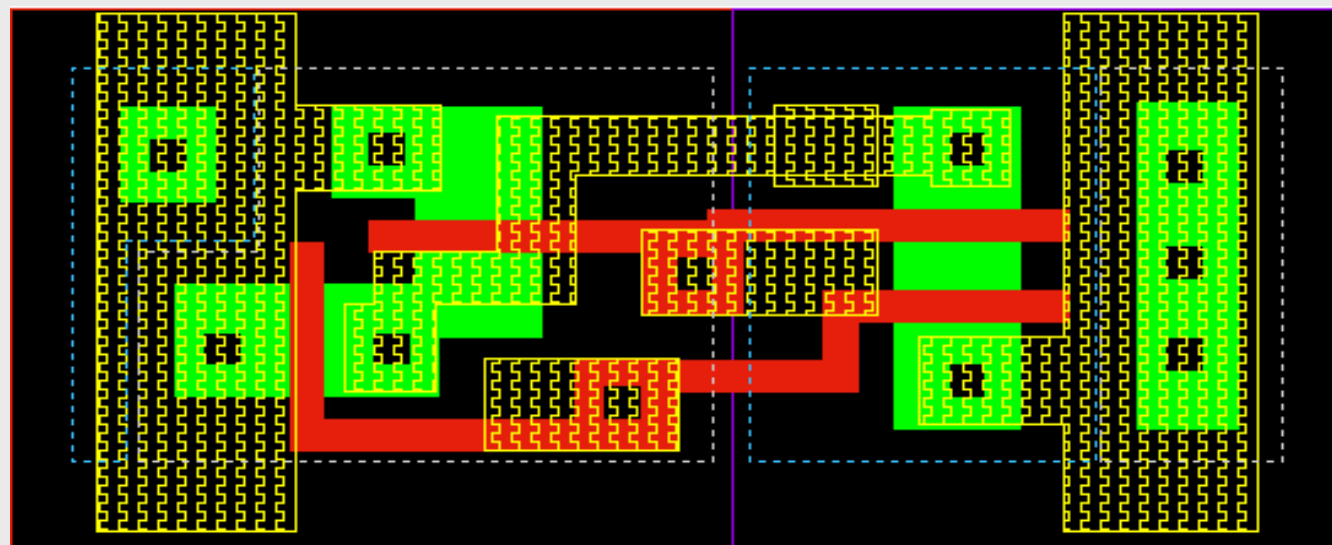
- 芯片加工：从版图到裸片



是一种多层平面“印刷”和叠加过程，但中间是否会带来误差？

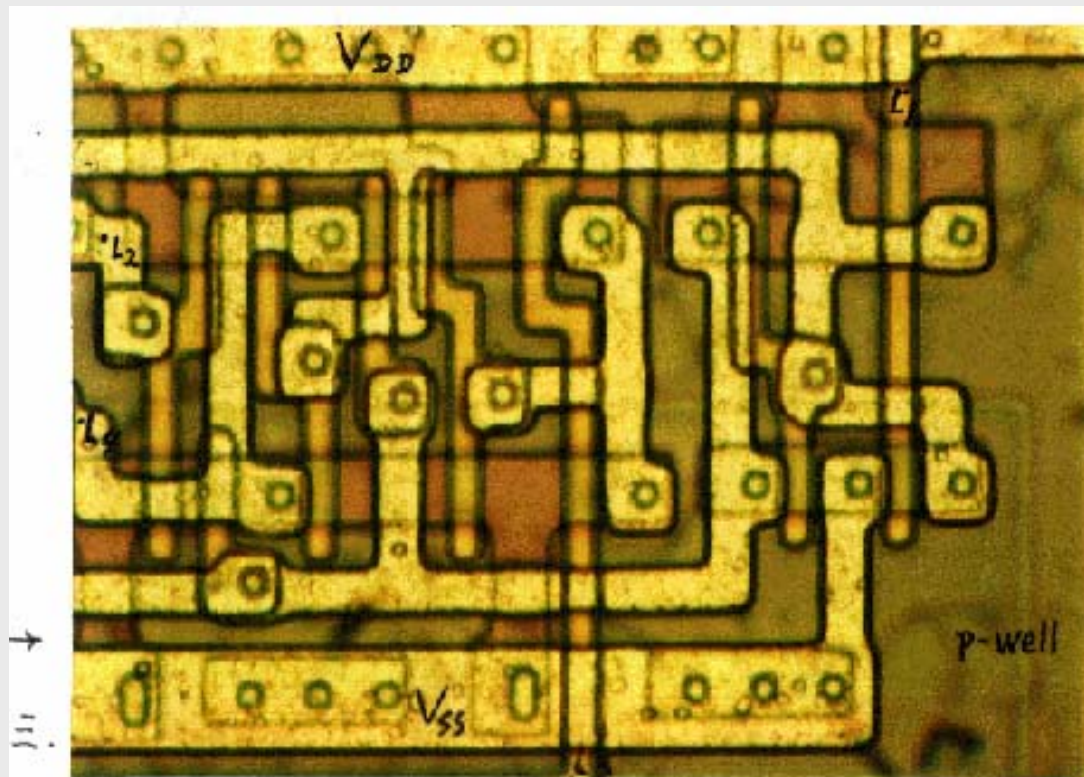
# 引言

一个版图例子：



# 引言

一个实际芯片照片的例子：



# 引言

- 加工过程中的非理想因素
  - 制版光刻的分辨率问题
  - 多层版的套准问题
  - 表面不平整问题
  - 流水中的扩散和刻蚀问题
  - 梯度效应

# 引言

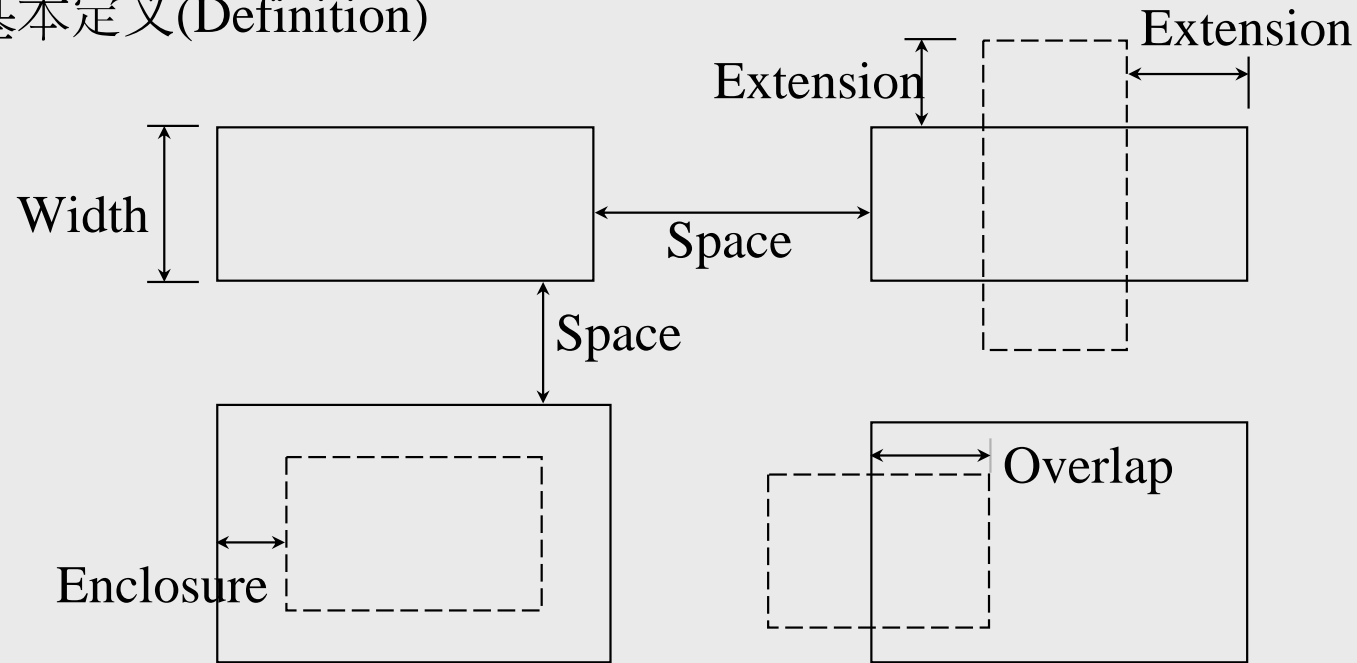
- 解决办法
  - 厂家提供的设计规则(topological design rule), 确保完成设计功能和一定的芯片成品率, 除个别情况外, 设计者必须遵循
  - 设计者的设计准则('rule' for performance), 用以提高电路的某些性能, 如匹配, 抗干扰, 速度等

# 设计规则

(topological design rule)

# 设计规则

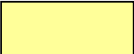





## 基本定义(Definition)



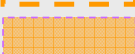

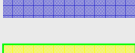


- 1.请记住这些名称的定义
- 2.后面所介绍的 layout rules 必须熟记，  
在画layout 时须遵守这些规则。

# 0.6um DPDM CMOS工艺拓扑设计 规则

## 版图的分层定义

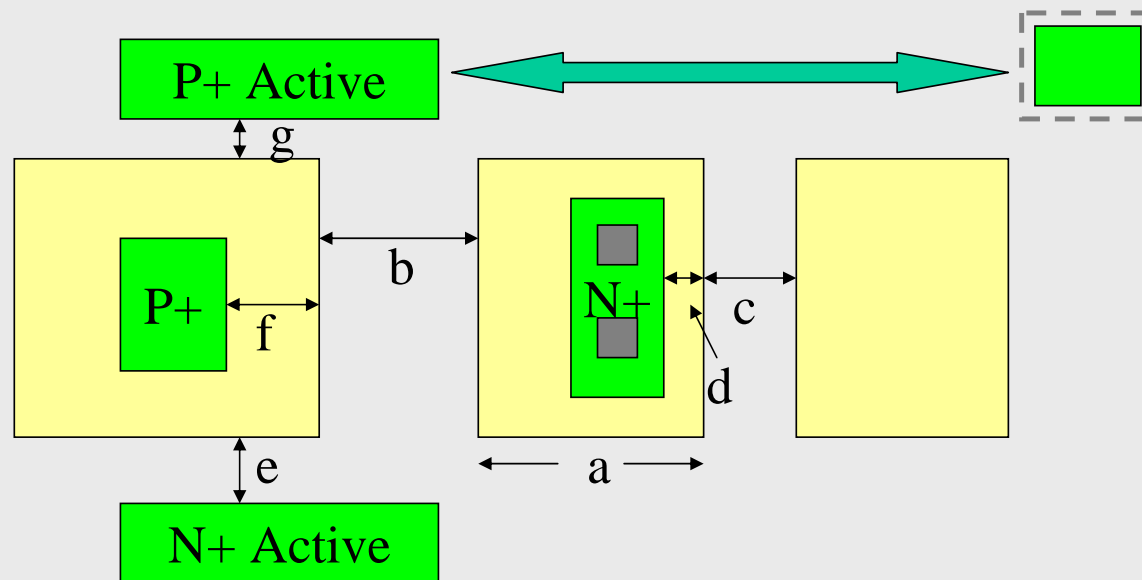
N-well	
P+ implant	
poly1	
contact	
via	
High Resistor	

active	
N+ implant	
poly2	
metal1	
metal2	



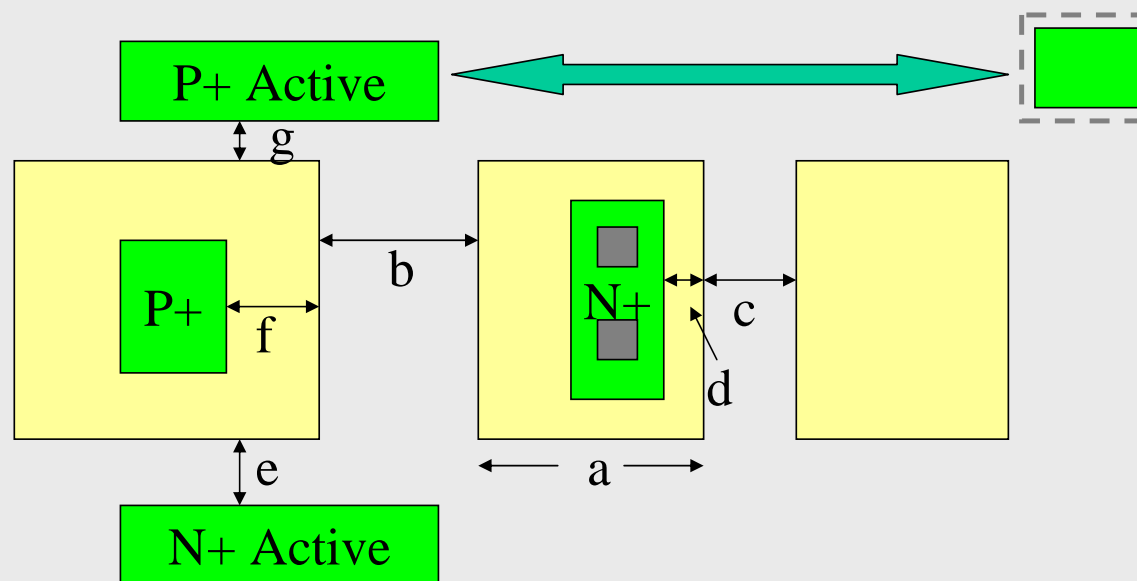
# 设计规则 Nwell

符号	尺寸	含 义
1.a	3.0	阱的最小宽度
1.b	4.8	不同电位阱的阱间距
1.c	1.5	相同电位阱的阱间距



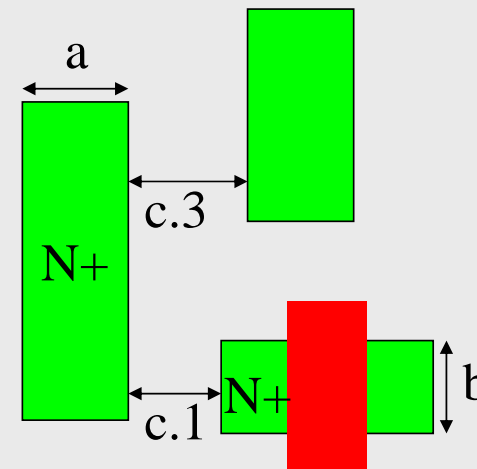
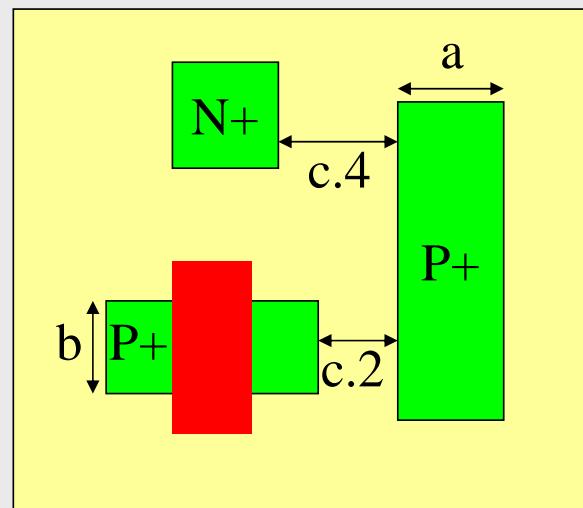
# 设计规则 Nwell

符号	尺寸	含 义
1.d	0.4	阱对其中N <sup>+</sup> 有源区最小覆盖
1.e	1.8	阱外N <sup>+</sup> 有源区距阱最小间距
1.f	1.8	阱对其中P <sup>+</sup> 有源区最小覆盖
1.g	0.4	阱外P <sup>+</sup> 有源区距阱最小间距



# 设计规则 active

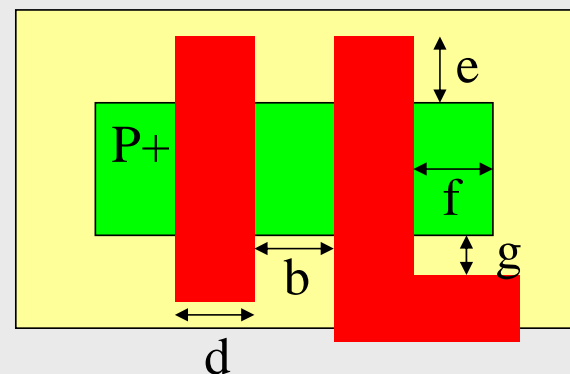
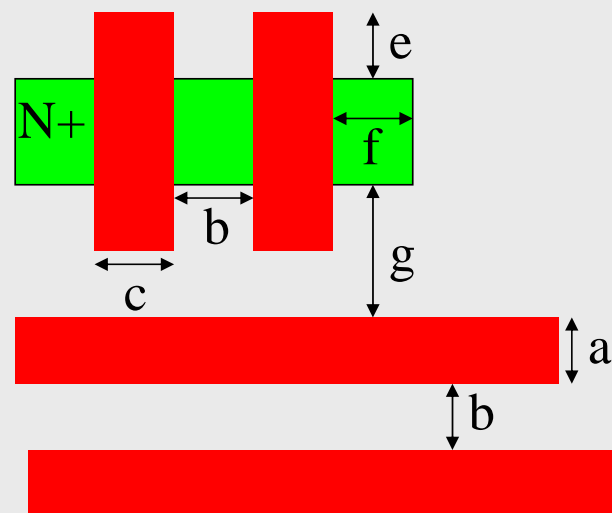
符号	尺寸	含 义
2.a	0.6	用于互连的有源区最小宽度
2.b	0.75	最小沟道宽度
2.c	1.2	有源区最小间距



# 设计规则 poly1

可做MOS晶体管栅极、  
导线、poly-poly电容的  
下极板

符号	尺寸	含 义
4.a	0.6	用于互连的poly1最小宽度
4.b	0.75	Poly1最小间距
4.c	0.6	最小NMOS沟道长度
4.d	0.6	最小PMOS沟道长度

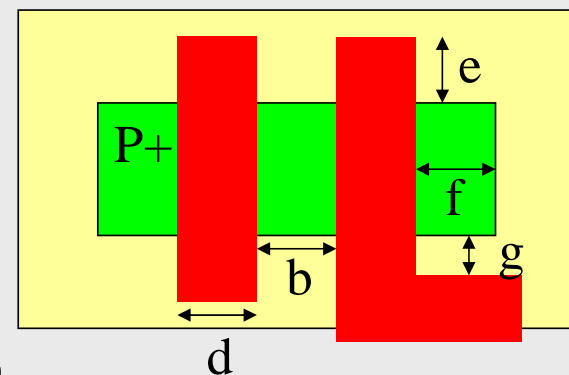
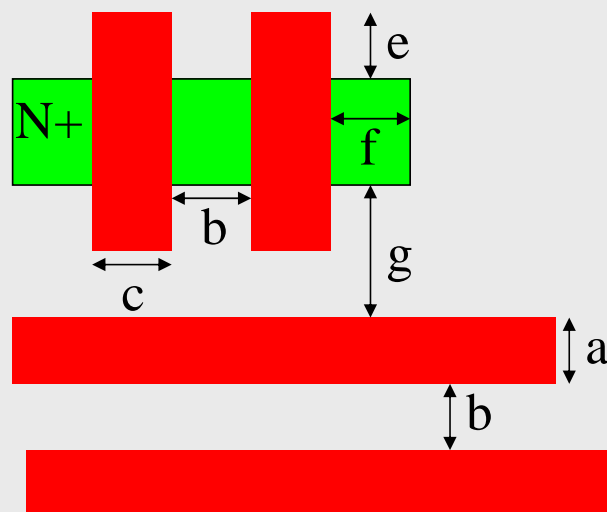


# 设计规则

## poly1

可做MOS晶体管栅极、  
导线、poly-poly电容的  
下极板

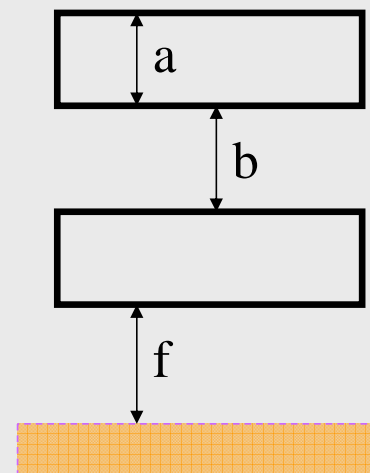
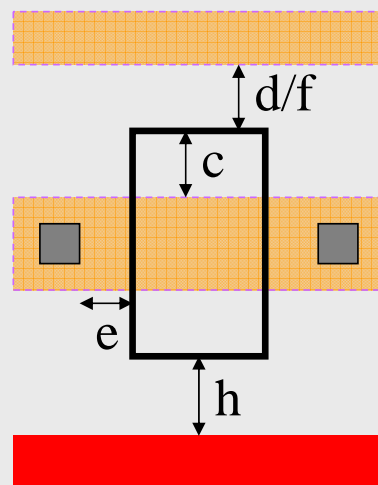
符号	尺寸	含 义
4.e	0.6	硅栅最小出头量
4.f	0.5	硅栅与有源区最小内间距
4.g	0.3	场区poly1与有源区最小内间距



# 设计规则 High Resistor

在Poly2上定义高阻区

符号	尺寸	含 义
5.a	2.0	高阻最小宽度
5.b	1.0	高阻最小间距
5.c	1.0	高阻对poly2的最小覆盖
5.d	1.0	高阻与poly2的间距



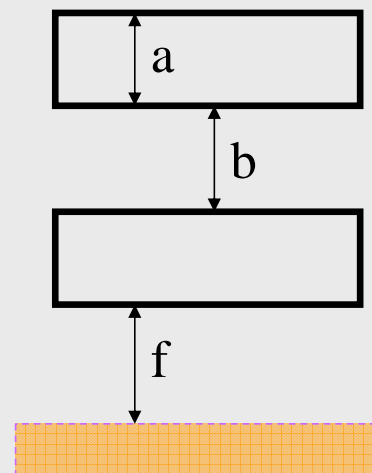
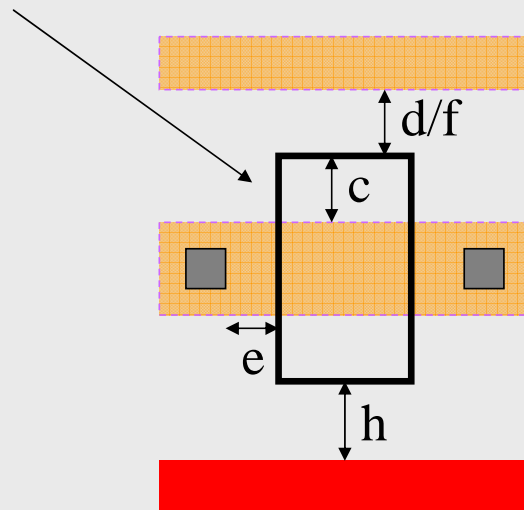
# 设计规则 High Resistor

其上禁止布线

高阻层定义电阻长度

**Poly2**定义电阻宽度

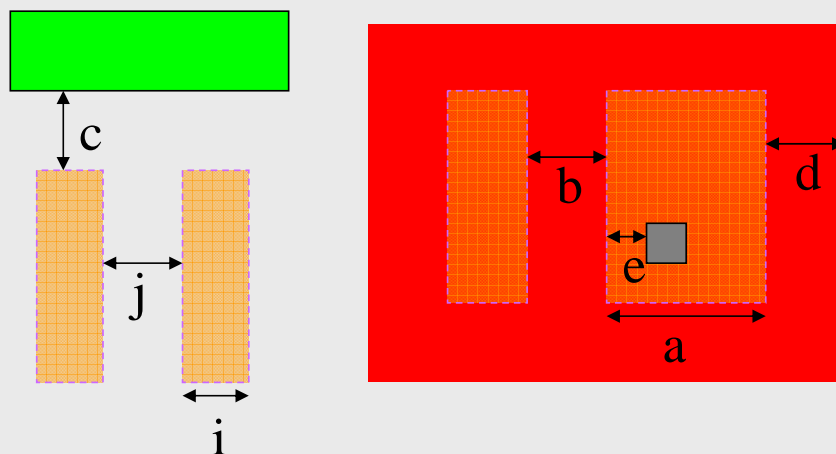
符号	尺寸	含 义
5.e	0.6	高阻与poly2电阻接触孔间距
5.f	0.8	高阻与低阻poly2电阻的间距
5.g	0.5	高阻与有源区的间距
5.h	1.0	高阻与poly1电阻的间距



# 设计规则 poly2

可做多晶连线、多晶电阻和poly-poly电容的上极板

符号	尺寸	含 义
6.a	1.2	poly2做电容时的最小宽度
6.b	1.0	poly2做电容时的最小间距
6.c	0.5 3.2	Poly2与有源区的最小间距 做关键电容时的间距
6.d	1.5	电容底板对顶板的最小覆盖
6.e	0.8	电容Poly2对接触孔最小覆盖
6.f	-	Poly2不能在有源区上
6.g	-	Poly2不能跨过poly1边沿

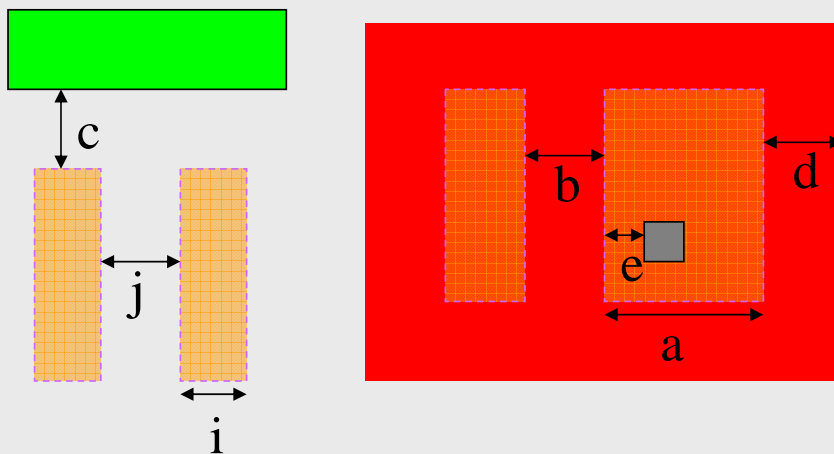




# 设计规则 poly2

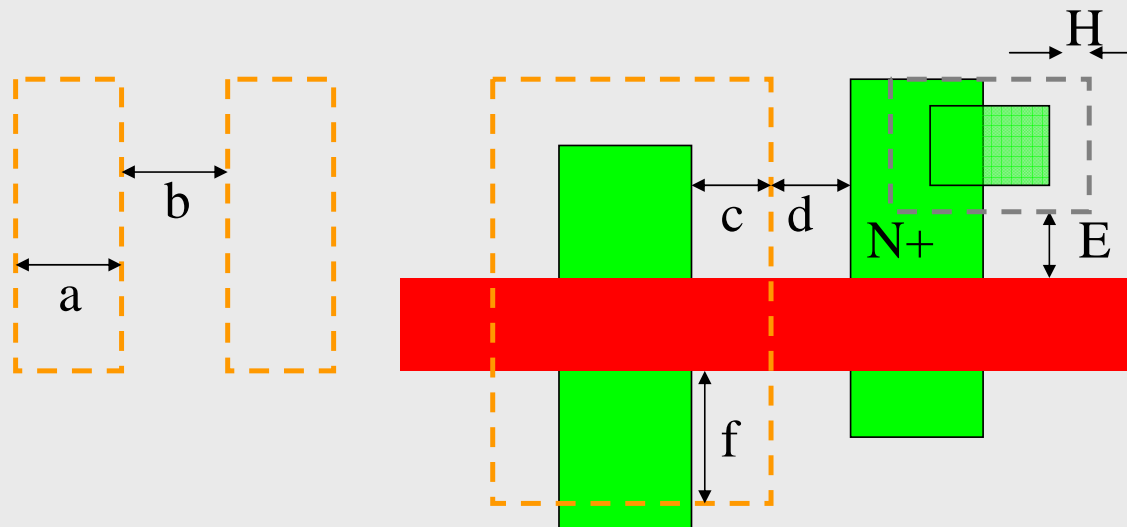
可做多晶连线、多晶电阻和poly-poly电容的上极板

符号	尺寸	含 义
6.h	0.8	poly2做导线时的最小宽度
6.i	1.0	poly2做电阻时的最小间距
6.j	1.0	Poly2电阻之间的最小间距
6.k	-	Poly2不能用做栅
6.l	0.5	电阻Poly2对接触孔最小覆盖
6.m	-	除做电容外，Poly2不能与poly1重叠



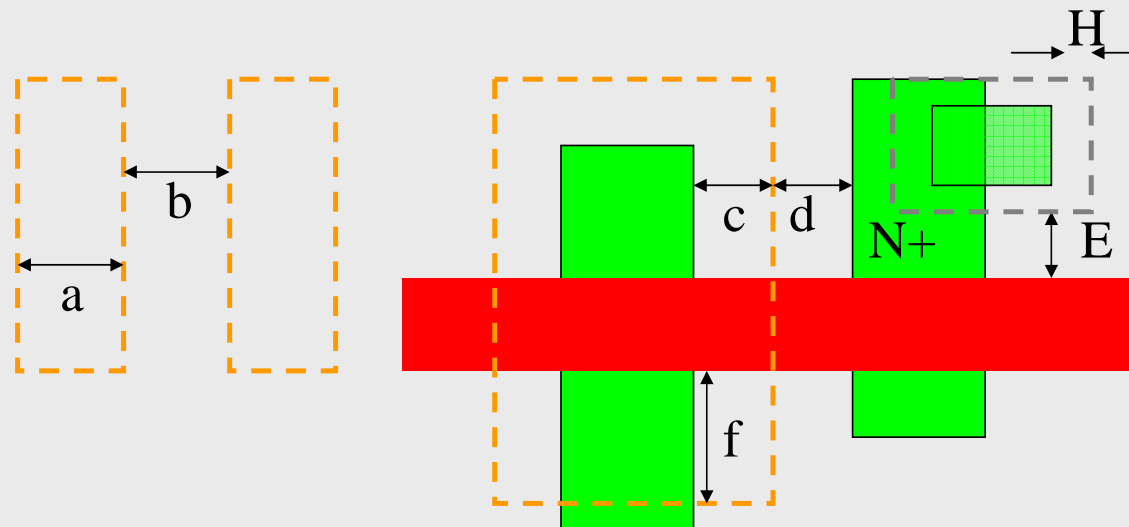
# 设计规则 implant

符号	尺寸	含 义
8.a	0.9	注入区最小宽度
8.b	0.9	同型注入区最小间距
8.c	0.6	注入区对有源区最小包围
8.d	0.6	注入区与有源区最小间距



# 设计规则 implant

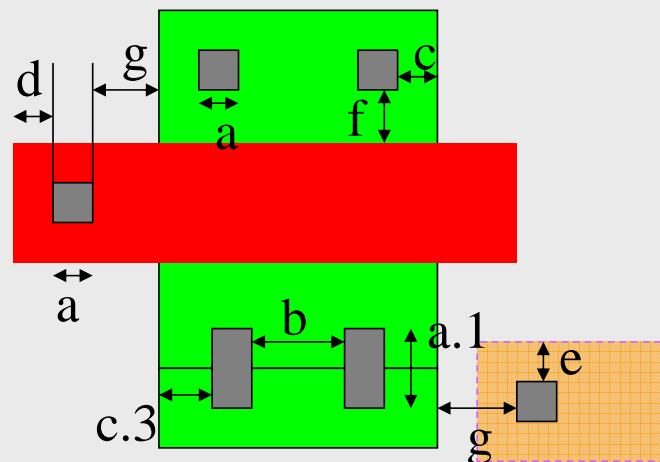
符号	尺寸	含 义
8.E	0.75	N <sup>+</sup> (P <sup>+</sup> )注入区与P <sup>+</sup> (N <sup>+</sup> )栅间距
8.f	0.75	N <sup>+</sup> (P <sup>+</sup> )注入区与N <sup>+</sup> (P <sup>+</sup> )栅间距
8.H	0	注入区对有源区最小覆盖 (定义butting contact)



# 设计规则 contact

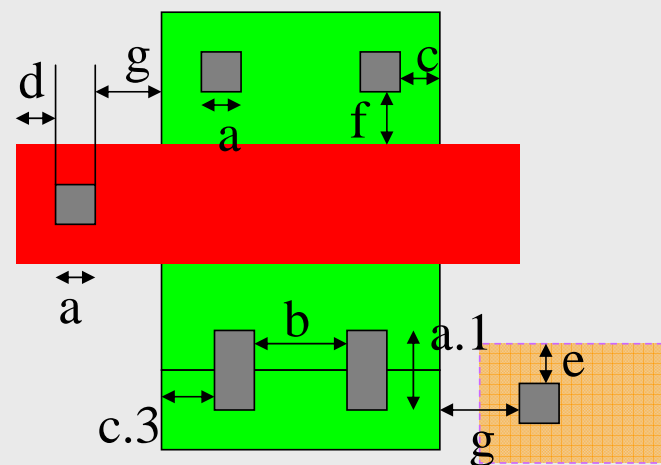
定义为金属1与扩散区、多晶1、多晶2的所有连接！

符号	尺寸	含 义
10.a	.6*.6	接触孔最小面积
10.a.1	.6*1.6	N <sup>+</sup> /P <sup>+</sup> butting contact面积
10.b	0.7	接触孔间距



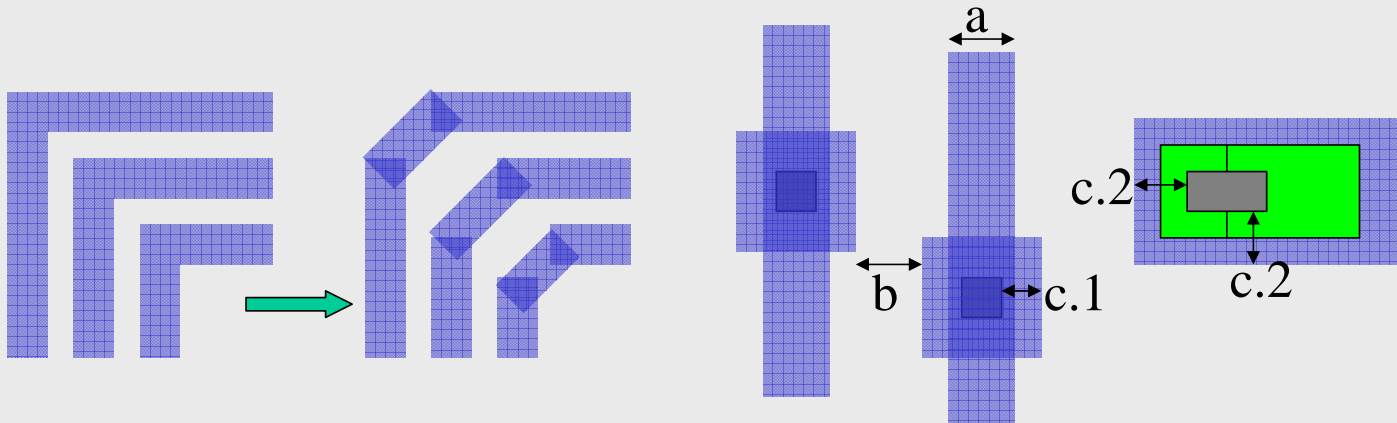
# 设计规则 contact

符号	尺寸	含 义
10.c (d, e)	0.4	有源区, Poly1, Poly2对最小孔最小覆盖
10.c.3	0.8	有源区对butting contact最小覆盖
10.f	0.6	漏源区接触孔与栅最小间距
10.g	0.6	Poly1,2上孔与有源区最小间距



# 设计规则 metal1

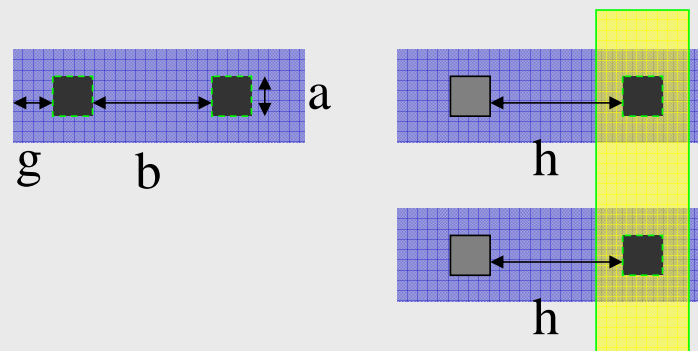
符号	尺寸	含 义
11.a	0.9	金属1最小宽度
11.b	0.8	金属1最小间距
11.c.1	0.3	金属1对最小接触孔的最小覆盖
11.c.2	0.6	金属1对butting contact的最小覆盖
-	1.5mA /um	最大电流密度
-	-	禁止并行金属线90度拐角，用135度拐角代替



# 设计规则 via

定义为两层金属之间的连接孔

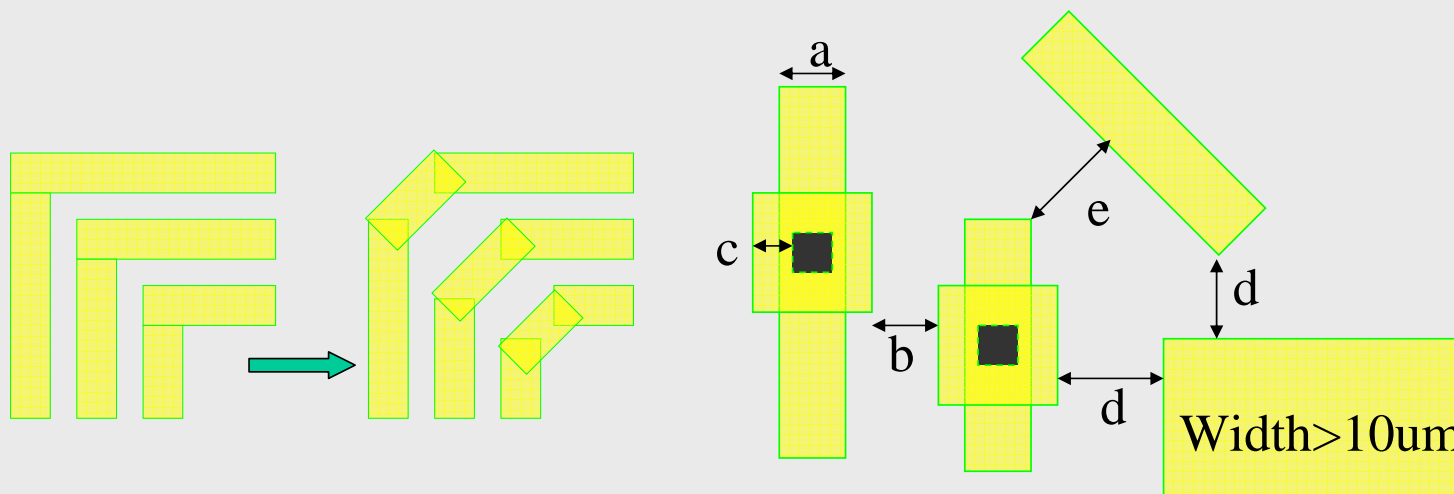
符号	尺寸	含 义
12.a	.7*.7	过孔最小面积
12.b	0.8	过孔间距
12.d~f	-	接触孔、poly-poly电容和栅上不能打过孔
12.g	0.4	金属1对过孔的最小覆盖
12.h	0.5	过孔与接触孔的最小间距
建议	0.5	Poly与有源区对过孔的最小间距或覆盖
12.k	1.5mA	单个过孔的最大电流



# 设计规则 metal2

可用于电源线、地线、总线、时钟线及各种低阻连接

符号	尺寸	含 义
13.a	0.9	金属2最小宽度
13.b(e)	0.8	金属2最小间距
13.c	0.4	金属2对过孔的最小覆盖
13.d	1.5	宽金属2与金属2的最小间距
13.f	-	禁止并行金属线90度拐角，用135度拐角代替
13.h	1.5mA /um	最大电流密度





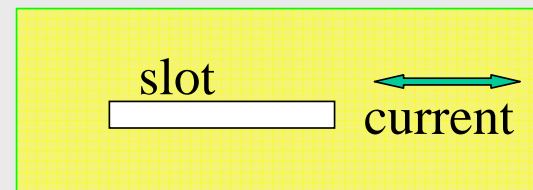
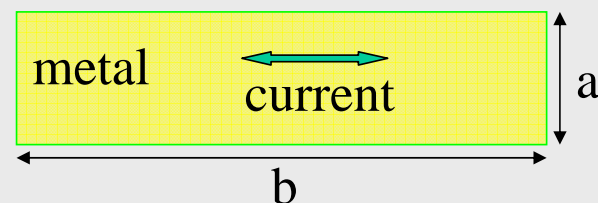
## 设计规则

### power supply line

由于应力释放原则，在大晶片上会存在与大宽度金属总线相关的可靠性问题。表现在裂痕会沿着晶片的边缘或转角处蔓延

缝隙用于宽度任何大于 $20\mu\text{m}$ ，长度大于 $300\mu\text{m}$ 的金属线。  
缝隙与电流方向平行

符号	尺寸	含 义
17.a	20.0	金属2最小宽度
17.b	300.0	金属2最小长度
-	-	Slot规则见工艺文档



# 设计规则

## 高阻多晶电阻

$$R = R_{\square} \cdot (L - L_d) / (W - W_d)$$

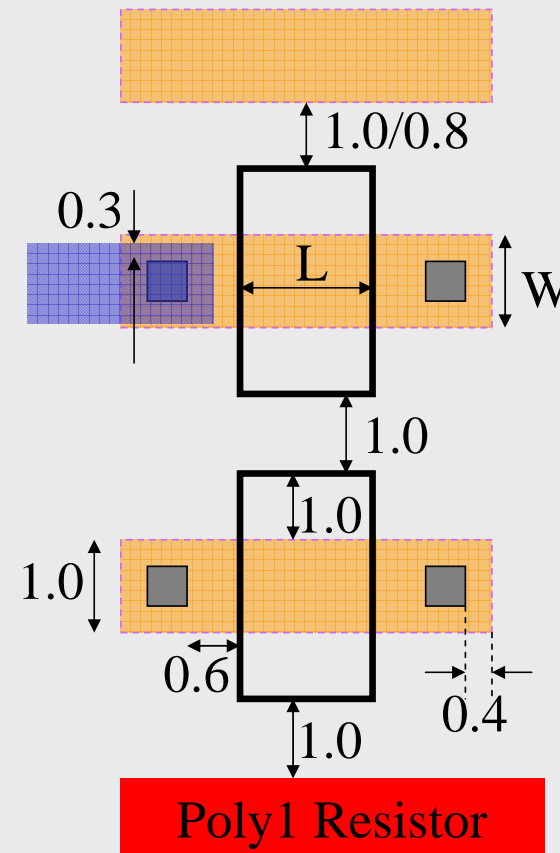
$$R_{\square} = 996 \text{ 欧姆}$$

$$L_d = 1.443 \mu$$

$$W_d = 0.162 \mu$$

温度系数:  $-3.04 \text{E-}03 / \text{度}$

电压系数:  $-4.36 \text{E-}03 / \text{V}$



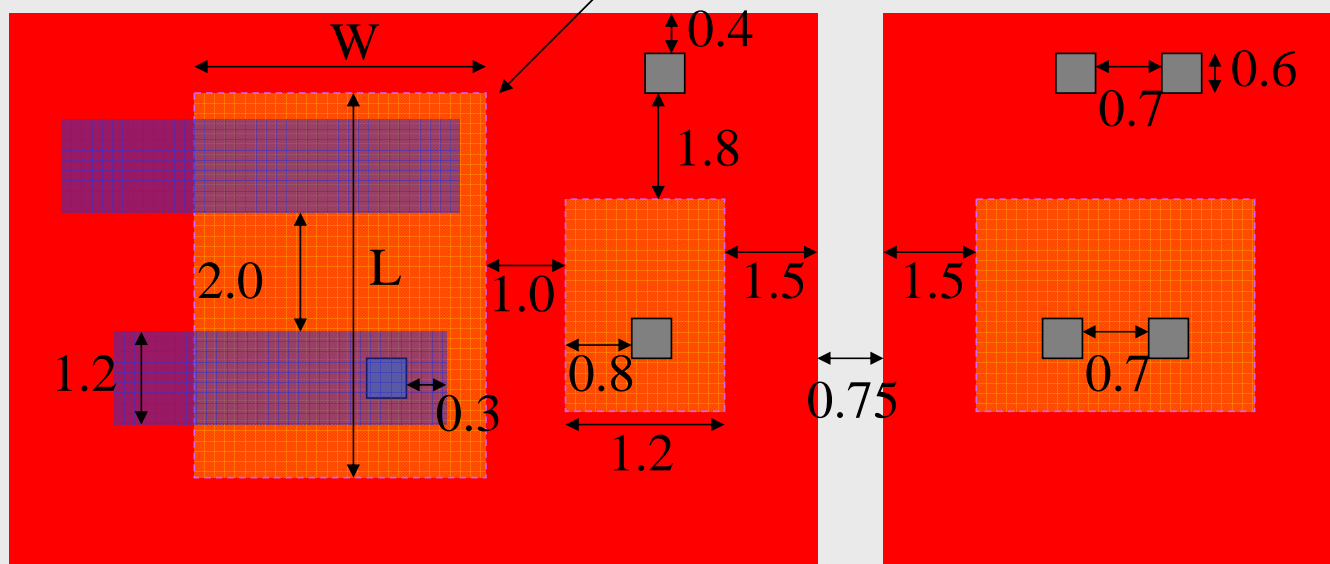
# 设计规则

## Poly-Poly电容

温度系数:  $2.1\text{E-}05/\text{度}$

电压系数:  $-7.7\text{E-}05/\text{V}$

$$C=0.7*W*L \text{ fF}$$



# 设计规则 PAD与划片 槽

见设计规则手册

## 版图设计准则 (‘Rule’ for performance)

- 匹配
- 抗干扰
- 寄生的优化
- 可靠性

## 匹配设计

- 在集成电路中，集成元件的绝对精度较低，如电阻和电容，误差可达 $\pm 20\% \sim 30\%$
- 由于芯片面积很小，其经历的加工条件几乎相同，故同一芯片上的集成元件可以达到比较高的匹配精度，如1%，甚至0.1%
- 模拟集成电路的精度和性能通常取决于元件匹配精度

# 匹配设计

- 失配：测量所得的元件值之比与设计的元件值之比的偏差
- 归一化的失配定义：
  - 设 $X_1, X_2$ 为元件的设计值， $x_1, x_2$ 为其实测值，则失配  $\delta$  为：

$$\delta = \frac{(x_2/x_1) - (X_2/X_1)}{(X_2/X_1)} = \frac{X_1 x_2}{X_2 x_1} - 1$$

## 匹配设计

- 失配  $\delta$  可视为高斯随机变量
- 若有N个测试样本  $\delta_1, \delta_2, \dots, \delta_N$ , 则  $\delta$  的均值为:

$$m_\delta = \frac{1}{N} \sum_{i=1}^N \delta_i$$

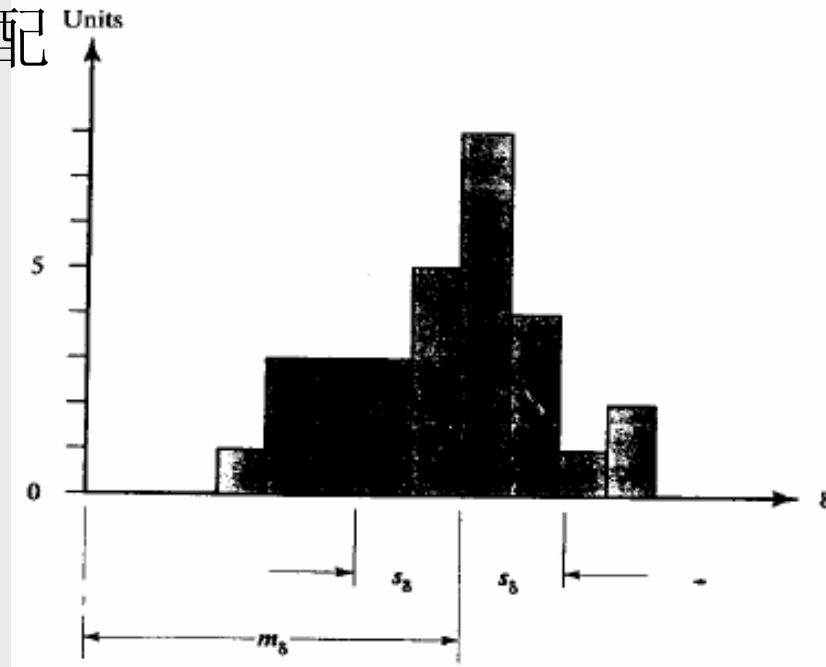
- 方差为:

$$s_\delta = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\delta_i - m_\delta)^2}$$



# 匹配设计

- 称均值 $m_\delta$ 为系统失配
- 称方差 $s_\delta$ 为随机失配
- 失配的分布:
- $3\delta$  失配:  
     $|m_\delta| + 3s_\delta$   
    概率99.7%

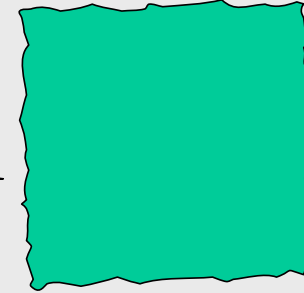


# 匹配设计

- 失配的原因
  - 随机失配：尺寸、掺杂、氧化层厚度等影响元件值的参量的微观起伏(fluctuation)
    - 随机失配可通过选择合适的元件值和尺寸来减小
  - 系统失配：工艺偏差，接触孔电阻，扩散区相互影响，机械压力，温度梯度等
    - 系统失配可通过版图设计技术来降低

# 匹配设计

- 随机统计起伏 (Fluctuations)
  - 周边起伏(peripheral fluctuations)
    - 发生在元件的边沿
    - 失配随周长的增大而减小
  - 区域起伏(area fluctuations)
    - 发生在元件所覆盖的区域
    - 失配随面积的增大而减小



# 匹配设计

- 电容随机失配
  - 两个大小均为C的电容的失配：
    - $K_p$ 和 $k_a$ 分别为周边起伏和区域起伏的贡献，均是常量
$$s_c = \frac{1}{\sqrt{C}} \sqrt{k_a + \frac{k_p}{\sqrt{C}}}$$
  - 一般地，电容失配与面积的平方根成反比，即容量为原来2倍，失配减小约30%
  - 不同大小电容匹配时，匹配精度由小电容决定

# 匹配设计

- 电阻随机失配
  - 两个阻值为R、宽度为W的电阻的失配：
    - $K_p$ 和 $k_a$ 分别为周边起伏和区域起伏的贡献，均是常量

$$s_R = \frac{1}{W\sqrt{R}} \sqrt{k_a + \frac{k_p}{W}}$$

- 一般地，电阻失配与宽度成反比，即阻值为原来2倍，失配为原来的一半
- 不同阻值的电阻，可通过调整宽度来达到相同的匹配精度

# 匹配设计

- 晶体管匹配：主要关心元件之间栅源电压（差分对）和漏极电流（电流镜）的偏差

– 栅源电压失配为：

$$\Delta V_{GS} \cong \Delta V_t - V_{gs1} \left( \frac{\Delta k}{2k_2} \right)$$

– 漏极电流失配为：

$$\frac{I_{D2}}{I_{D1}} \cong \frac{k_2}{k_1} \left( 1 + \frac{2\Delta V_t}{V_{gs1}} \right)$$

$\Delta V_t$ ,  $\Delta k$  为元件间的  
阈值电压和跨导之  
差,  $V_{gs1}$  为第1个元件  
的有效栅电压,  $k_1, k_2$   
为两个元件的跨导

对于电压匹配, 希望  
 $V_{gs1}$  小一些 ( $>0.1V$ ), 但  
对电流匹配, 则希望  
 $V_{gs1}$  大一些 ( $>0.3V$ )

# 匹配设计

- 晶体管随机失配

- 在良好的版图设计条件下

- 阈值电压

$$s_{V_t} = \frac{C_{V_t}}{\sqrt{W_{eff} L_{eff}}}$$

背栅掺杂分布  
的统计起伏  
(区域起伏)

- 跨导

$C_{V_t}$ 和 $C_k$ 是  
工艺参数

$$\frac{s_k}{k} = \frac{C_k}{\sqrt{W_{eff} L_{eff}}}$$

线宽变化, 栅  
氧的不均匀,  
载流子迁移率  
变化等(边沿  
和区域起伏)

- 均与栅面积的平方根成反比

# 匹配设计

- 系统失配

- 工艺偏差(Process Bias)

- 在制版、刻蚀、扩散、注入等过程中的几何收缩和扩张，所导致的尺寸误差

- 接触孔电阻

- 对不同长度的电阻来说，该电阻所占的分额不同

- 多晶硅刻蚀率的变化(Variations in Polysilicon Etch Rate)

- 刻蚀速率与刻蚀窗的大小有关，导致隔离大的多晶宽度小于隔离小的多晶宽度

- 扩散区相互影响

- 同类型扩散区相邻则相互增强，异类型相邻则相互减弱

均与周围环境有关





# 匹配设计

- 系统失配
  - 梯度效应
    - 压力、温度、氧化层厚度的梯度问题，元件间的差异取决于梯度和距离

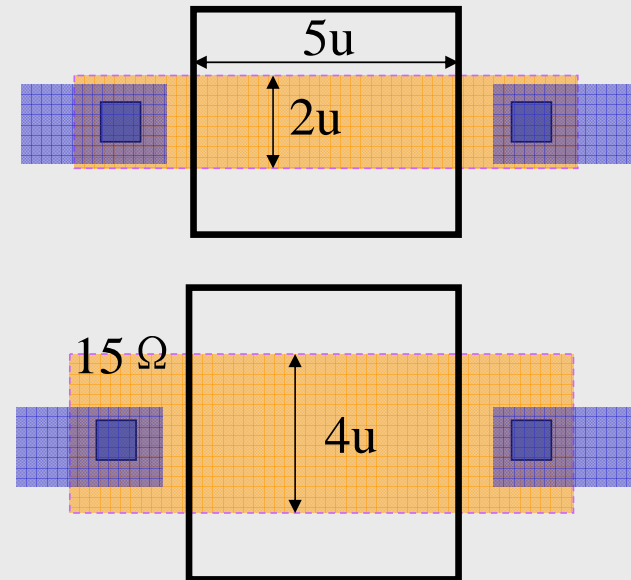
# 匹配设计

- 系统失配例子 —— 电阻
  - 电阻设计值之为2: 1
  - 由于poly2刻蚀速度的偏差, 假设其宽度偏差为0.1u, 则会带来约2.4%的失配
  - 接触孔和接头处的poly电阻, 将会带来约1.2%的失配; 对于小电阻, 失配会变大

$$R = R_{\square} \cdot (L_{\text{eff}}) / (W_{\text{eff}})$$

$$R_{\square} = 996 \text{ 欧姆}$$

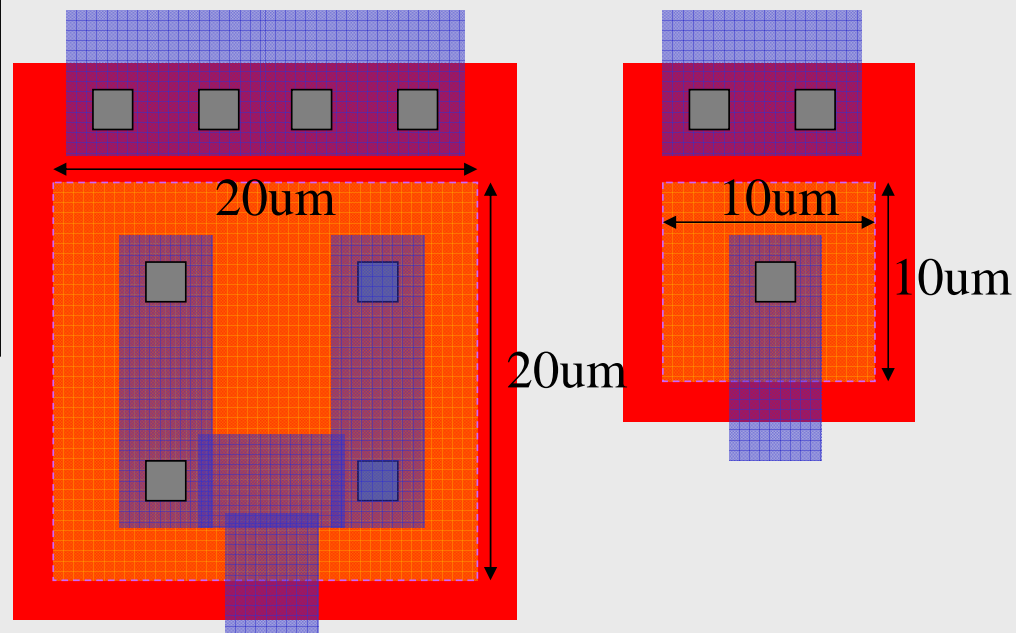
$$W_p = 0.1u$$



# 匹配设计

- 系统失配例子 —— 电容

假设对poly2的刻蚀工艺偏差是 $0.1\mu\text{m}$ ，两个电容的面积分别是 $(10.1)^2$ 和 $(20.1)^2$ ，则系统失配约为1.1%



# 匹配设计

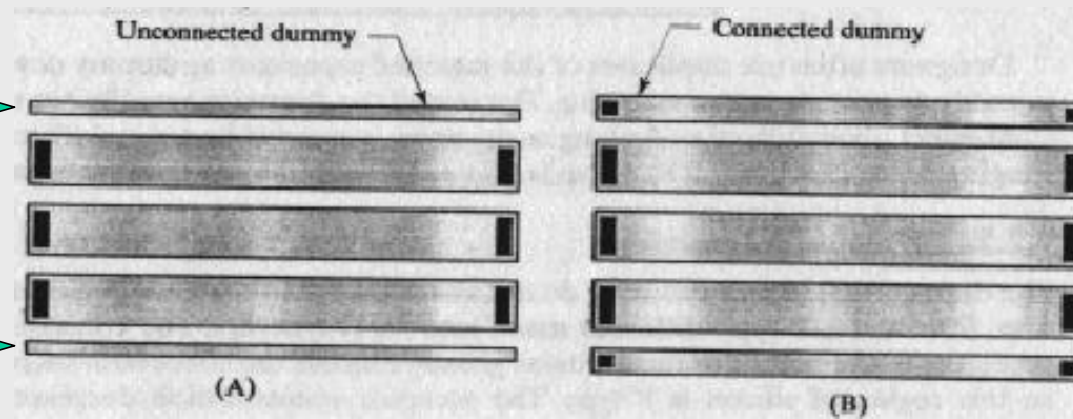
- 降低系统失配的方法
  - 元件单元整数比
    - 降低工艺偏差和欧姆接触电阻的影响
  - 加dummy元件
    - 保证周围环境的对称
  - 匹配元件间距离尽量接近
  - 共中心设计(common-centroid)
    - 减小梯度效应
  - 匹配元件与其他元件保持一定距离
    - 减小扩散区的相互影响

# 匹配设计

- 降低系统失配的例子
  - 加dummy的电阻匹配

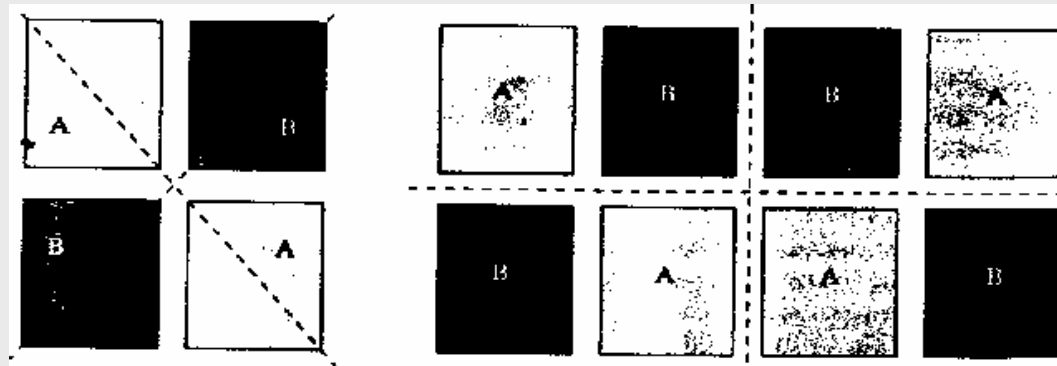
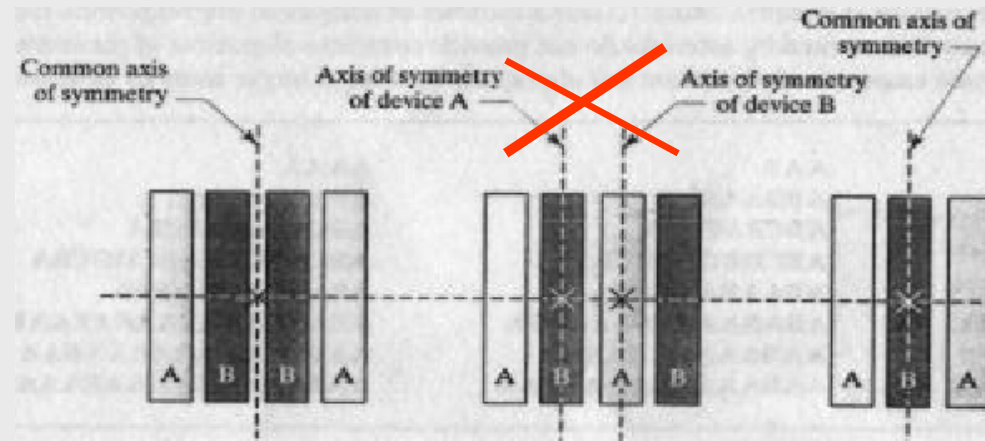
Dummy元件宽度可以小一些

悬空会带来静电积累！



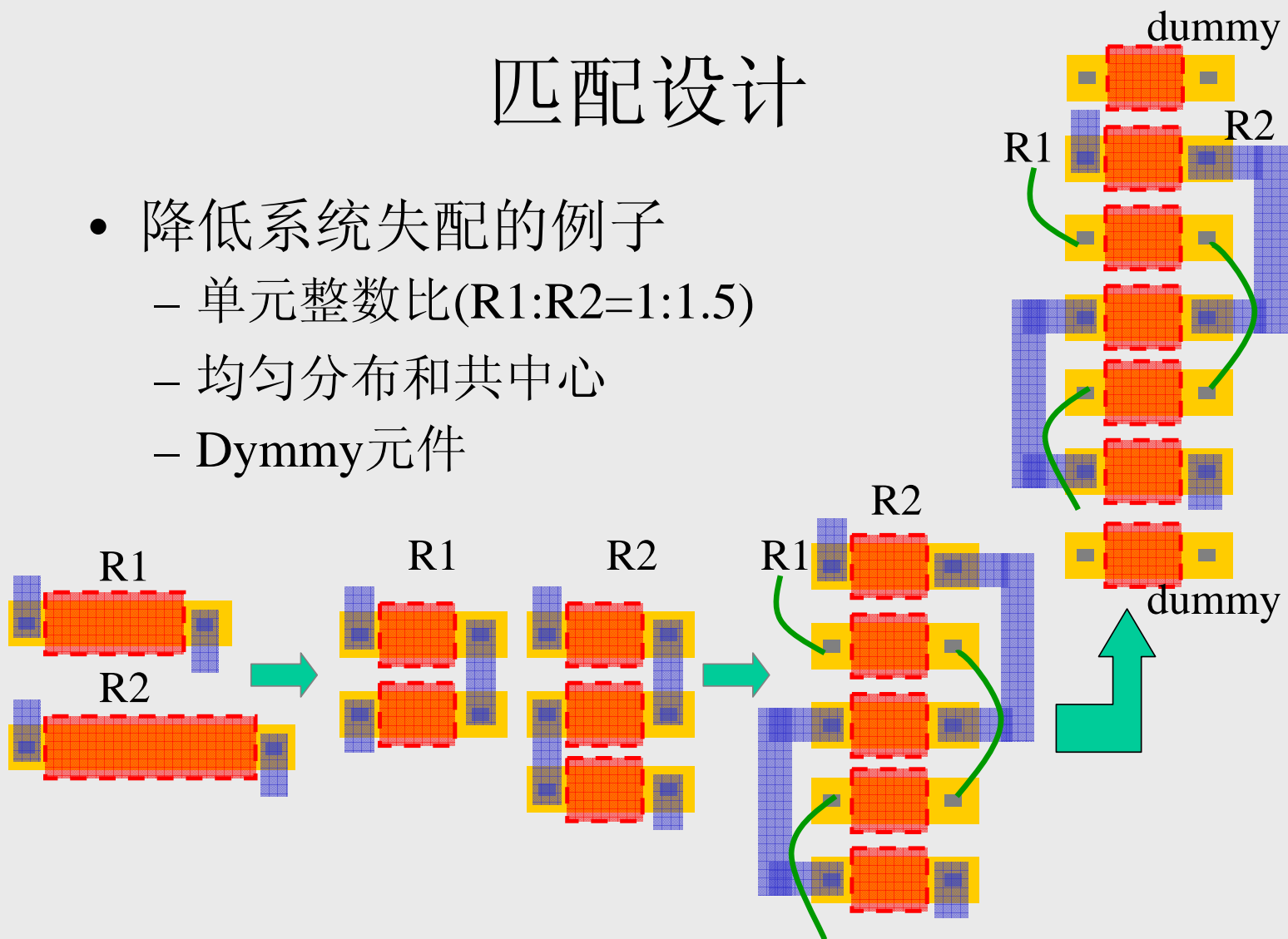
# 匹配设计

- 降低系统失配的例子
  - 一维共中心设计
  - 二维共中心设计



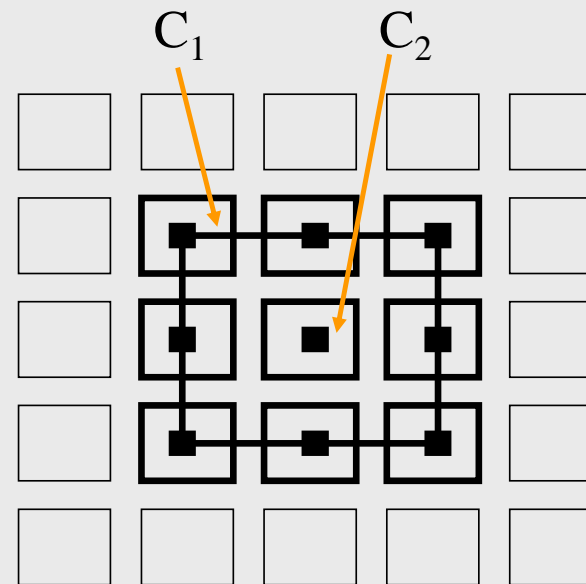
# 匹配设计

- 降低系统失配的例子
  - 单元整数比( $R1:R2=1:1.5$ )
  - 均匀分布和共中心
  - Dymmy元件



# 匹配设计

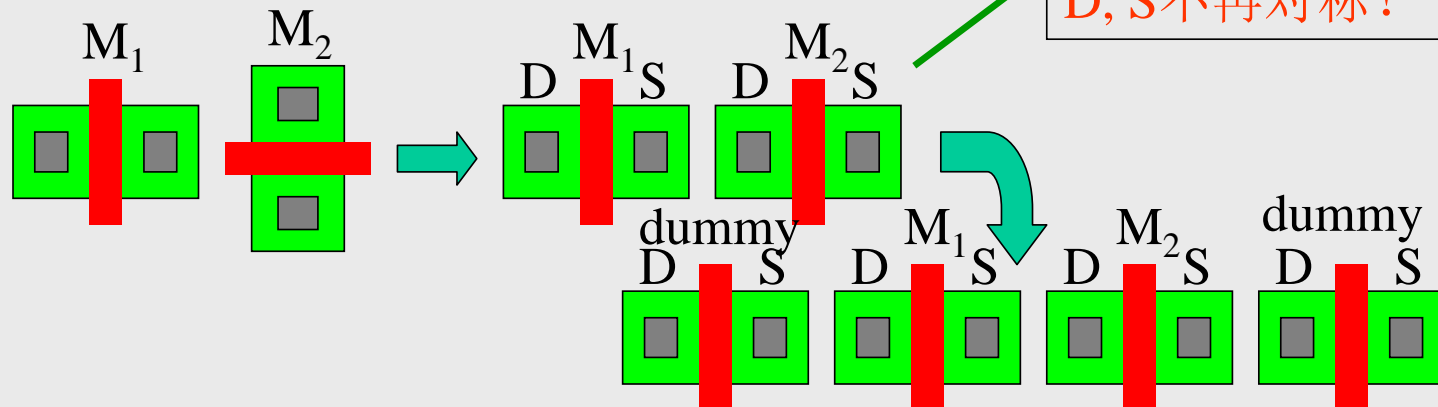
- 降低系统失配的例子
  - 单元整数比(8:1)
  - 加dummy元件
  - 共中心布局
  - 问题：布线困难，布线寄生电容影响精度





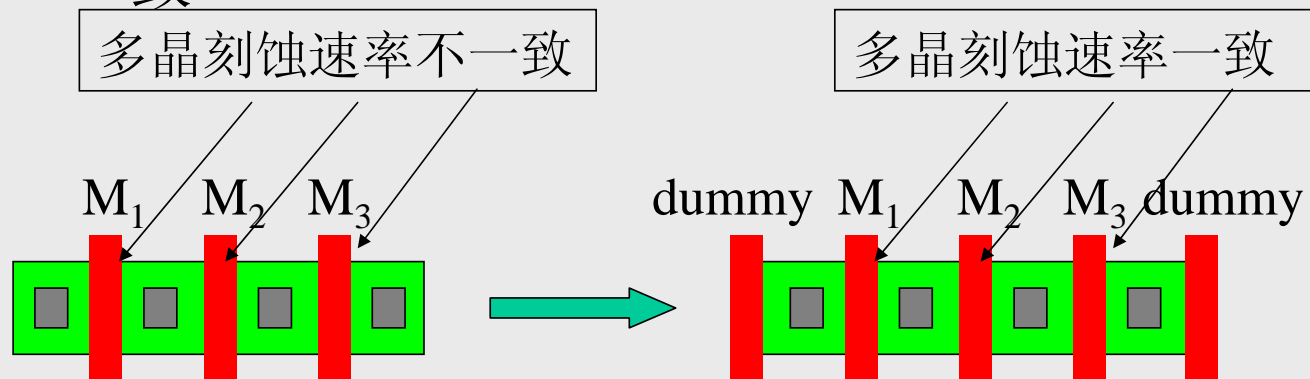
# 匹配设计

- 降低系统失配的例子
  - 方向一致
  - 加dummy保证周围环境对称



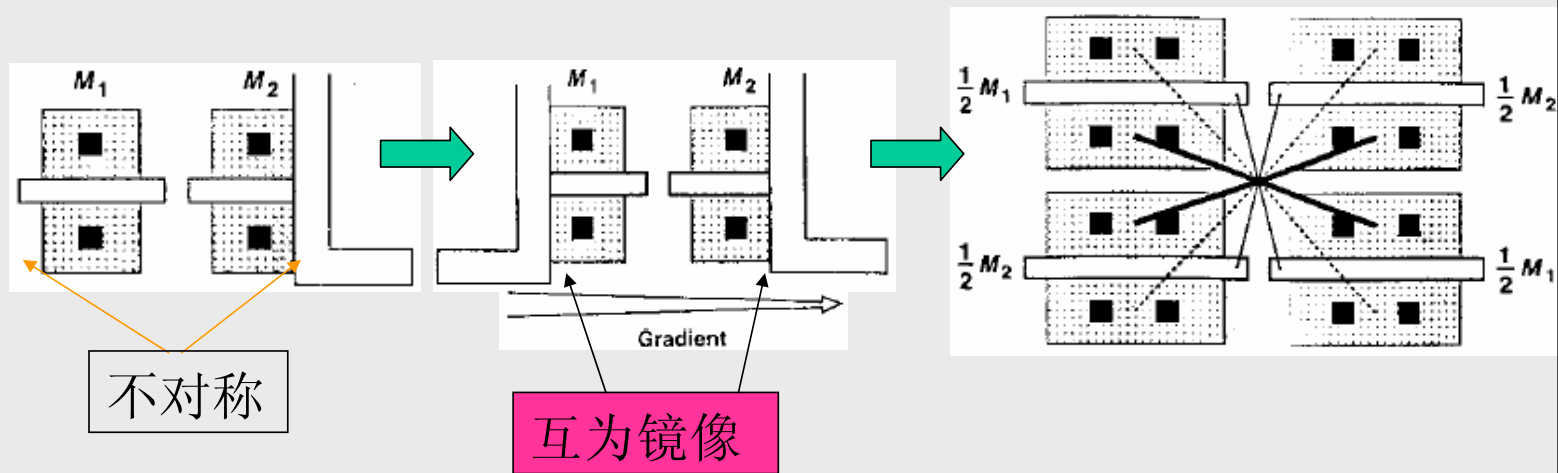
# 匹配设计

- 降低系统失配的例子
  - 加dummy保证多晶刻蚀速率一致



# 匹配设计

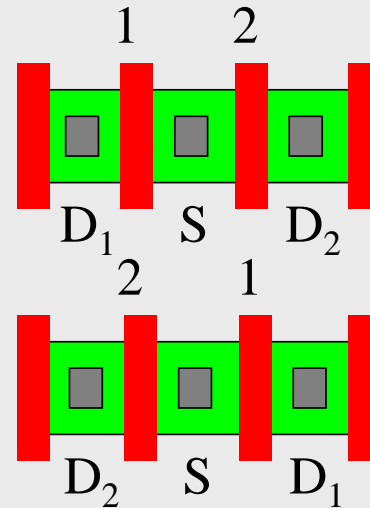
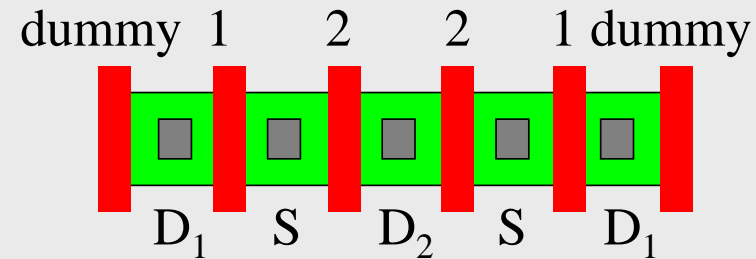
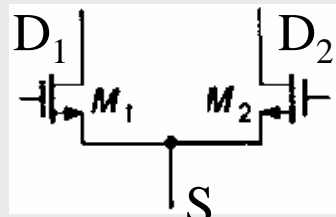
- 降低系统失配的例子
  - 加dummy导线保持环境对称
  - 共中心以减小梯度效应



# 匹配设计

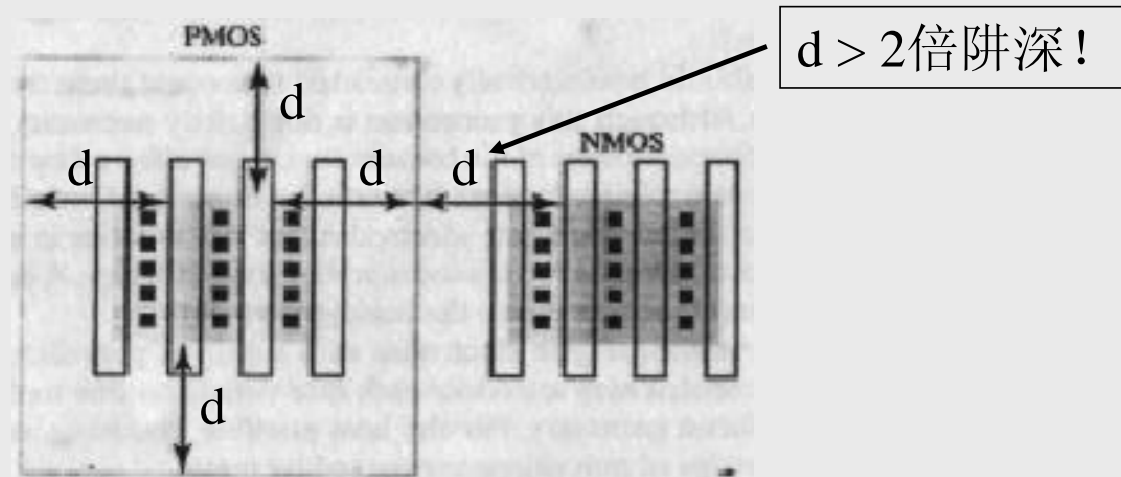
- 降低系统失配的例子
  - 叉指结构
  - 交叉耦合结构

共同点：对梯度效应  
和倾斜注入不敏感



# 匹配设计

- 降低系统失配的例子
  - 匹配晶体管与其他晶体管保持相当距离，以免引起背栅掺杂浓度的变化，导致阈值电压和跨导的变化

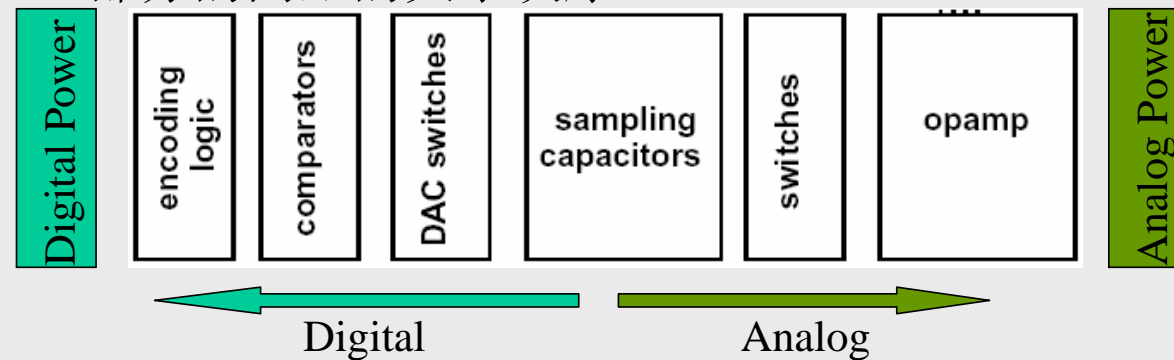


# 抗串扰设计

- 数模混合电路的版图布局
- 电源规划
- 屏蔽
- 滤波

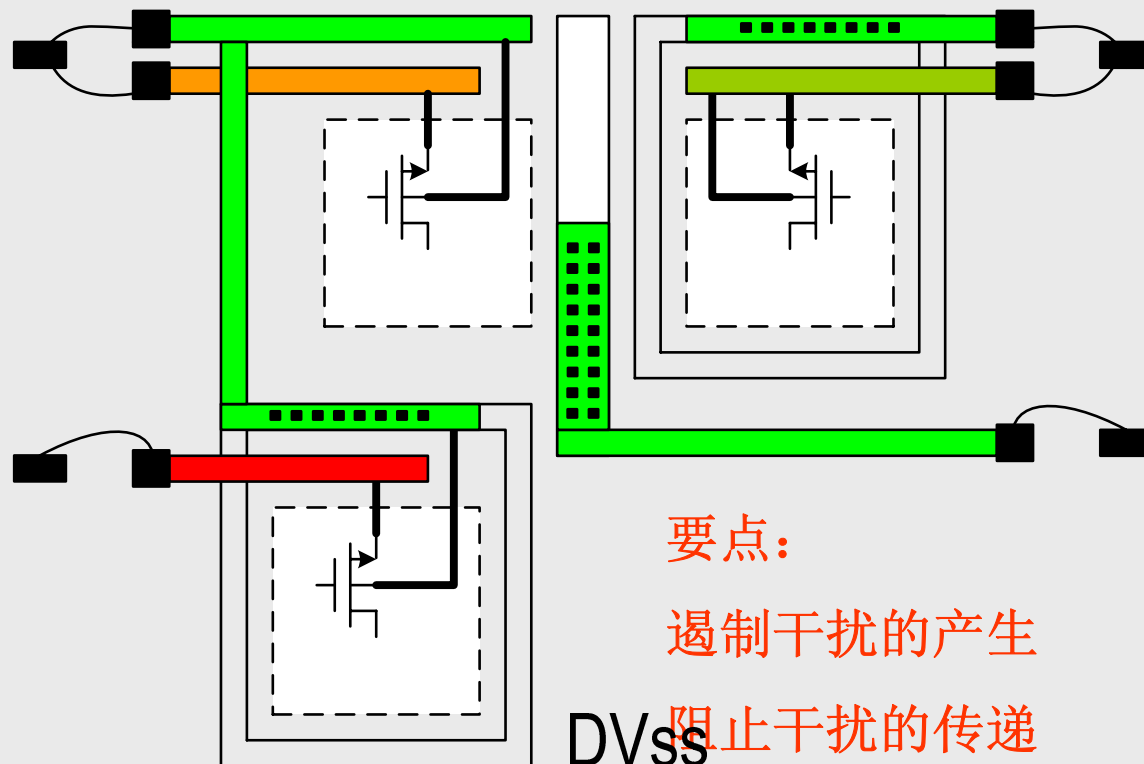
# 抗串扰设计

- 数模混合集成电路中的版图布局
  - 模拟和数字电源地的分离
  - 模拟电路和数字电路、模拟总线和数字总线尽量分开而不交叉混合
  - 根据各模拟单元的重要程度，决定其与数字部分的间距的大小次序



# 抗串扰设计

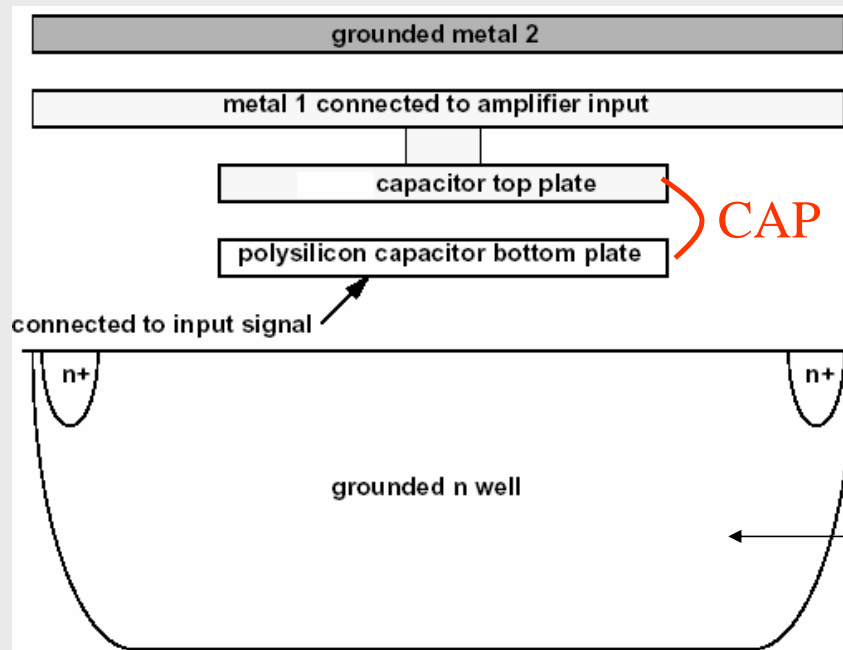
- 电源规划





# 抗串扰设计

- 电容的屏蔽

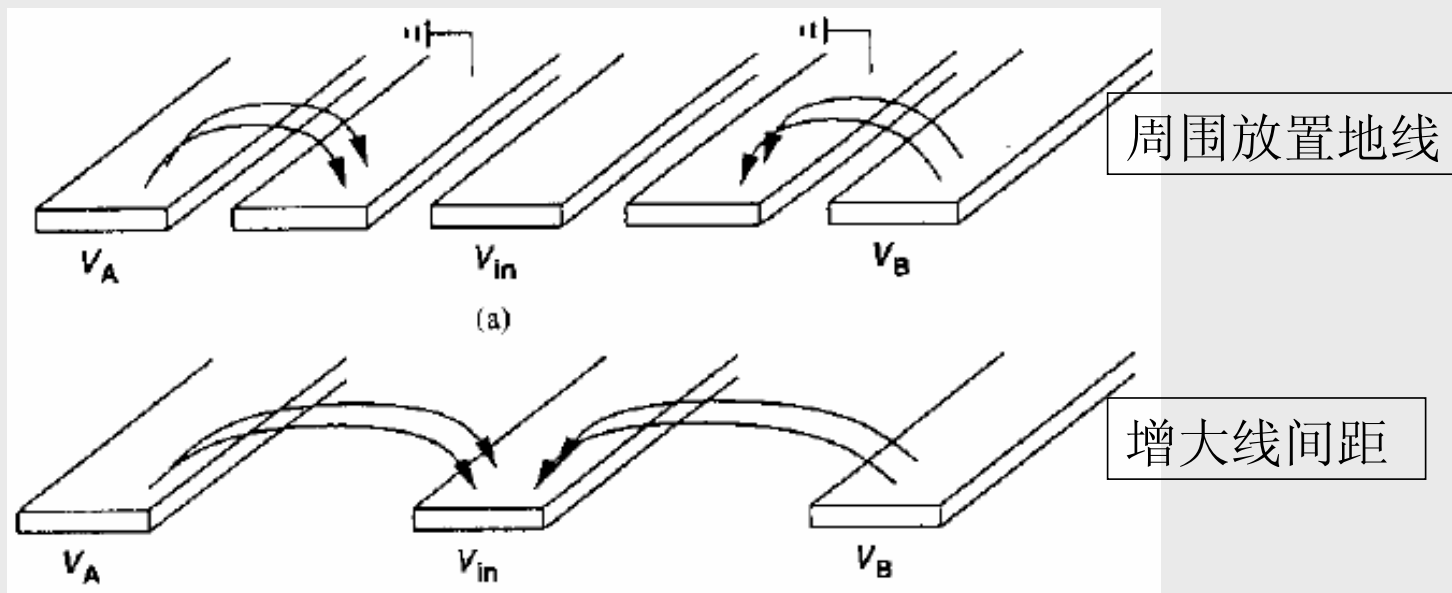


电路中的高阻接点接上极板，以减小寄生和屏蔽干扰；电容下面用接地的阱来屏蔽衬底噪声

此地应为“干净”地！可独立接出，不与其他电路共享

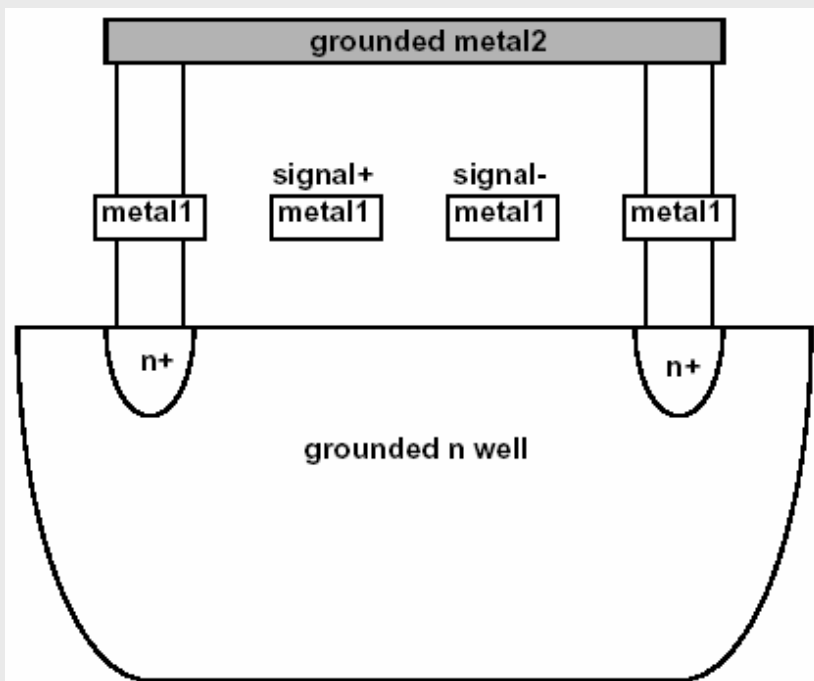
# 抗串扰设计

- 敏感信号线的屏蔽



# 抗串扰设计

- 敏感信号线的屏蔽



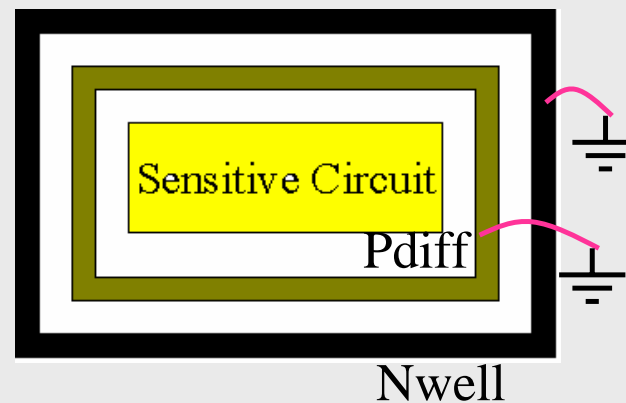
包围屏蔽

缺点：

到地的寄生电容较大；  
加大了布线的难度

# 抗串扰设计

- 敏感电路的屏蔽
  - 用接地的保护环(guard ring)
  - 保护环应接“干净”的地
  - N阱较深，接地后可用来做隔离



# 抗串扰设计

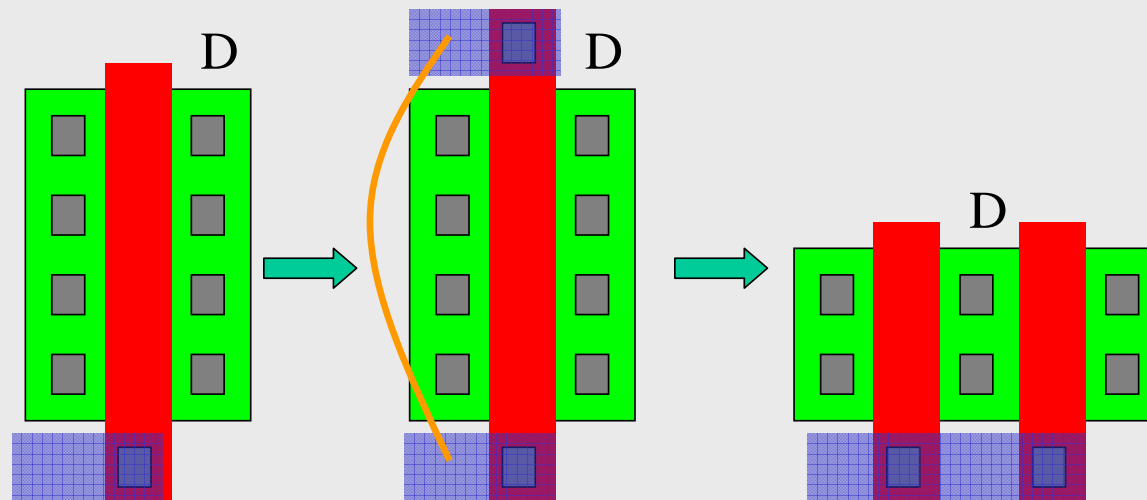
- 加滤波电容
  - 电源线上和版图空余地方可填加MOS电容进行电源滤波
  - 对模拟电路中的偏置电压和参考电压加MOS电容或其他电容进行滤波
  - 注意片内滤波与片外滤波的区别

# 寄生优化设计

- 寄生电阻和电容会带来噪声、降低速度、增加功耗等效应
- 降低关键路径上的寄生，如放大器输入端上的寄生电阻（主要是多晶硅电阻）
- 降低关键节点的寄生，如高阻节点和活性较大的节点上的寄生电容

# 寄生优化设计

- 晶体管的寄生优化
  - 尽量减小多晶做导线的长度
  - 通过两边接栅可优化栅极串联寄生电阻
  - 通过梳状折叠可同时优化栅极电阻和漏极寄生电容

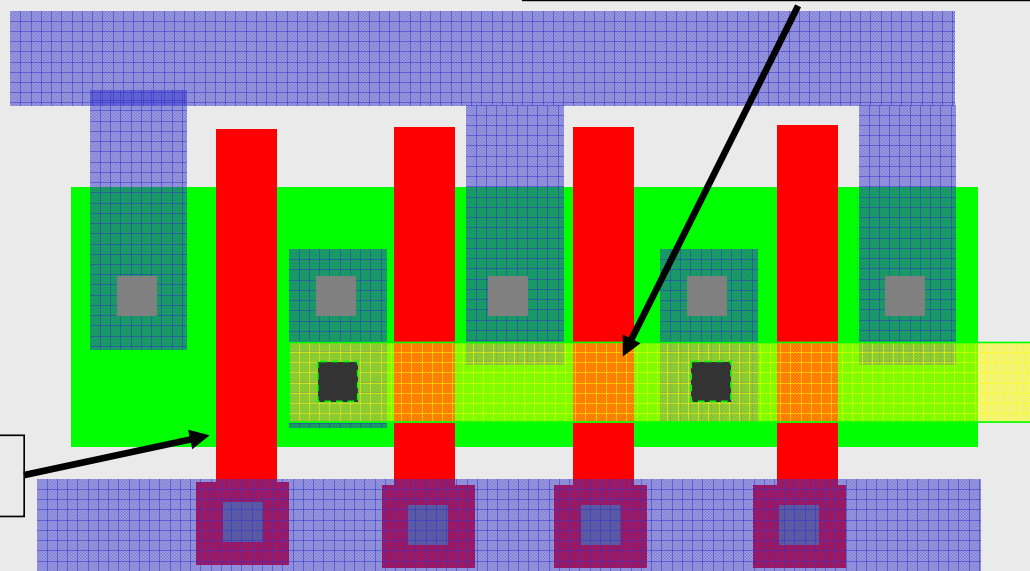


# 寄生优化设计

- 大尺寸晶体管的版图

注意:若有匹配要求,  
栅上布线要对称

梳状折叠





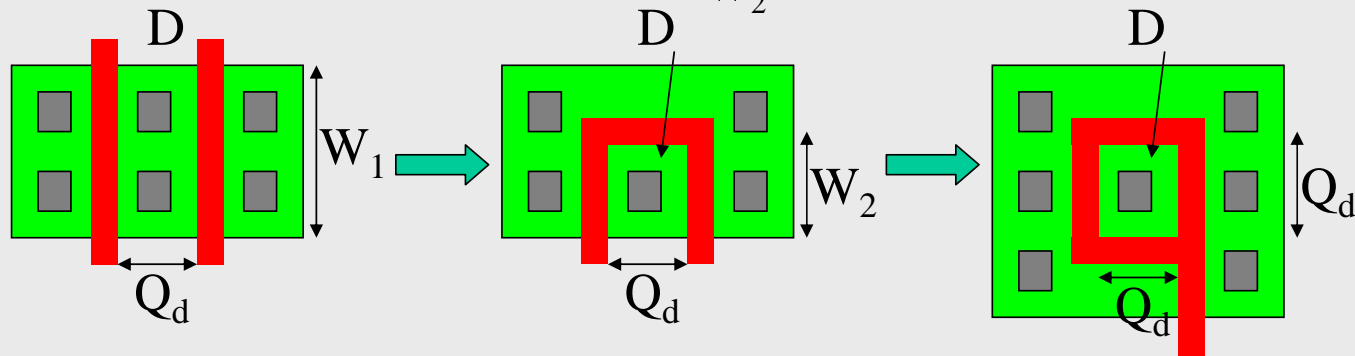
# 寄生优化设计

- 晶体管漏极寄生电容优化
  - 漏极一般接高阻节点或活性较大的节点
  - 主要指漏极扩散区面积的优化
  - 指标：漏极面积 $S_D$ 与有效栅宽 $W_e$ 之比，越小越好

$$\left(\frac{S_D}{W_e}\right)_1 = \frac{Q_d}{2}$$

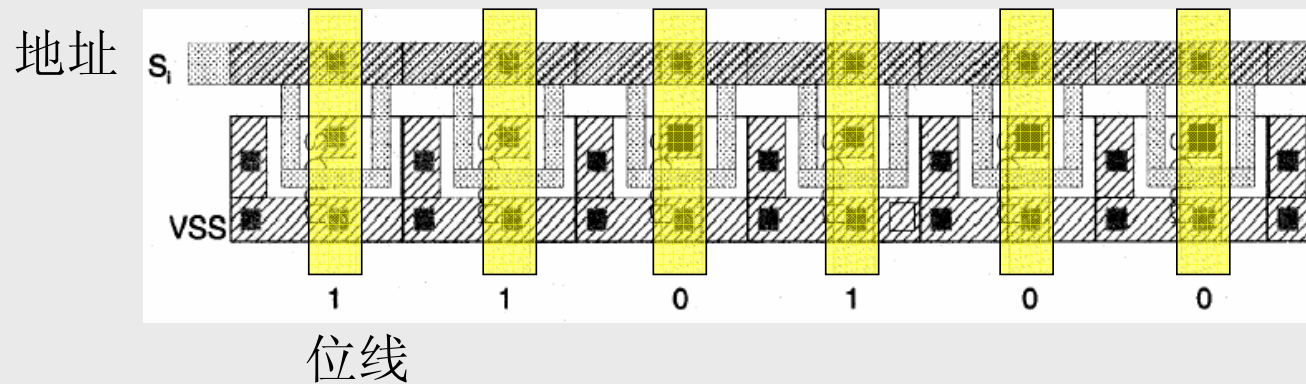
$$\left(\frac{S_D}{W_e}\right)_2 = \frac{Q_d}{2 + \frac{Q_d}{W_2}} \geq \frac{Q_d}{3}$$

$$\left(\frac{S_D}{W_e}\right)_3 = \frac{Q_d}{4}$$



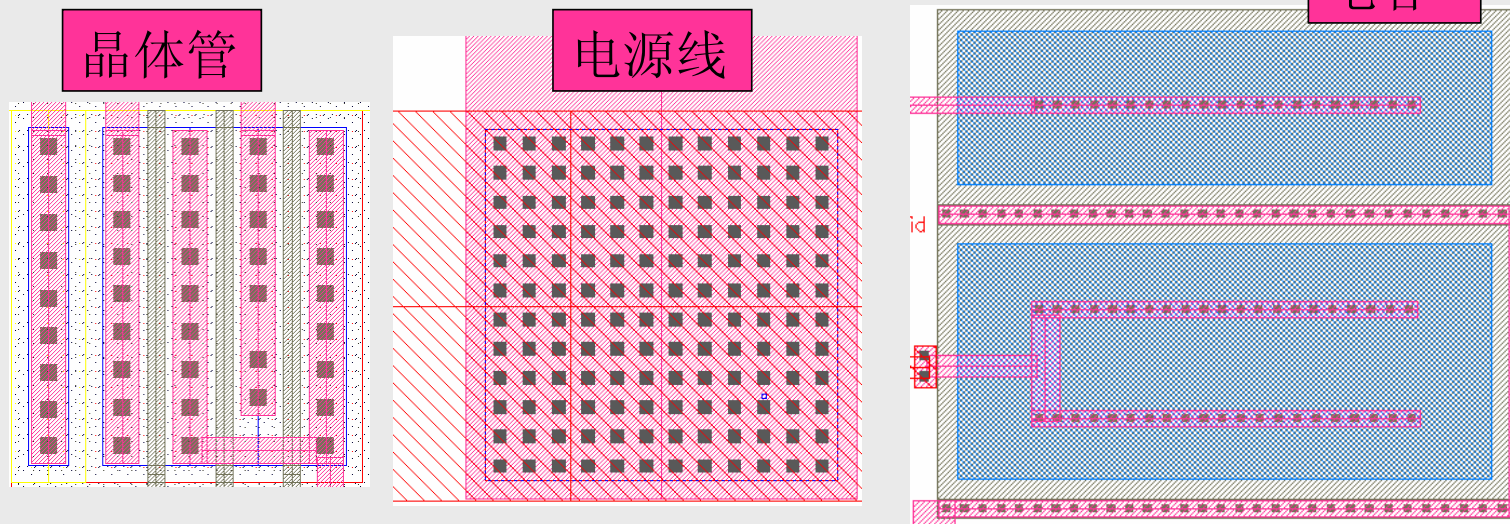
# 寄生优化设计

- 晶体管漏极寄生电容优化举例
  - ROM位线上接有大量晶体管的漏极，ROM的位线电压建立速度受到寄生电容限制



# 寄生优化设计

- Contact, via与其它层的连接
  - Contact和via与其它层连接时存在接触电阻和电流密度问题
  - 一般采用多个最小孔并联的方法来减小电阻和提高可通过电流
  - 对于大面积的非金属层，接触孔的分布要均匀



# 可靠性设计

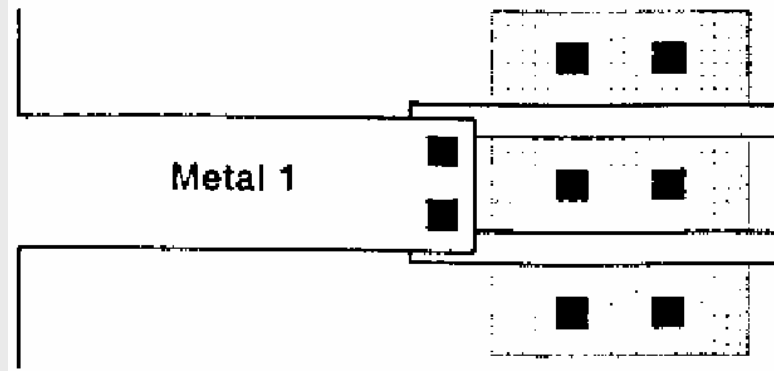
- 避免天线效应
- 防止Latch-Up
- 静电放电(ESD)保护

# 可靠性设计

- 避免天线效应

- 天线效应:

- 当大面积的金属1直接与栅极相连，在金属腐蚀过程中，其周围聚集的离子会增加其电势，进而使栅电压增加，导致栅氧化层击穿。
    - 大面积的多晶硅也有可能出现天线效应

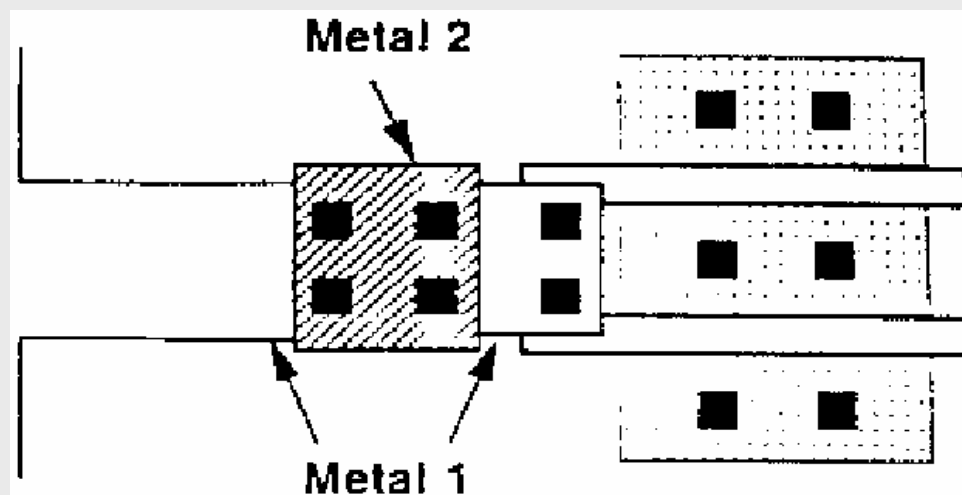


# 可靠性设计

- 避免天线效应

- 避免措施:

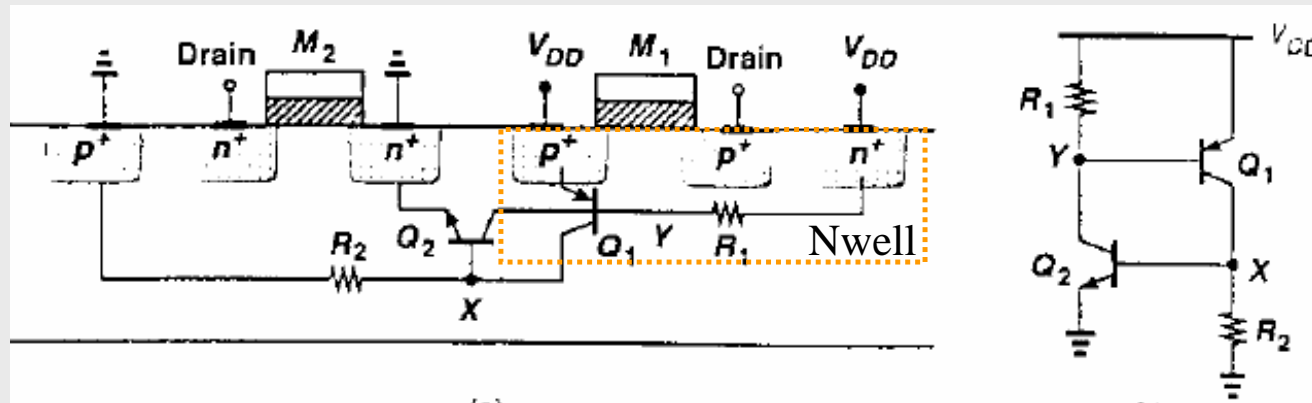
- 减小连接栅的多晶和金属1面积，令其在所接栅面积的100倍以下；
    - 采用第二层金属过渡。



# 可靠性设计

- Latch-Up效应

- 在N阱CMOS电路中，存在寄生pnp和nnp晶体管，以及N阱和衬底寄生电阻
- 寄生pnp、nnp晶体管，以及它们的基极到电源和地的寄生电阻，有可能形成正反馈回路
- MOS晶体管漏极的大信号摆动，通过漏极寄生电容向N阱和衬底灌入电流，形成正反馈回路的触发条件
- 若正反馈回路的回路增益大于一，则有可能被触发而导致latch-up，从电源汲取大电流



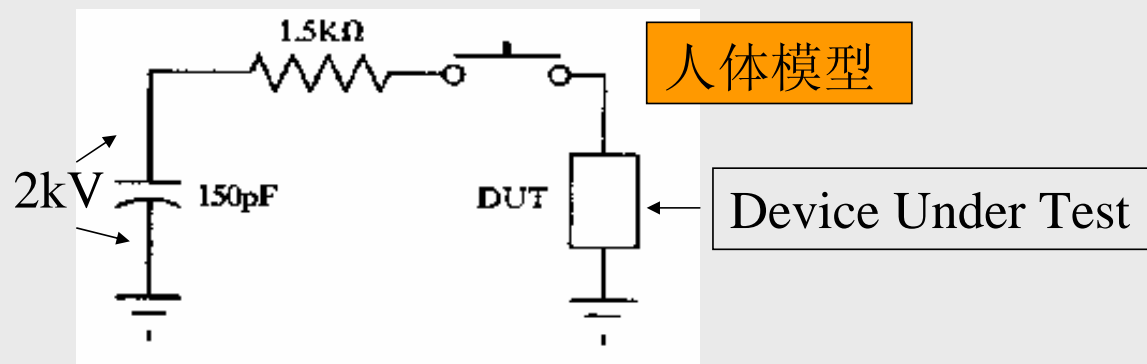
# 可靠性设计

- Latch-Up效应
  - 多发生在大的数字输出Buffer（反相器）
  - 解决办法：令环路增益小于1
  - 对于版图设计来说，应增加N阱和衬底接触孔的数量和减小它们之间的距离，以降低N阱和衬底带电源和地的寄生电阻
  - 对于上华工艺，N阱和衬底接触孔间的距离不得大于36um



# 可靠性设计

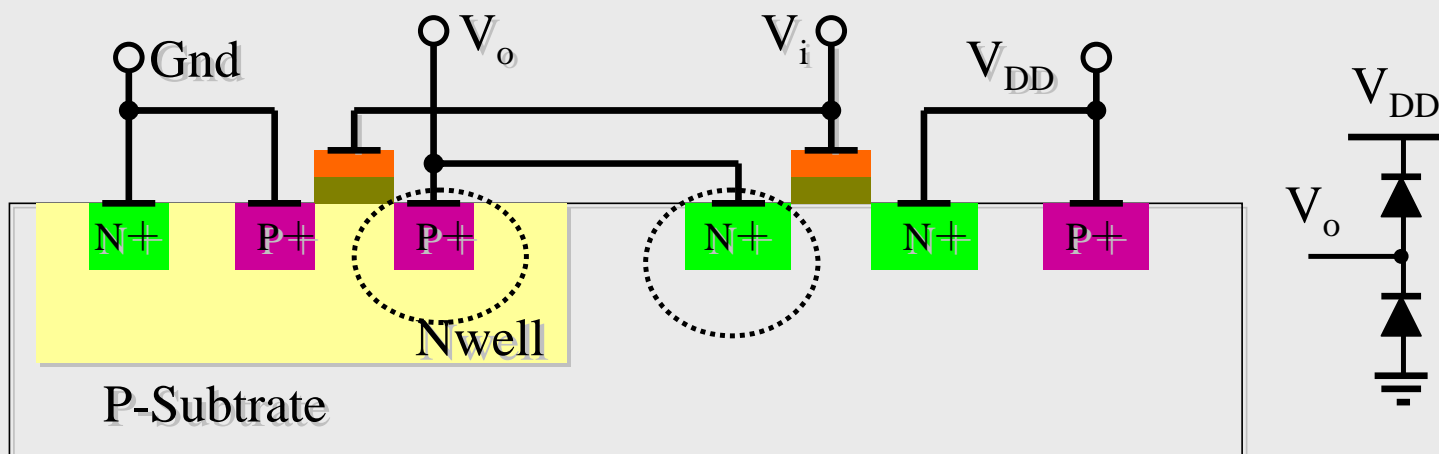
- 静电放电ESD保护
  - ESD: Electrostatic Discharge
  - 人体或其他机械运动所积累的静电电压远远超过MOS晶体管的栅击穿电压
  - 集成电路需具备ESD保护电路
  - HBM (human body model)是一种常用的测试集成电路抗静电能力的电路



# 可靠性设计

- 静电放电ESD保护
  - 集成电路中接到MOS晶体管栅极的PIN更需ESD保护，一般为输入PIN；而接到扩散区的PIN相对不易受ESD损坏，一般为输出PIN

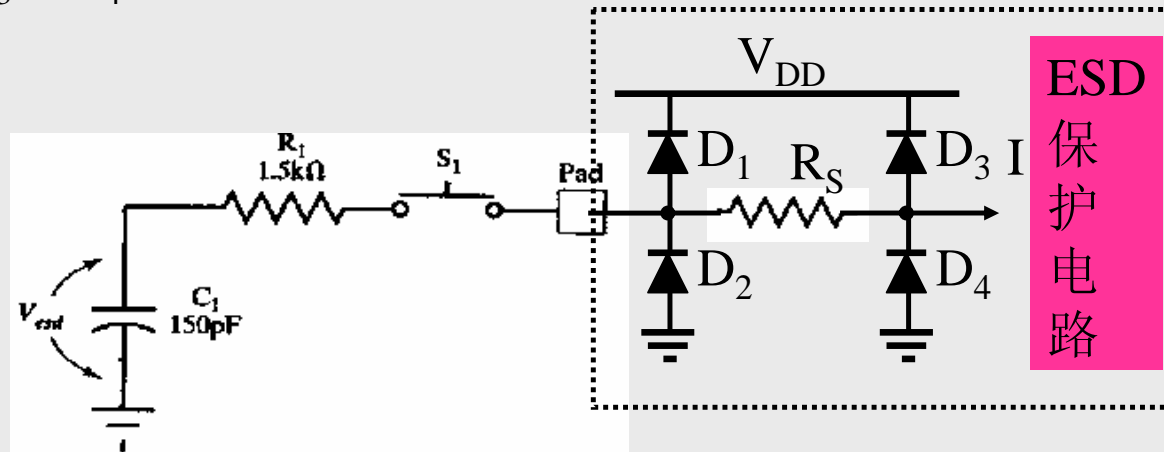
数字Buffer的剖面结构



# 可靠性设计

- 静电放电ESD保护

- 输入PIN的ESD保护电路
- 目标：保证连接到核心电路的I点电压低于栅氧击穿电压
- $D_1$ ,  $D_2$ 的面积要大，以吸收大部分的电流，构成第一级保护
- $R_S$ 的典型值从几百~几千欧姆，一般为多晶导线电阻或扩散区电阻，宽度要大一些，以免被大电流烧坏
- $D_3$ ,  $D_4$ 与 $R_S$ 一起构成第二级保护，面积可以小一些

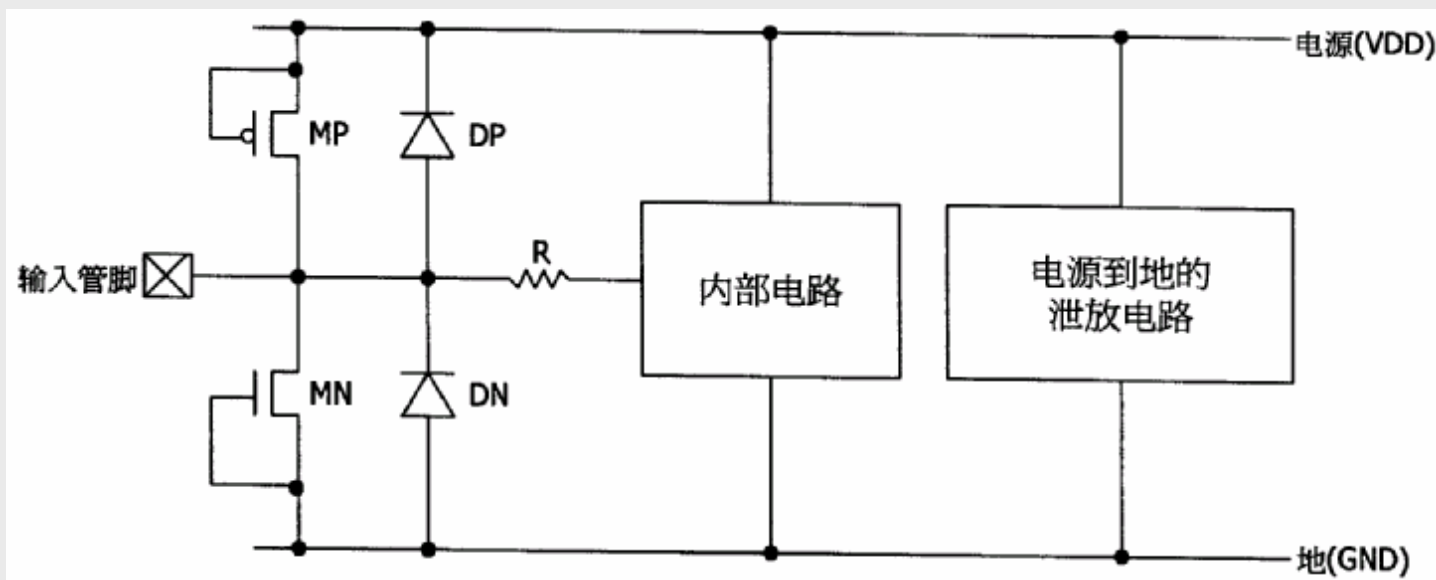


# 可靠性设计

- 静电放电ESD保护
  - 输入ESD保护电路会带来寄生效应，可能会影响输入信号的带宽和增加热噪声
    - 串联保护电阻
    - 保护二极管的PN结电容
  - 对于某些输出Buffer比较小的输出PIN，也可采用上述ESD保护电路，不过串联电阻可减小至50~500欧姆

# 可靠性设计

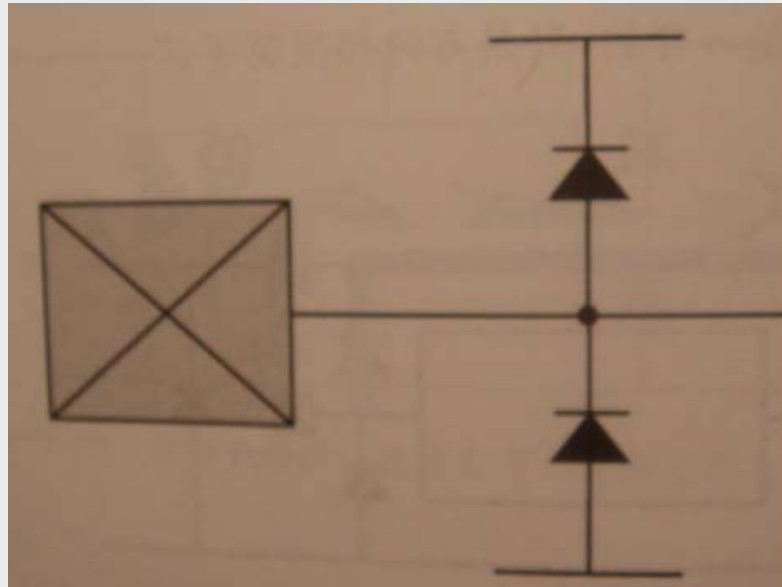
- 静电放电ESD保护



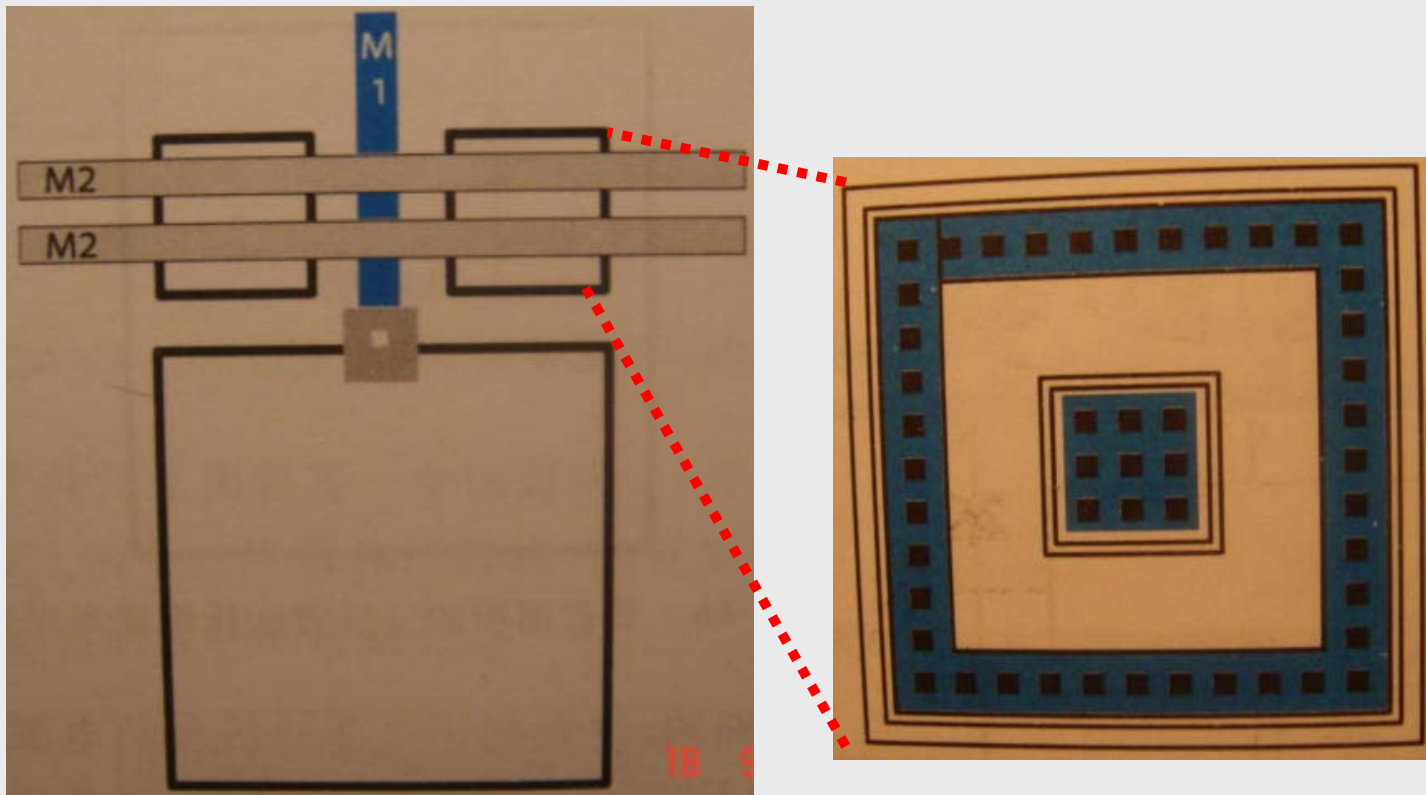
整个芯片静电放电(ESD)保护规划

?对于多电源的芯片怎么进行ESD保护规划

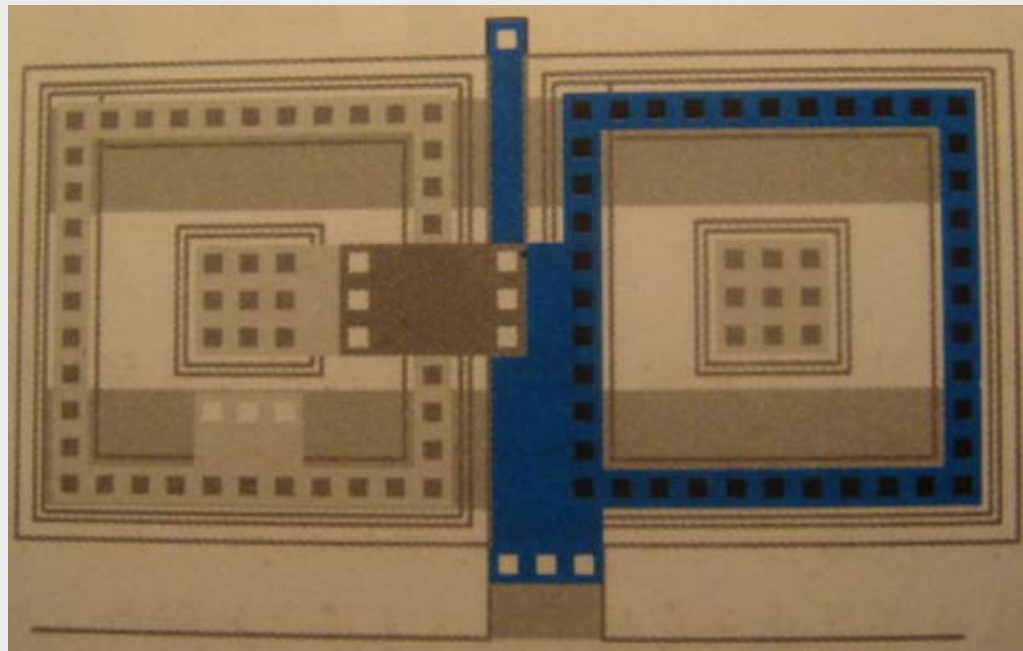
例: PAD与ESD



# 例：PAD版图布局

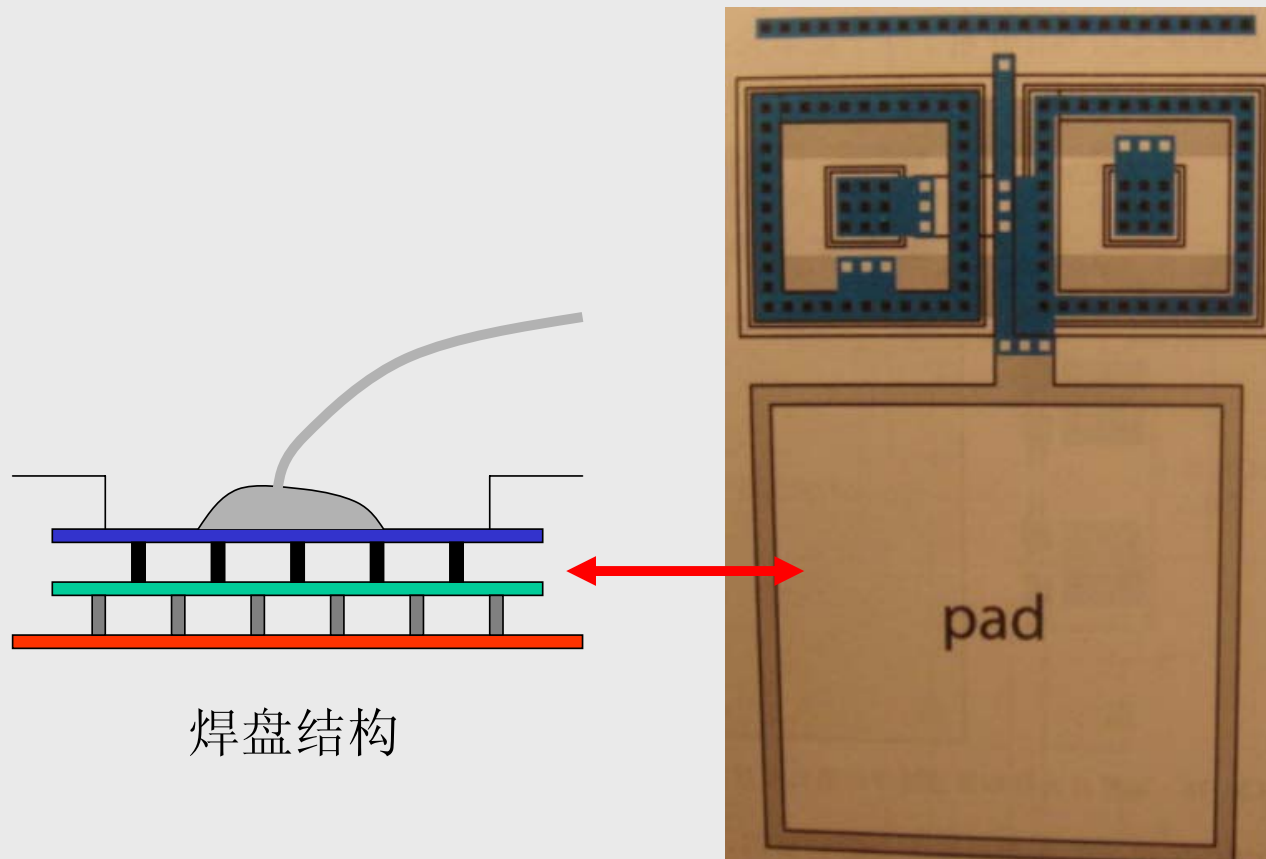


# 例：PAD版图布局

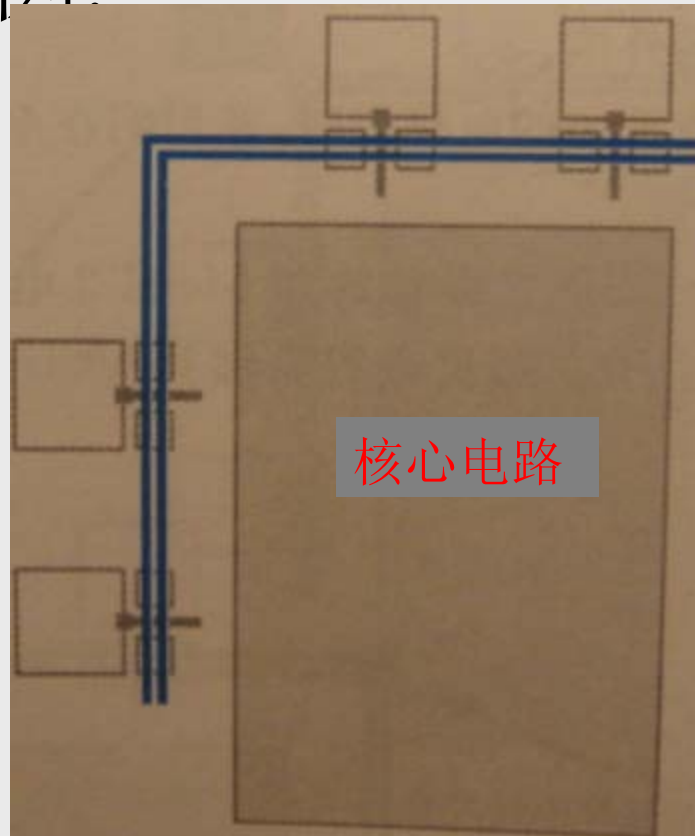




## 例： 模拟PAD的最终版图



## 例：模拟PAD RING布局

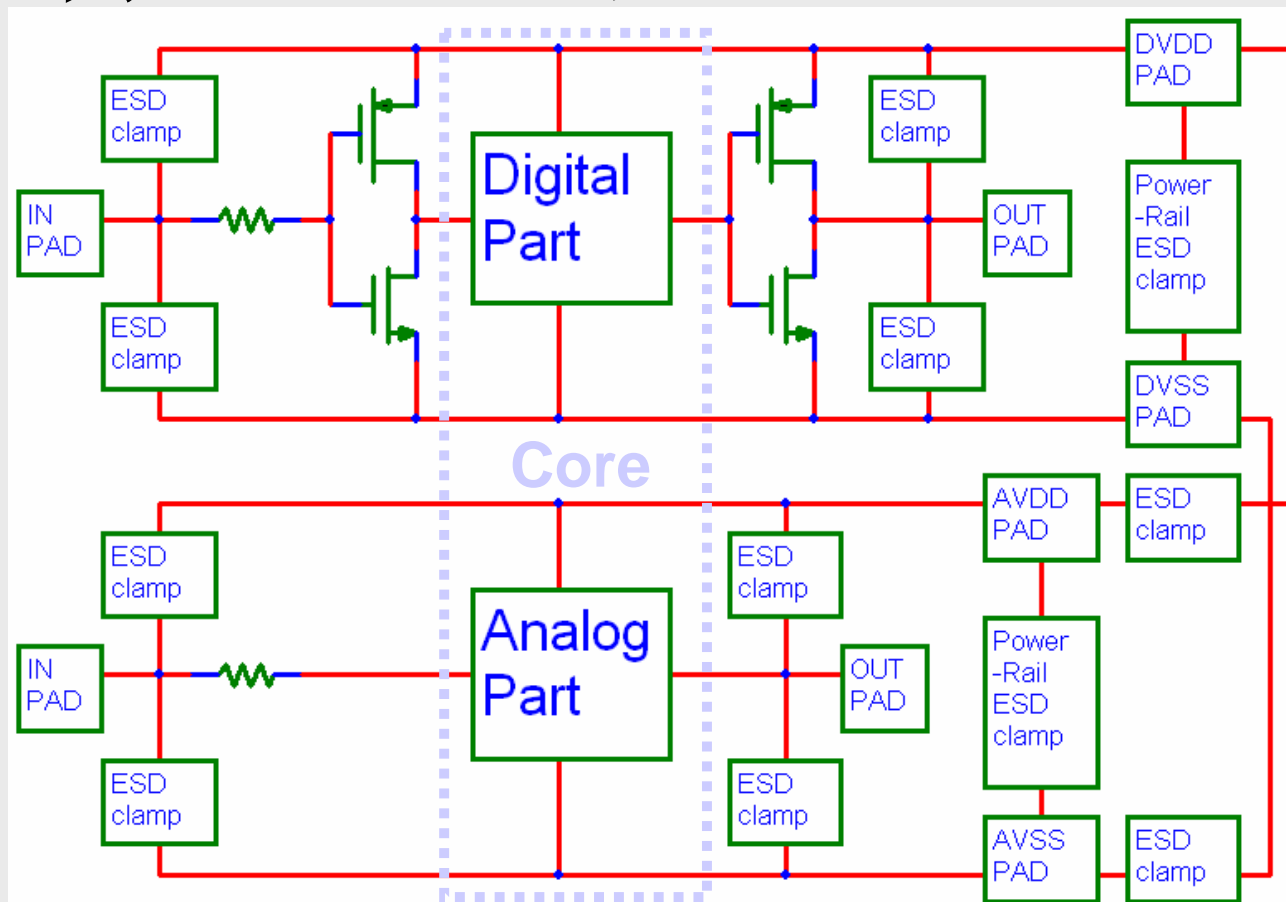


数字PAD版图？

数字PAD RING？

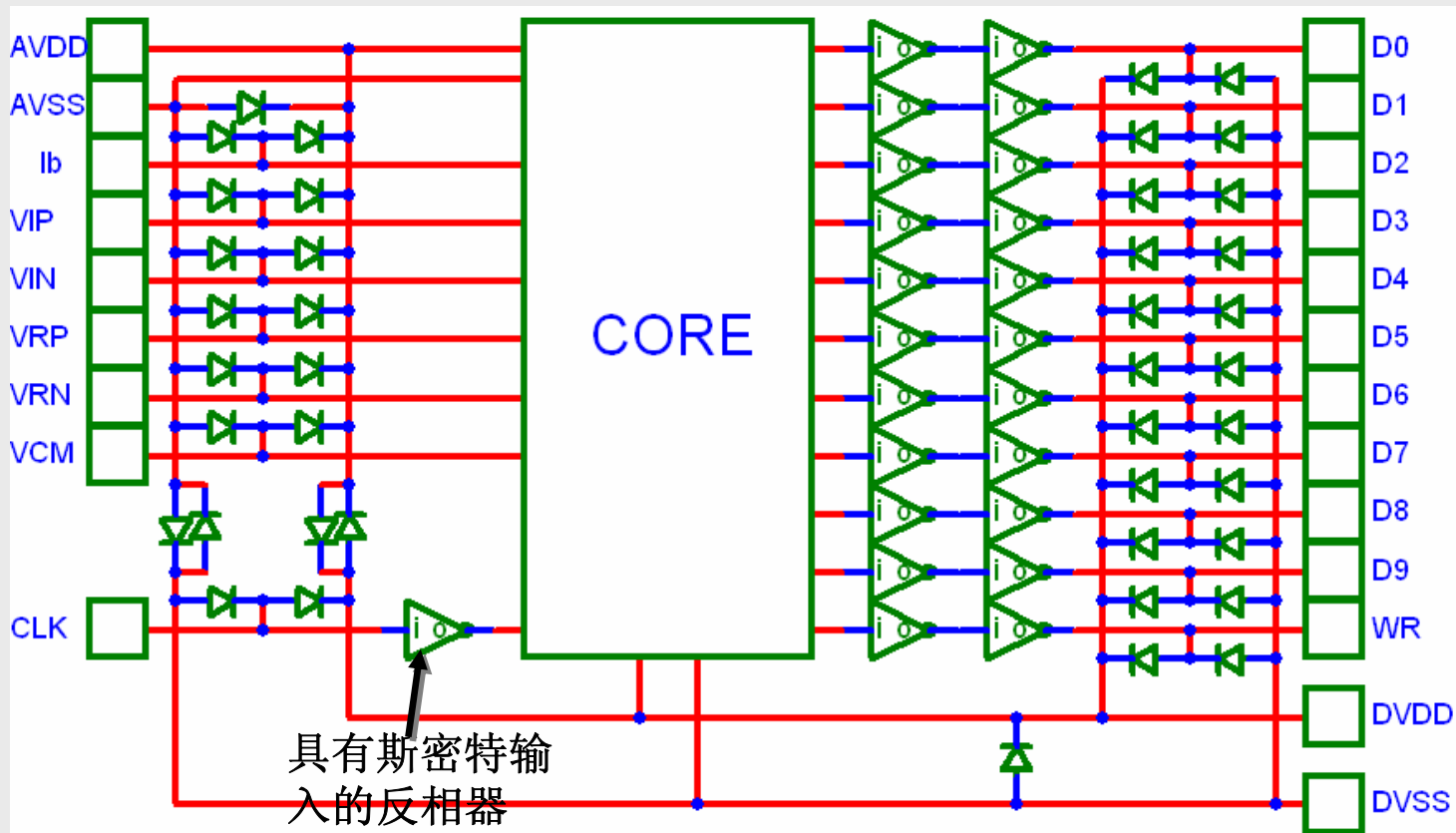
电源地PAD？

## 例: PAD与ESD



对clamp器件的要求：正向导通压降小

## 例：“打包”后的芯片电路



## 本课小结

- 设计规则(Topological Design Rule)
  - 0.6um DPDM CMOS工艺拓扑设计规则
  - 符合设计规则的反相器版图设计流程
- 版图设计准则(‘Rule’ for performance)
  - 匹配、抗干扰、寄生的优化、可靠性
  - 重点：存在的问题和解决的办法

## 第四部分

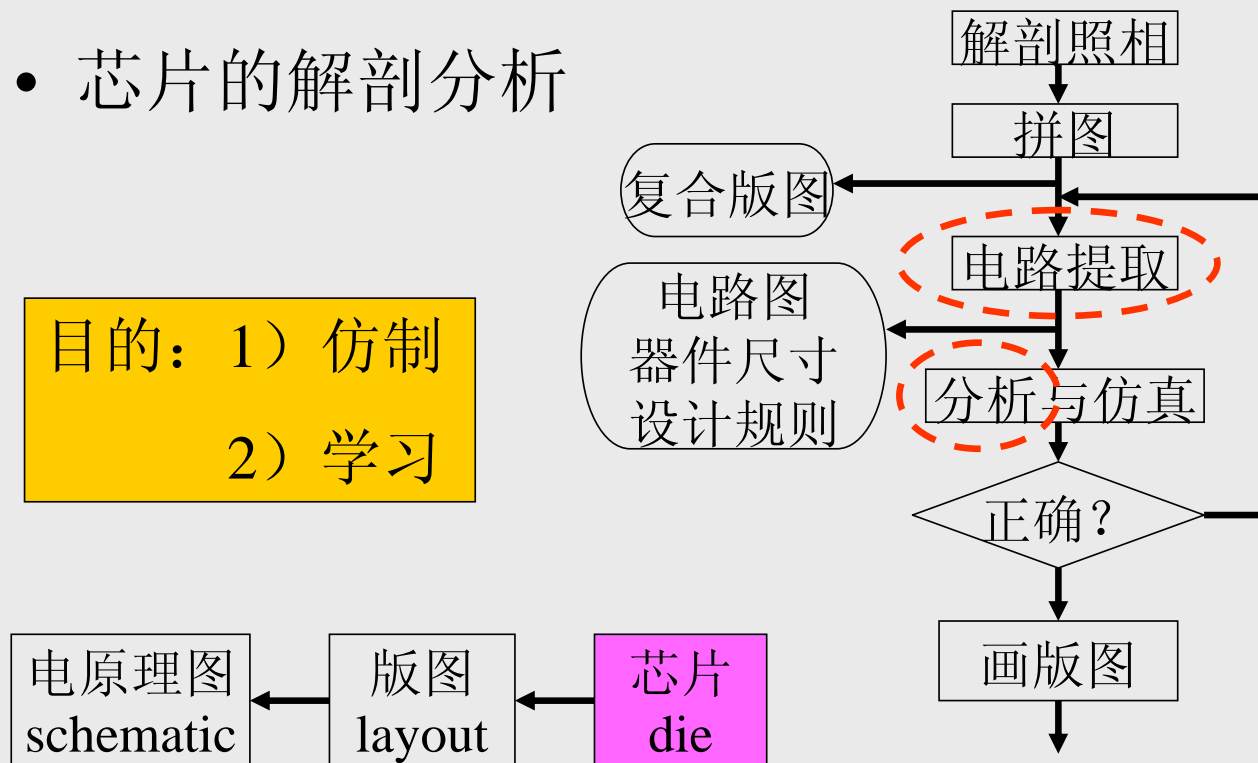
# 标准单元库版图分析

- 版图电路分析（以COMPASS自带的1.2um CMOS标准单元库为例）
  - 开关与反相器
  - 基本逻辑单元
  - 触发器单元
- 基于标准单元库的自动布局布线

# 版图电路分析

- 芯片的解剖分析

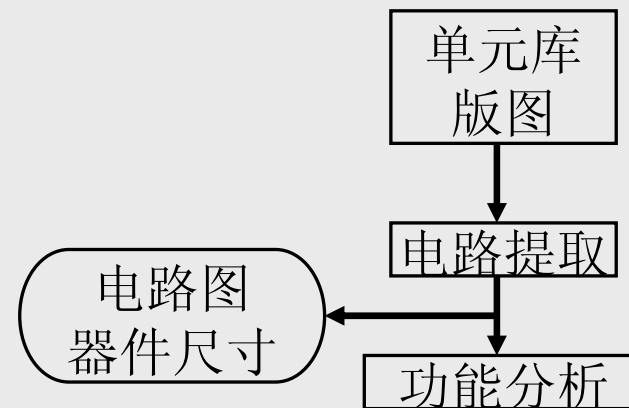
目的：1) 仿制  
2) 学习





# 版图电路分析

- 培养从版图提取电路的能力
- 学习版图设计的方法和技巧
- 复习和巩固基本的数字单元电路设计



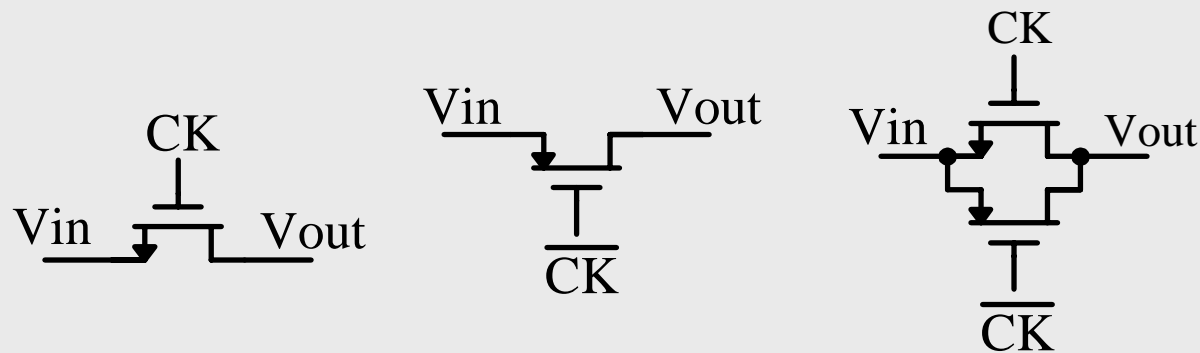
# MOS开关和反相器

- MOS开关和反相器是MOS数字电路的最基本单元，理解和掌握它们的工作原理和电路特性，有助于分析更复杂的标准单元的版图和电路。

# MOS开关和反相器

- MOS开关

- 功能：当 $V_c$ 控制开关导通时, 将 $V_{in}$ 端的信息传送到 $V_{out}$ 端;当 $V_c$ 控制开关关闭时, 将 $V_{in}$ 端和 $V_{out}$ 端隔离.
- 分类: N沟开关、 P沟开关、 CMOS开关

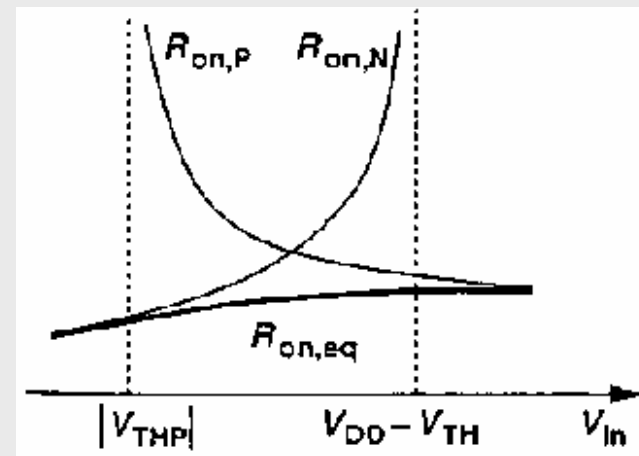


# MOS开关和反相器

- MOS开关

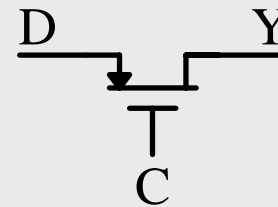
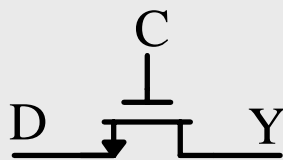
- 传输特性

- N沟开关：传输高电平有阈值损失，导通电阻变化大
    - P沟开关：传输低电平有阈值损失，导通电阻变化大
    - CMOS开关：N沟和P沟互补，无阈值损失，近似线性电阻



# MOS开关和反相器

- MOS开关
  - 开关逻辑
    - N沟开关:  $Y = C \cdot D + \overline{C} \cdot U$
    - P沟开关:  $Y = \overline{C} \cdot D + C \cdot U$



# MOS开关和反相器

- MOS开关

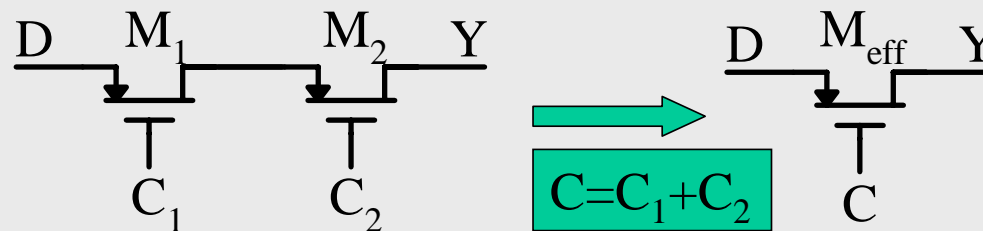
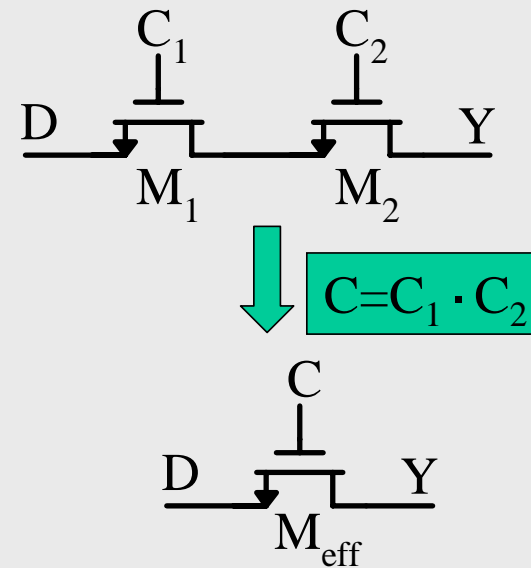
- 开关逻辑

- N沟开关串联:

$$Y = C_1 \cdot C_2 \cdot D + \overline{C_1} \cdot \overline{C_2} \cdot U$$

- P沟开关串联:

$$Y = (\overline{C_1} + \overline{C_2}) \cdot D + (C_1 + C_2) \cdot U$$



# MOS开关和反相器

- MOS开关

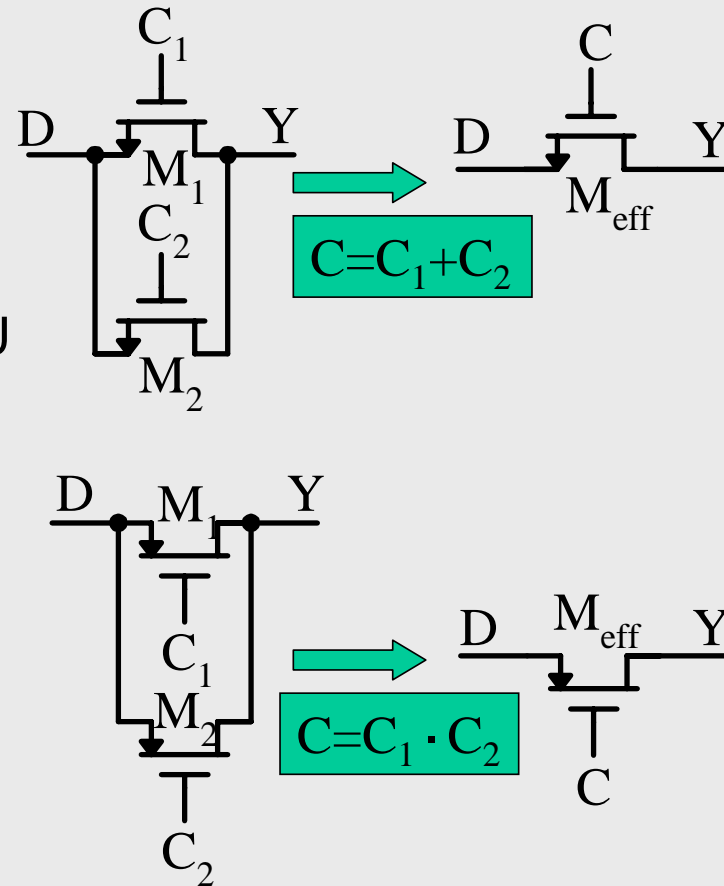
- 开关逻辑

- N沟开关并联:

$$Y = (C_1 + C_2) \cdot D + \overline{(C_1 + C_2)} \cdot U$$

- P沟开关并联:

$$Y = \overline{C_1} \cdot \overline{C_2} \cdot D + C_1 \cdot C_2 \cdot U$$



# MOS开关和反相器

- MOS开关

- 开关逻辑

- N沟开关连线

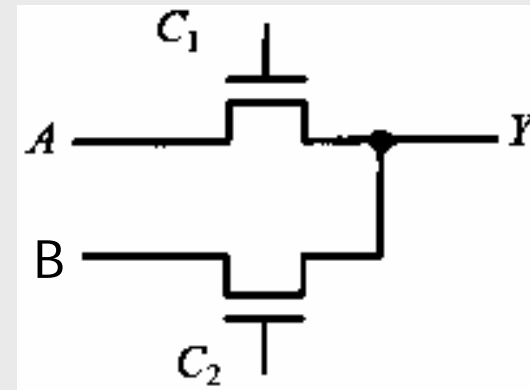
$$Y = A \cdot C_1 + B \cdot C_2 + \overline{(C_1 + C_2)} \cdot U$$

- P沟连线

$$Y = A \cdot \overline{C_1} + B \cdot \overline{C_2} + \overline{C_1 \cdot C_2} \cdot U$$

- P沟-N沟连线

$$Y = A \cdot \overline{C_1} + B \cdot C_2 + C_1 \cdot \overline{C_2} \cdot U$$

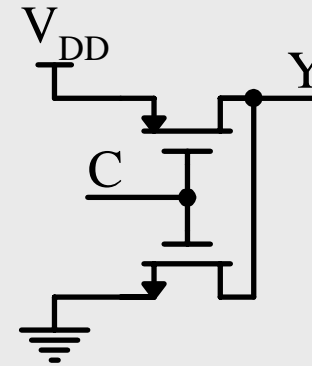


约束条件：同时只有一个  
开关导通；  
可扩展到n个开关连线



# MOS开关和反相器

- MOS开关
  - 开关逻辑
    - CMOS反相器可以看成是两个开关的连线逻辑
$$Y = 1 \cdot \bar{C} + 0 \cdot C + (C \cdot \bar{C}) \cdot U = \bar{C}$$
    - 满足同时只有一个开关导通的约束条件

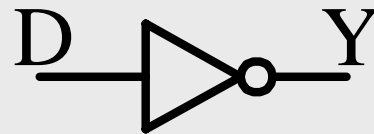


# MOS开关和反相器

- MOS反相器

- 功能：逻辑求反, 即输出是输入的逻辑反信号
- 逻辑表达式及符号

$$Y = \overline{D}$$



# MOS开关和反相器

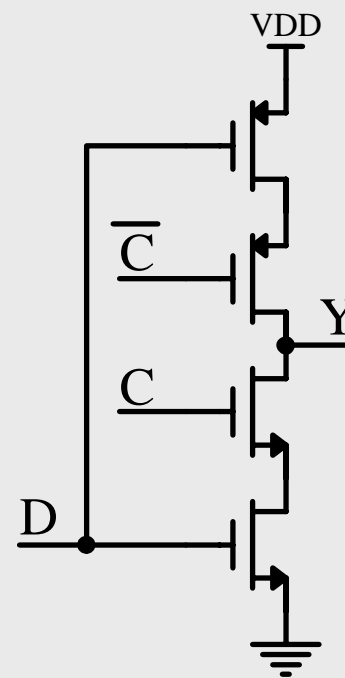
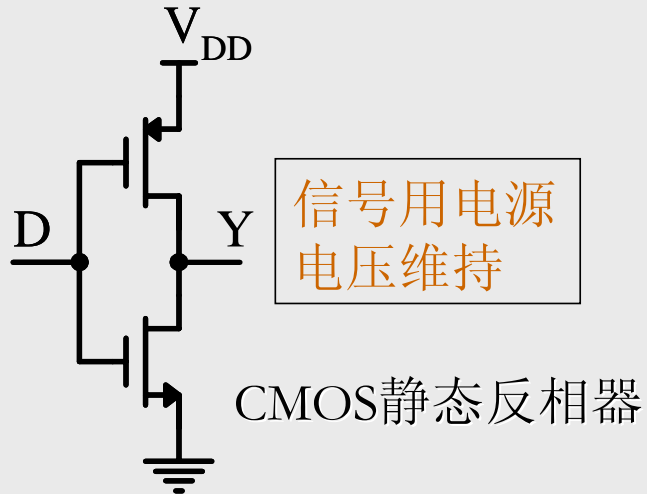
- MOS反相器
  - 反相器的特性指标：
    - 输出高电平
    - 输出低电平
    - 静态功耗: 输入为静止态时的功耗
    - 阈值电平: 输出电平转换时所对应的输入电平
    - 直流传输特性:  $V_o \sim V_{in}$  特性
    - 瞬态特性: 电平转换时对负载电容的充放电速度

# MOS开关和反相器

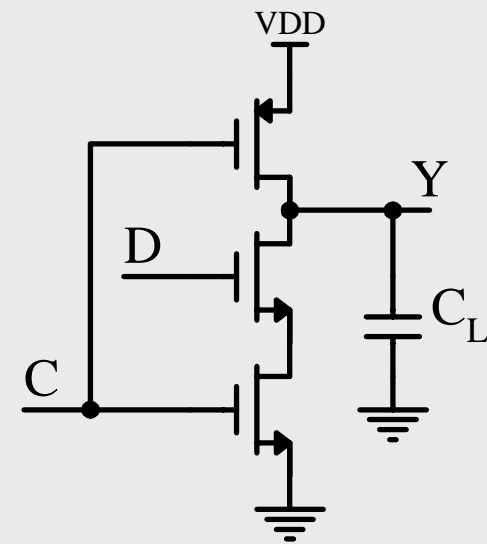
- MOS反相器

- 分类

- 静态和动态
    - 无比与有比（略）



(a) 采样保持



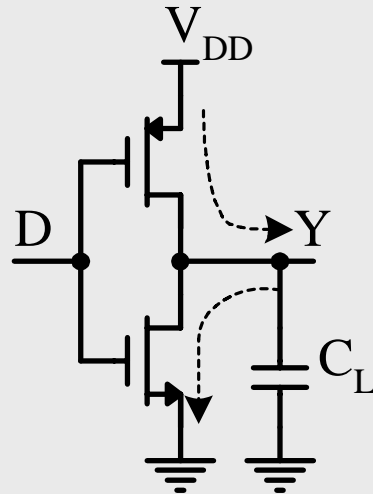
(b) 预充求值

CMOS动态反相器

# MOS开关和反相器

- MOS反相器

- 设计准则：上升时间和下降时间相等



设计要求：  $t_r = t_f$

如果：  $V_{TN} = -V_{TP}$

则： 
$$\frac{W_N}{W_P} = \frac{\mu_P}{\mu_N}$$

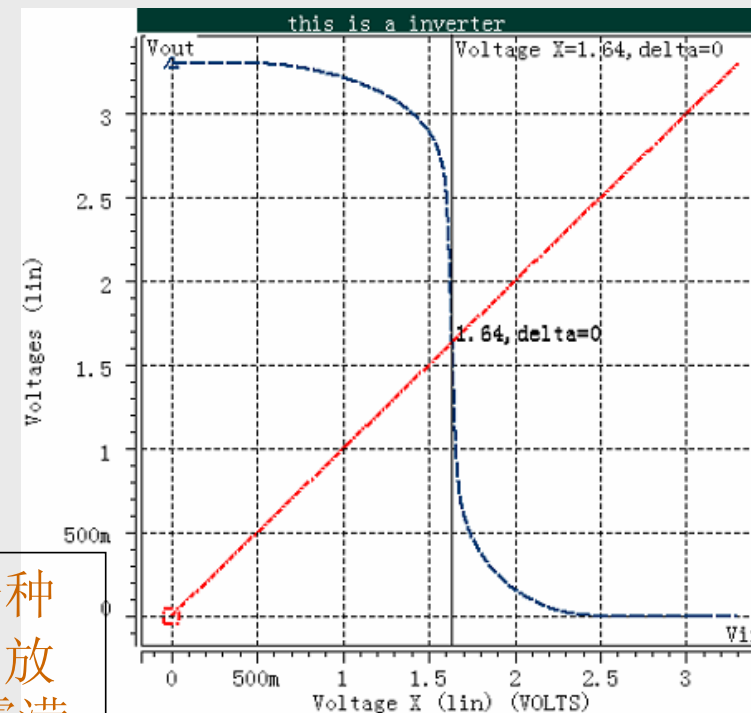
# MOS开关和反相器

- CMOS互补反相器

- 特性指标

- 输出高电平:  $V_{DD}$
    - 输出低电平: 0
    - 静态功耗:  $\approx 0$
    - 充放电特性:  $t_r \approx t_f$
    - 阈值电平:  $\approx V_{DD}/2$

功能上对 $W_P/W_N$ 无要求，是一种无比反相器；但要达到上述充放电和阈值电平特性， $W_P/W_N$ 需满足上一页的要求



直流传输特性

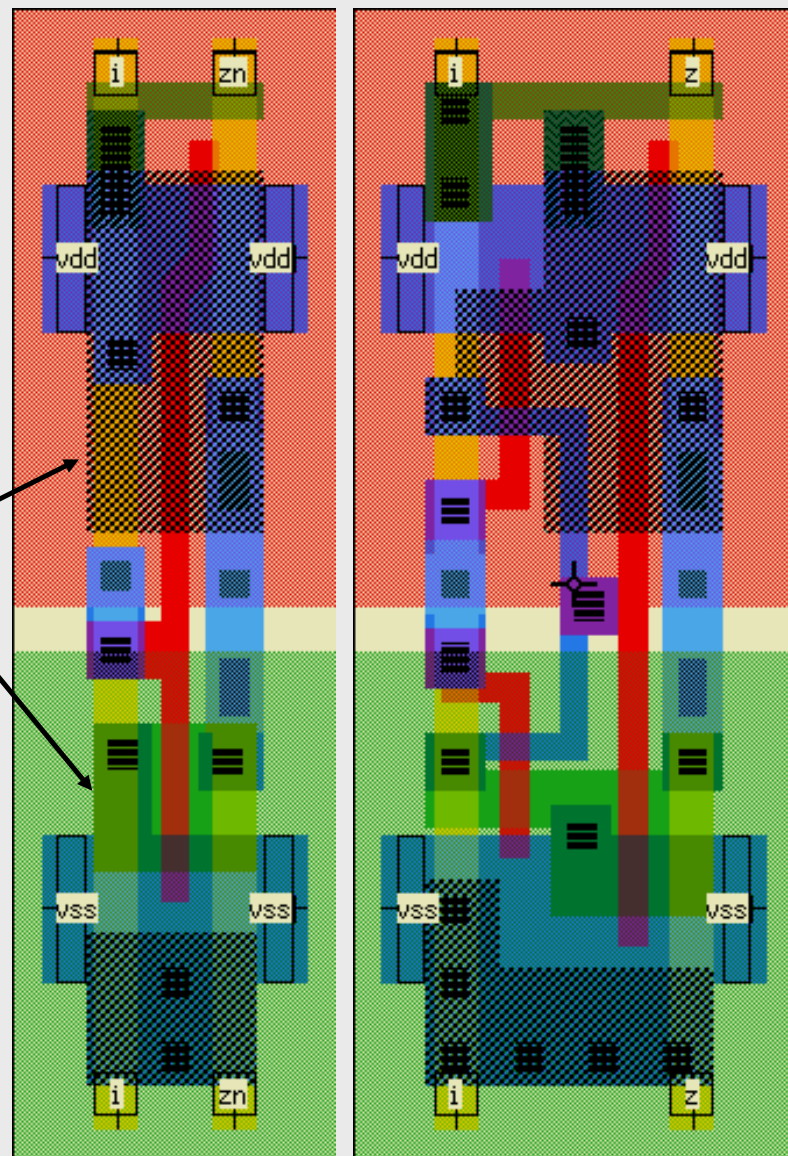
# MOS开关 和反相器

- CMOS反相器版图实例

– 注意  $\frac{W_P}{W_N} \cong 2.5$

– 多个反相器串联，  
前后管子尺寸之比

- 延时最小 1:2~3
- 功耗最小 1:2~10



## 基本逻辑单元

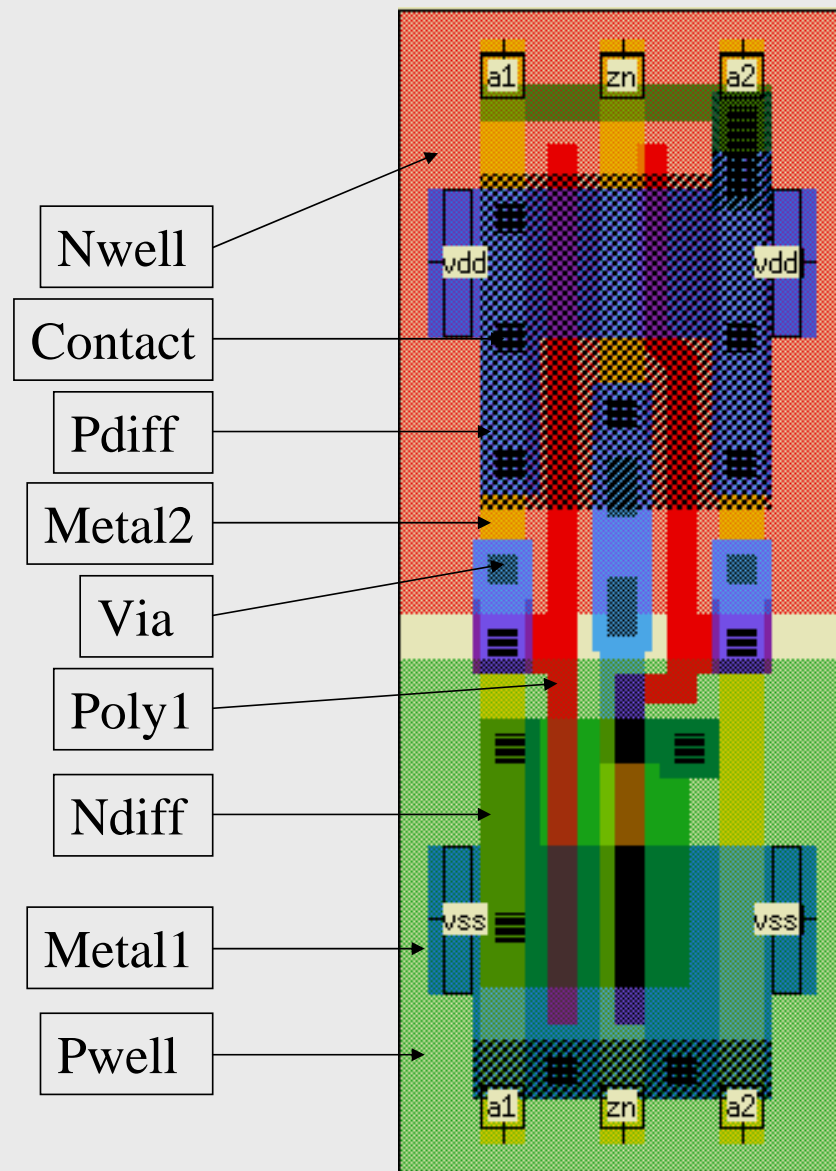
- CMOS基本逻辑单元是由MOS开关（传输门）和反相器组合发展而成的电路, 在这里，给出版图，从中提取电路，分析其逻辑功能，以及版图设计的特点



# 基本逻辑单元

- 单元一版图

这些层的定义适用于后面所有单元



# 基本逻辑单元

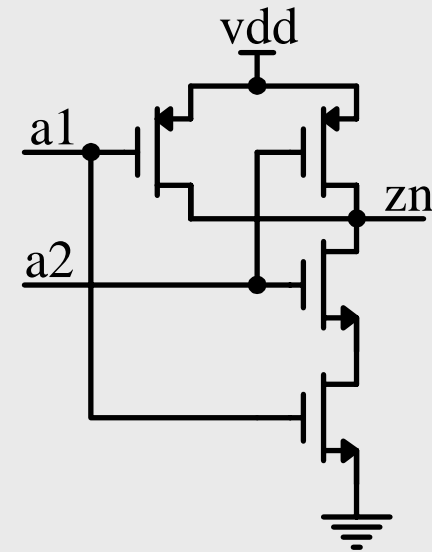
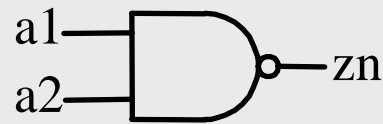
- 单元一（与非门）

- 提取出来的电路
- 逻辑符号

- 逻辑功能

$$zn = \overline{a1 \cdot a2}$$

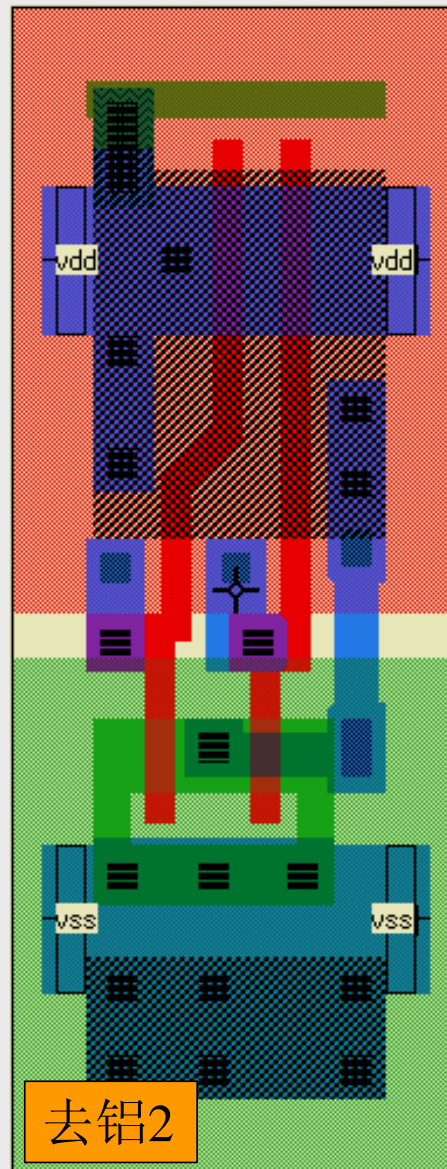
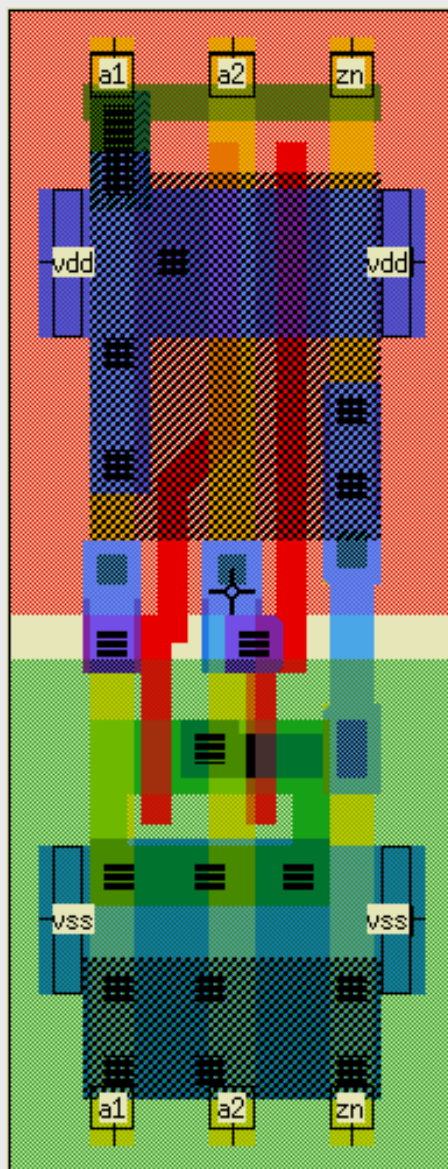
- 真值表



a1	a2	zn
0	0	1
0	1	1
1	0	1
1	1	0

# 基本逻辑单元

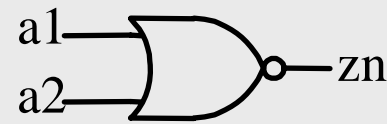
- 单元二版图



# 基本逻辑单元

- 单元二（或非门）

- 提取出来的电路
- 逻辑符号

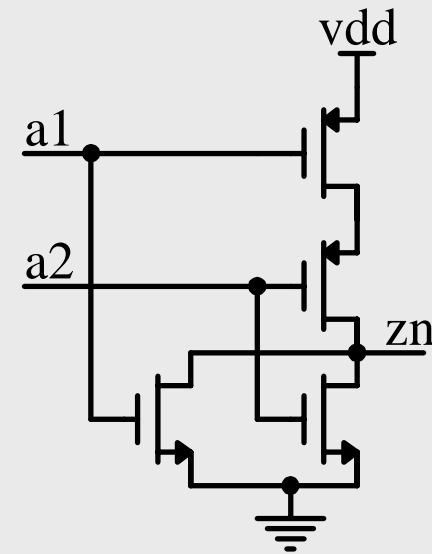


- 逻辑功能

$$zn = \overline{a1 + a2}$$

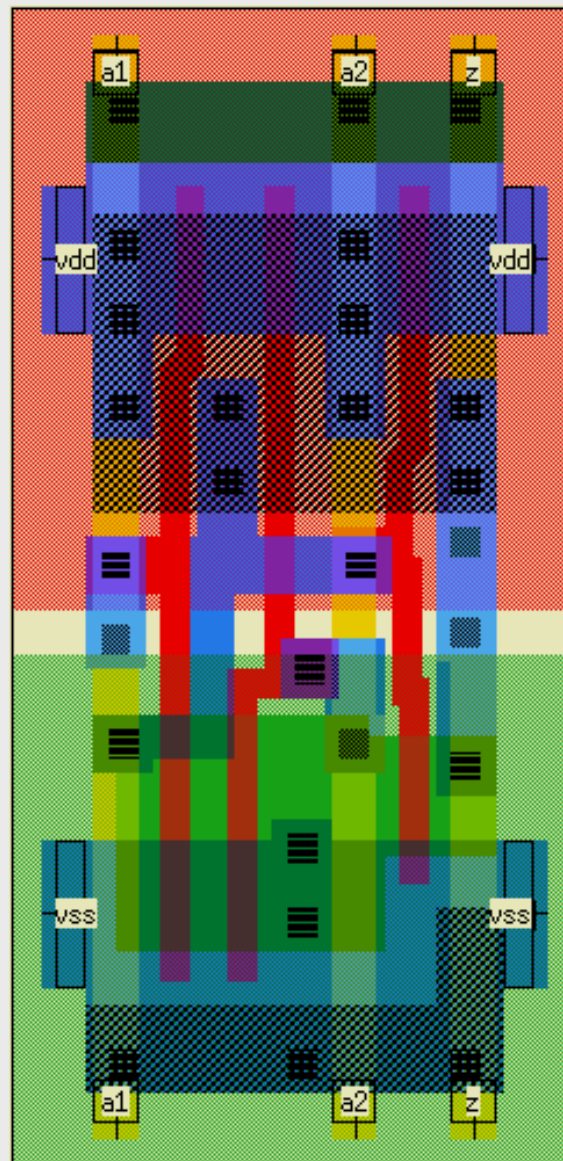
- 真值表

a1	a2	zn
0	0	1
0	1	0
1	0	0
1	1	0



# 基本逻辑 单元

- 单元三版图



# 基本逻辑单元

- 单元三（与门）

- 提取出来的电路

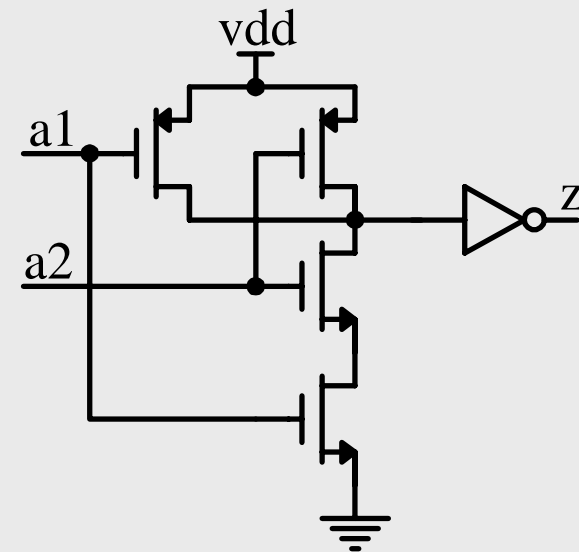
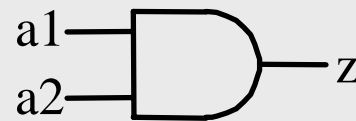
- 逻辑符号

- 逻辑功能

$$z = a1 \cdot a2$$

- 真值表

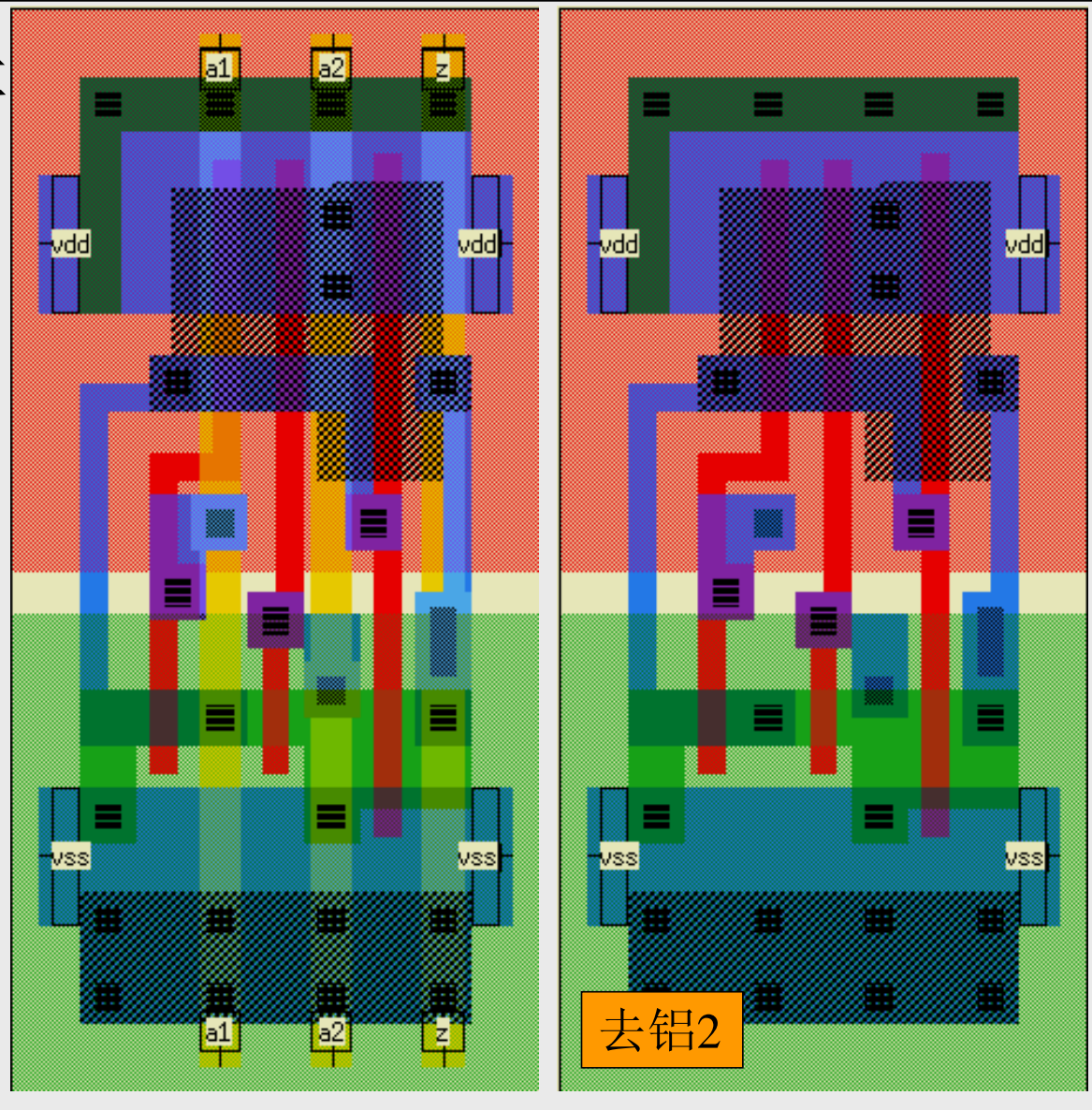
a1	a2	z
0	0	0
0	1	0
1	0	0
1	1	1





# 基本逻辑单元

- 单元四版图



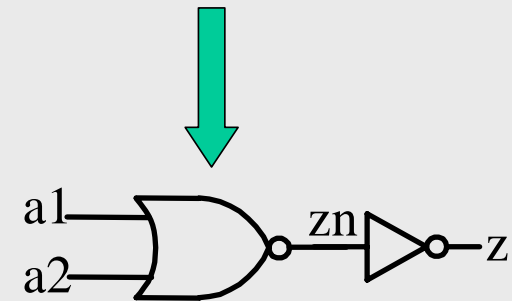
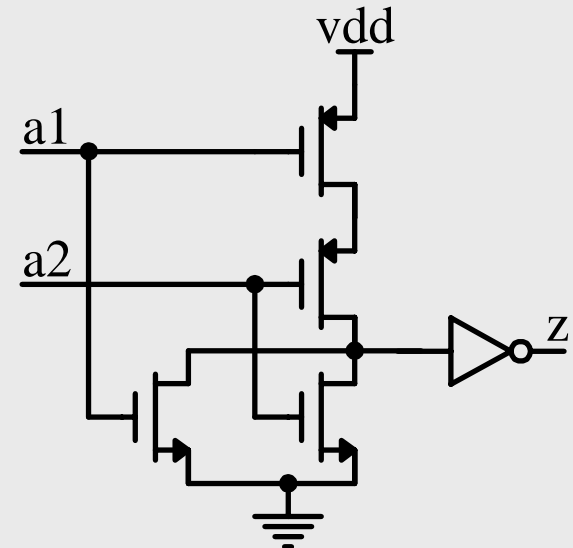
# 基本逻辑单元

- 单元四（或门）
  - 提取出来的电路
  - 逻辑符号
  - 逻辑功能
  - 真值表



$$z = a1 + a2$$

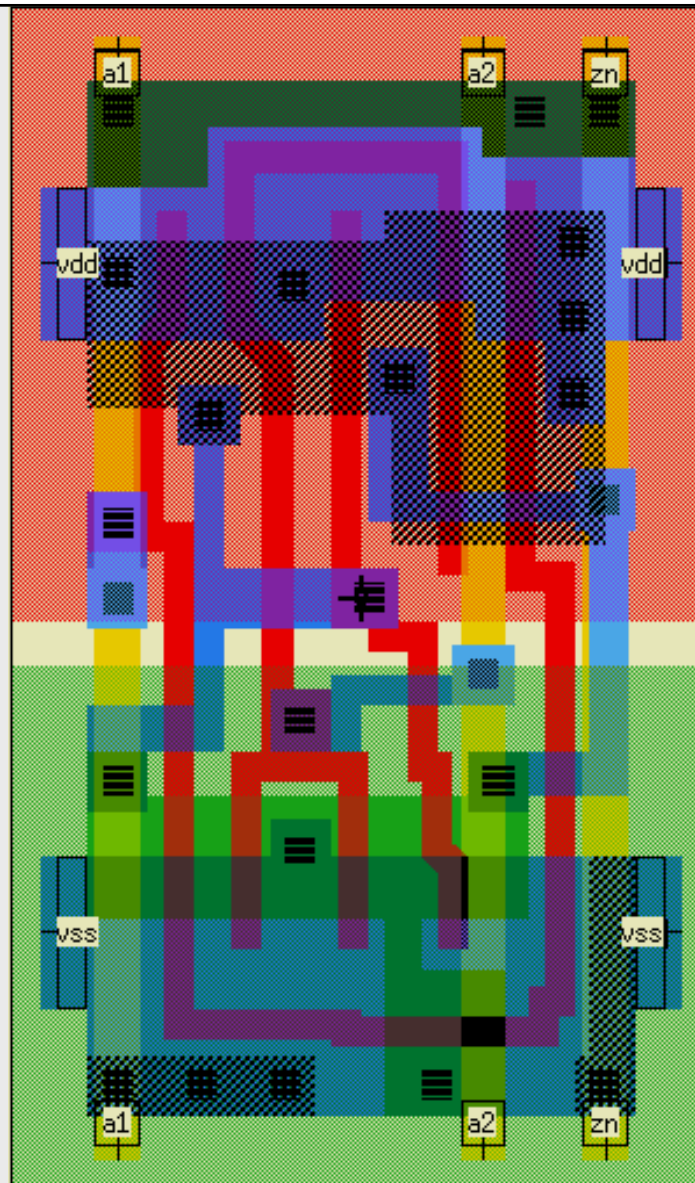
a1	a2	z
0	0	0
0	1	1
1	0	1
1	1	1





# 基本逻辑 单元

- 单元五版图



# 基本逻辑单元

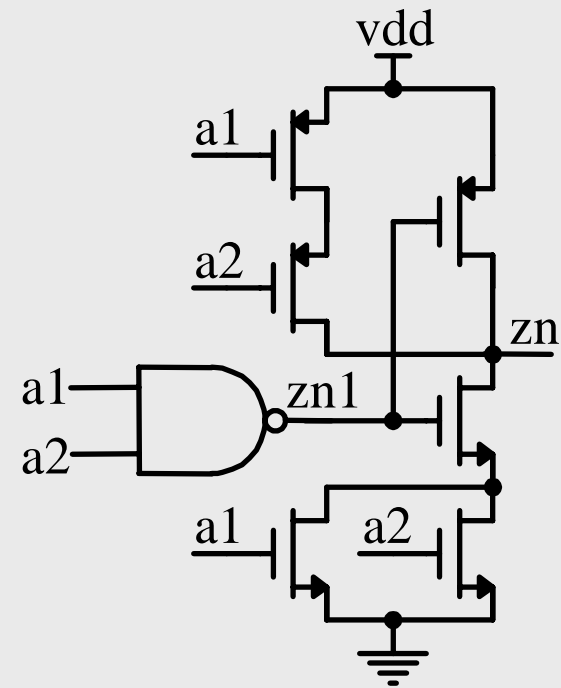
- 单元五（同或）
  - 提取出来的电路
  - 逻辑符号

- 逻辑功能

$$z_n = \bar{a_1} \cdot \bar{a_2} + a_1 \cdot a_2 = a_1 \odot a_2$$

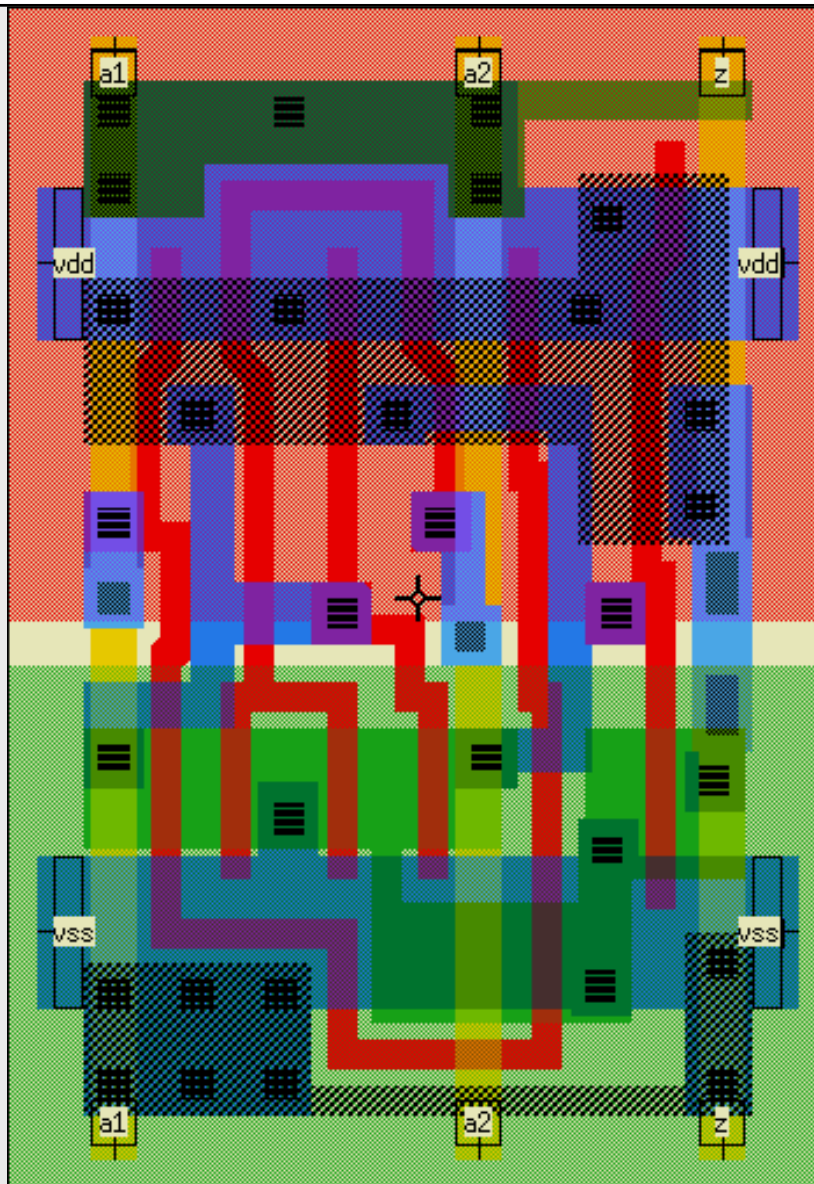
- 真值表

a1	a2	zn
0	0	1
0	1	0
1	0	0
1	1	1



# 基本逻辑单元

- 单元六版图



# 基本逻辑单元

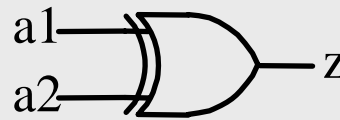
- 单元六（异或）

- 提取出来的电路

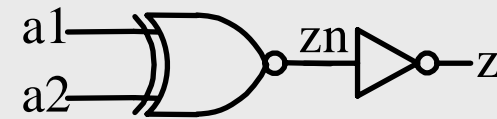
- 逻辑符号

- 逻辑功能

- 真值表



$$z = a1 \oplus a2$$

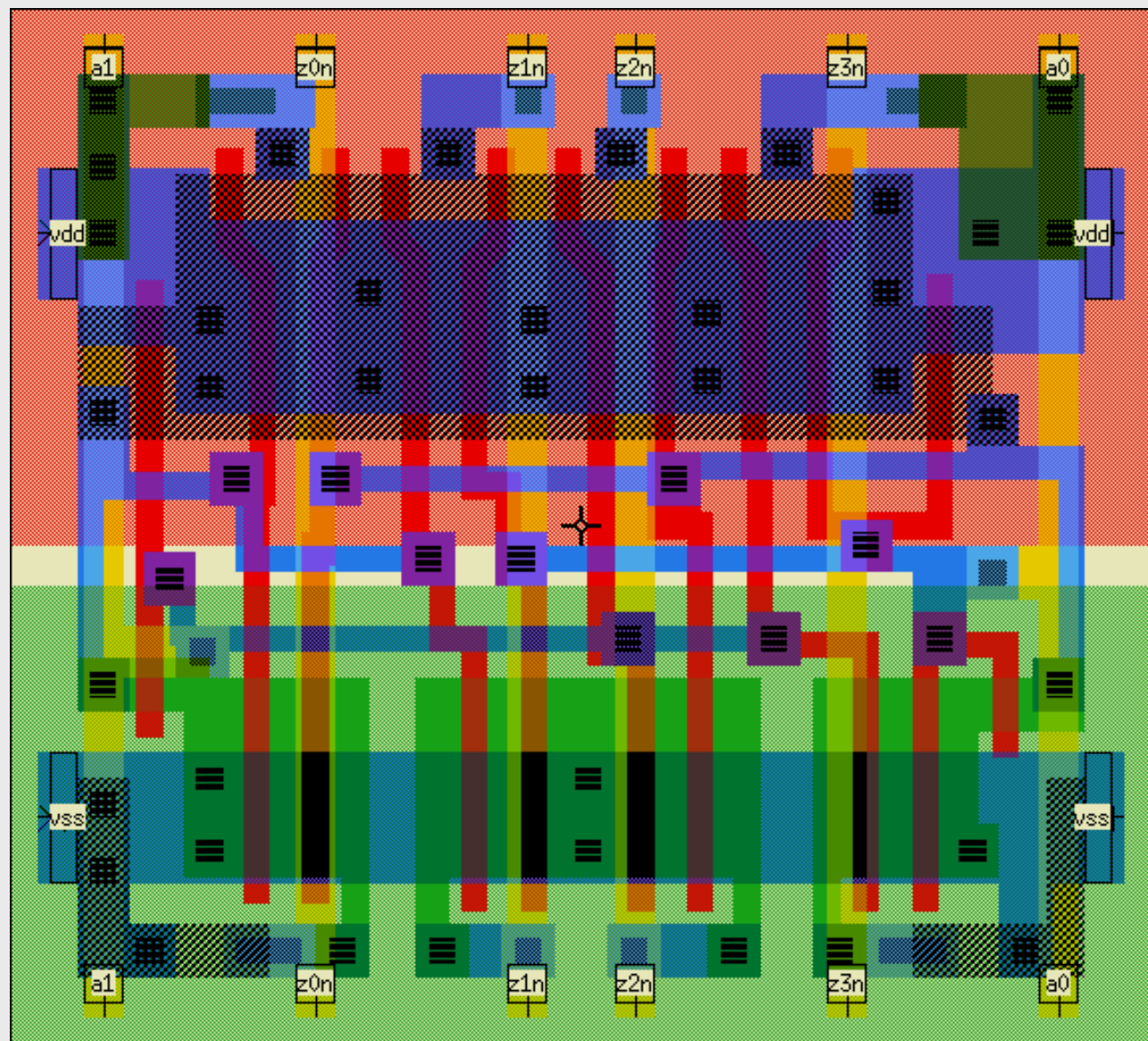


a1	a2	z
0	0	0
0	1	1
1	0	1
1	1	0



# 基本 逻辑单元

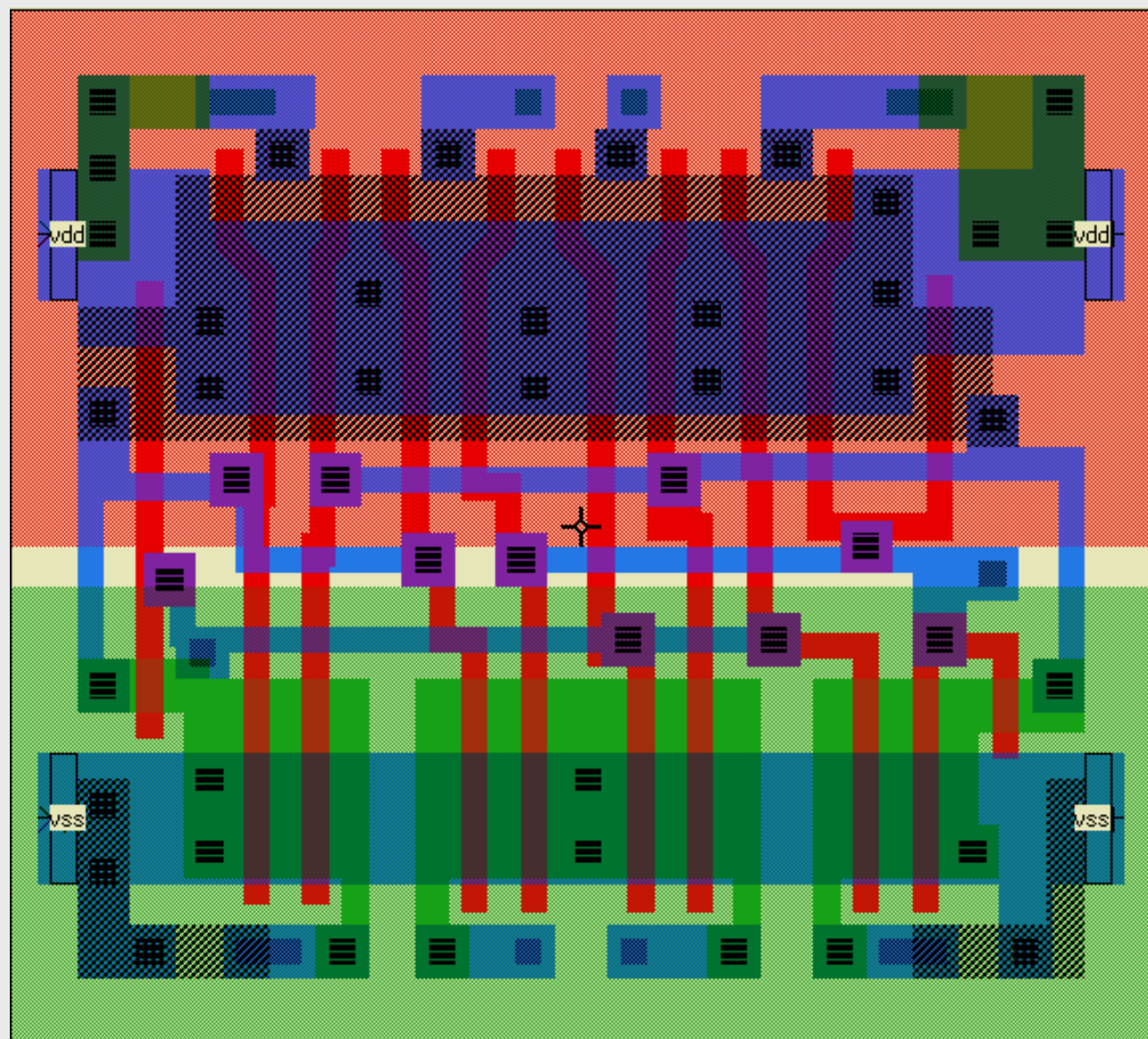
- 单元七版图



# 基本 逻辑单元

- 单元七版图

去铝2



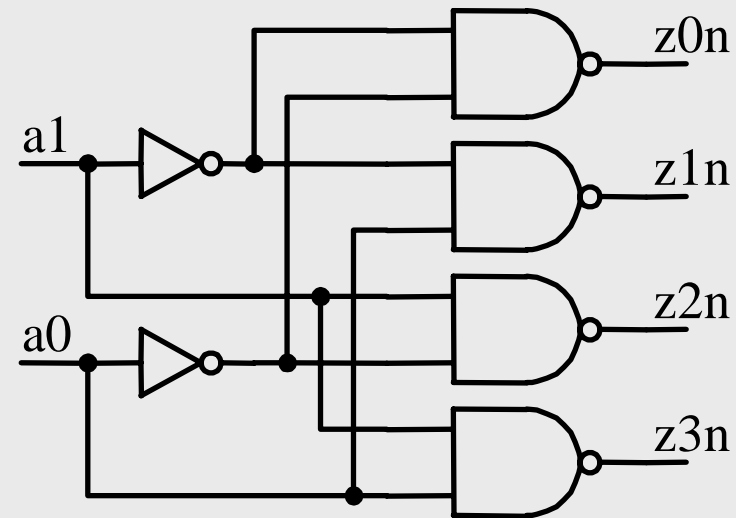
## 基本逻辑单元

- 单元七（2-4译码）

- 提取出来的电路

- 逻辑功能：2-4译码

- 真值表

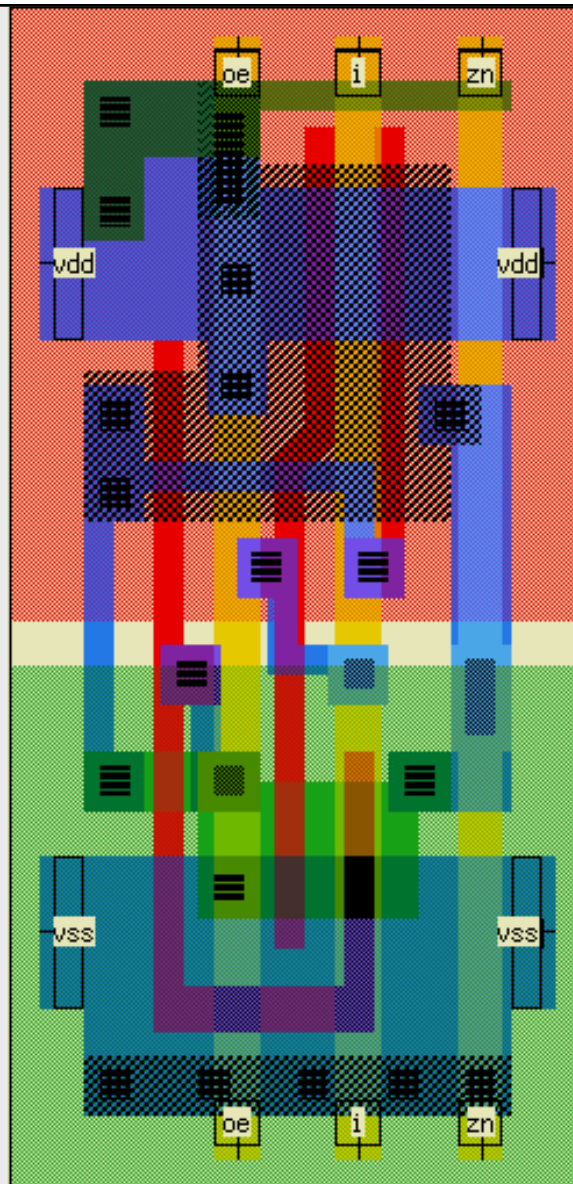


a1	a0	z0n	z1n	z2n	z3n
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



# 基本逻辑单元

- 单元八版图



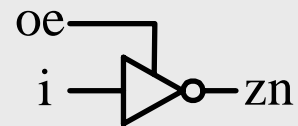


# 基本逻辑单元

- 单元八（带使能端的反相器）

- 提取出来的电路

- 逻辑符号

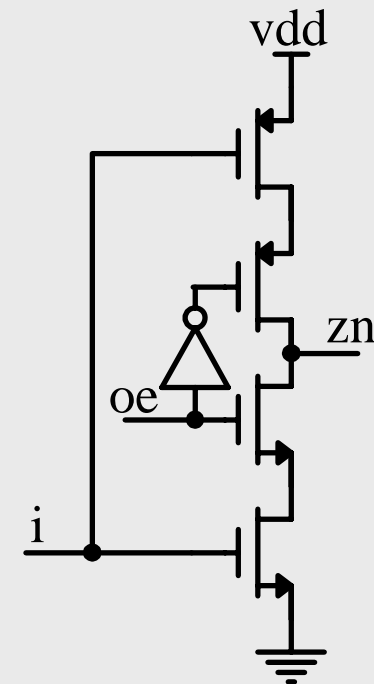


- 逻辑功能

$$zn = oe \cdot \bar{i} + \overline{oe} \cdot U$$

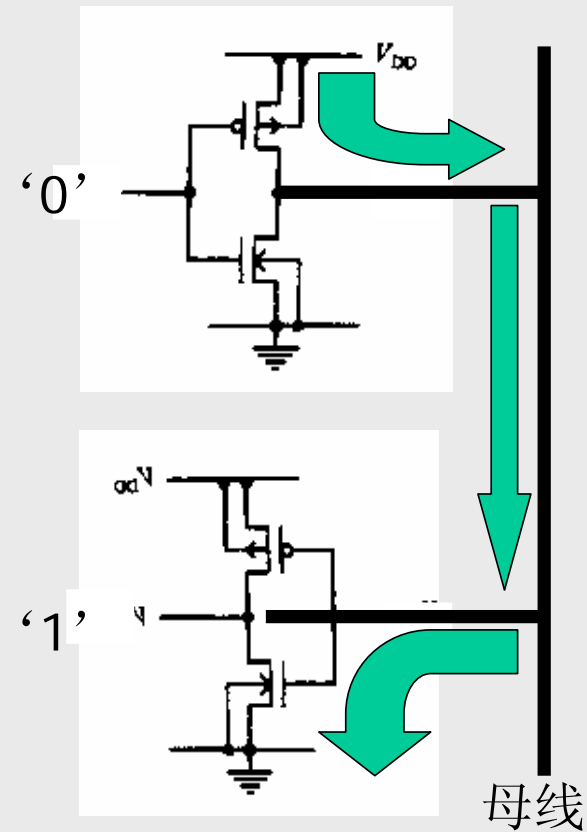
- 真值表

oe	i	zn
1	0	1
1	1	0
0	任意	高阻态



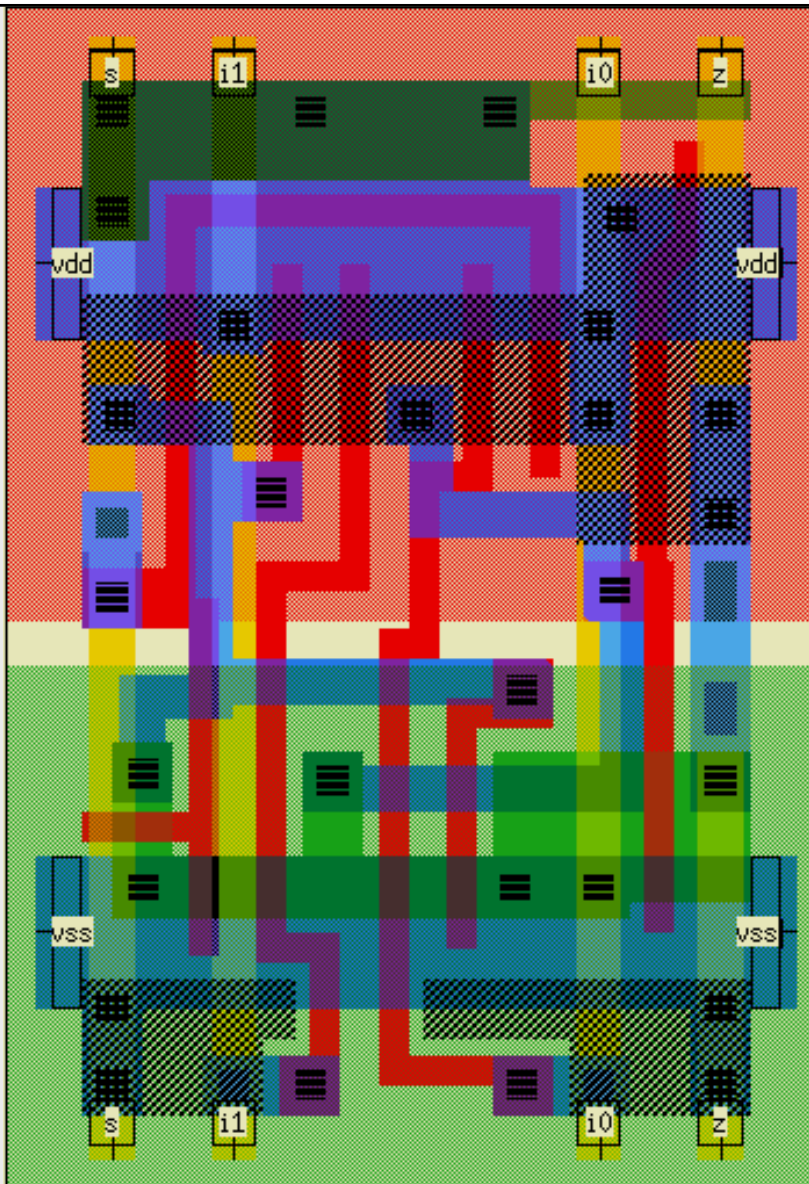
# 基本逻辑单元

- 带使能端反相器的作用
  - 简单反相器的缺陷
  - 多个门的输出同时送入母线时，需要有使能控制，每个时刻，最多有一个门的使能有效，如果没有一个使能有效，则母线高阻



# 基本逻辑单元

- 单元九版图



# 基本逻辑单元

- 单元九（二选一）

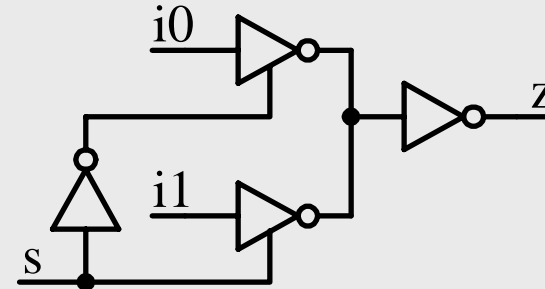
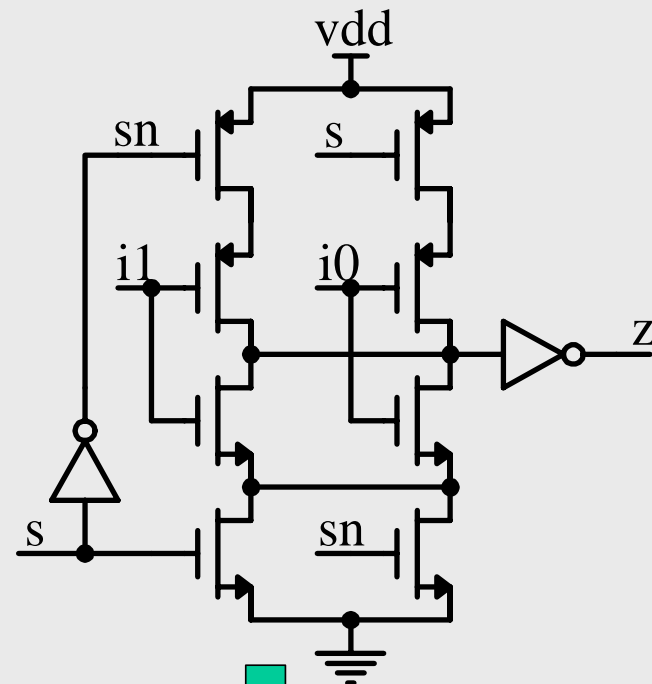
- 提取出来的电路

- 逻辑功能

$$z = s \cdot i1 + \bar{s} \cdot i0$$

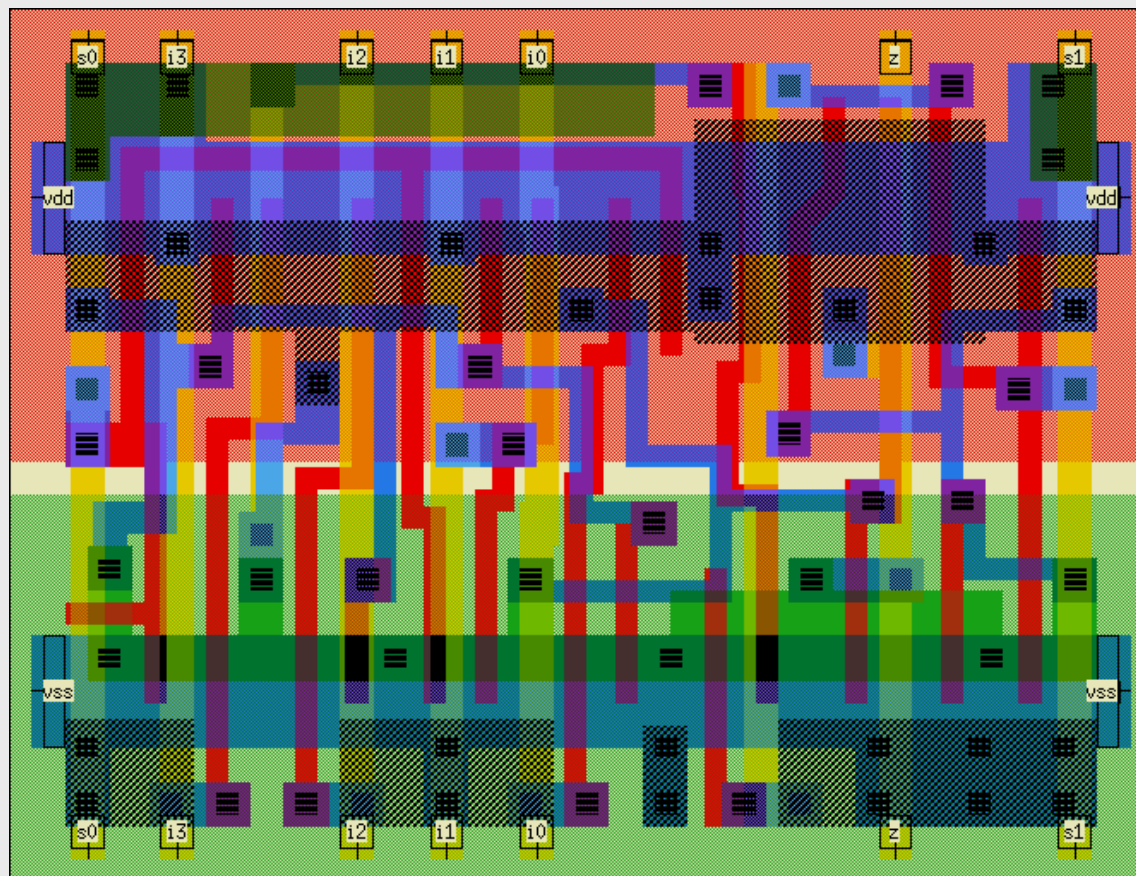
- 真值表

s	z
0	i0
1	i1



# 作业1

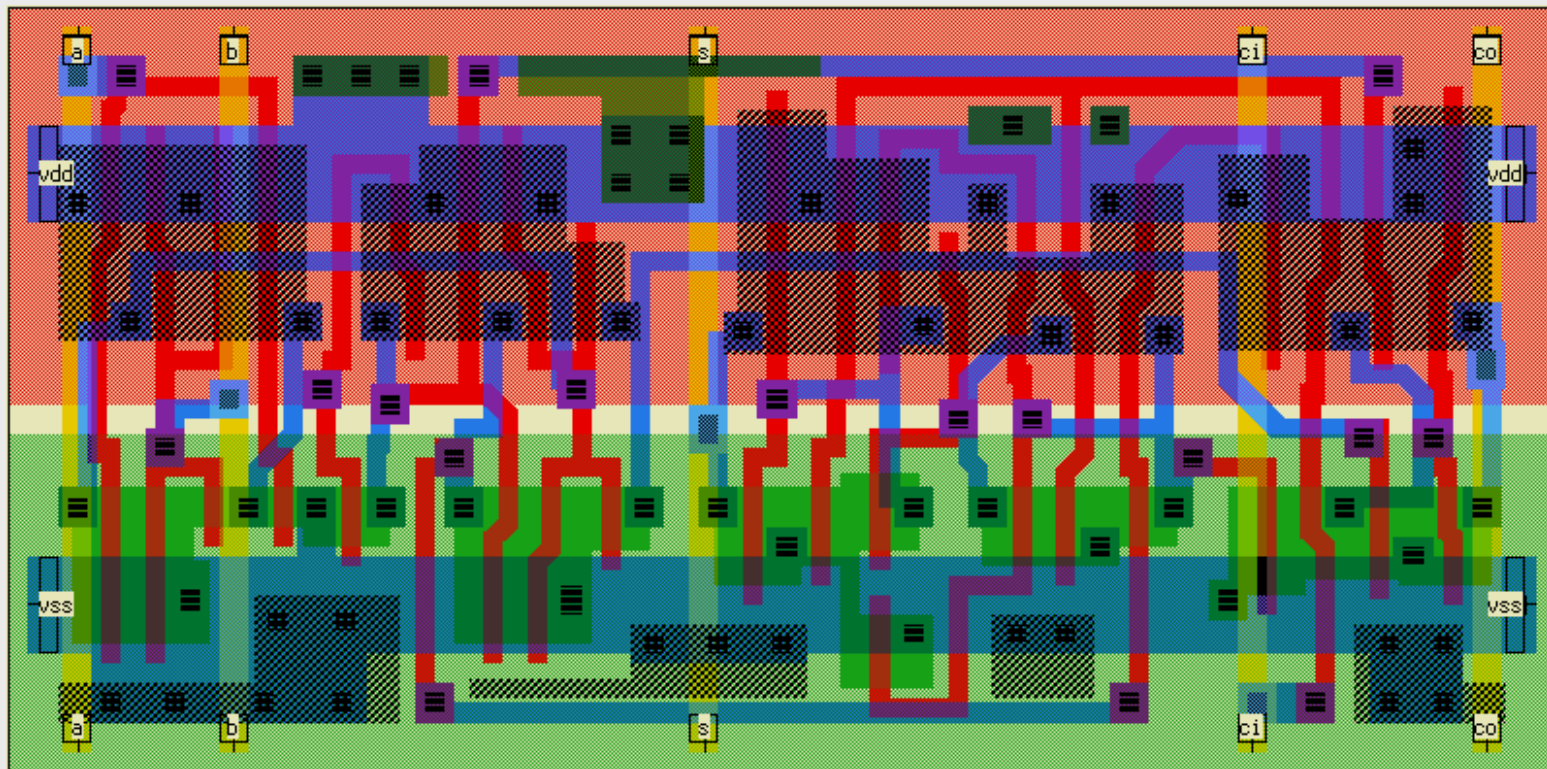
- 提取电路
- 分析逻辑关系





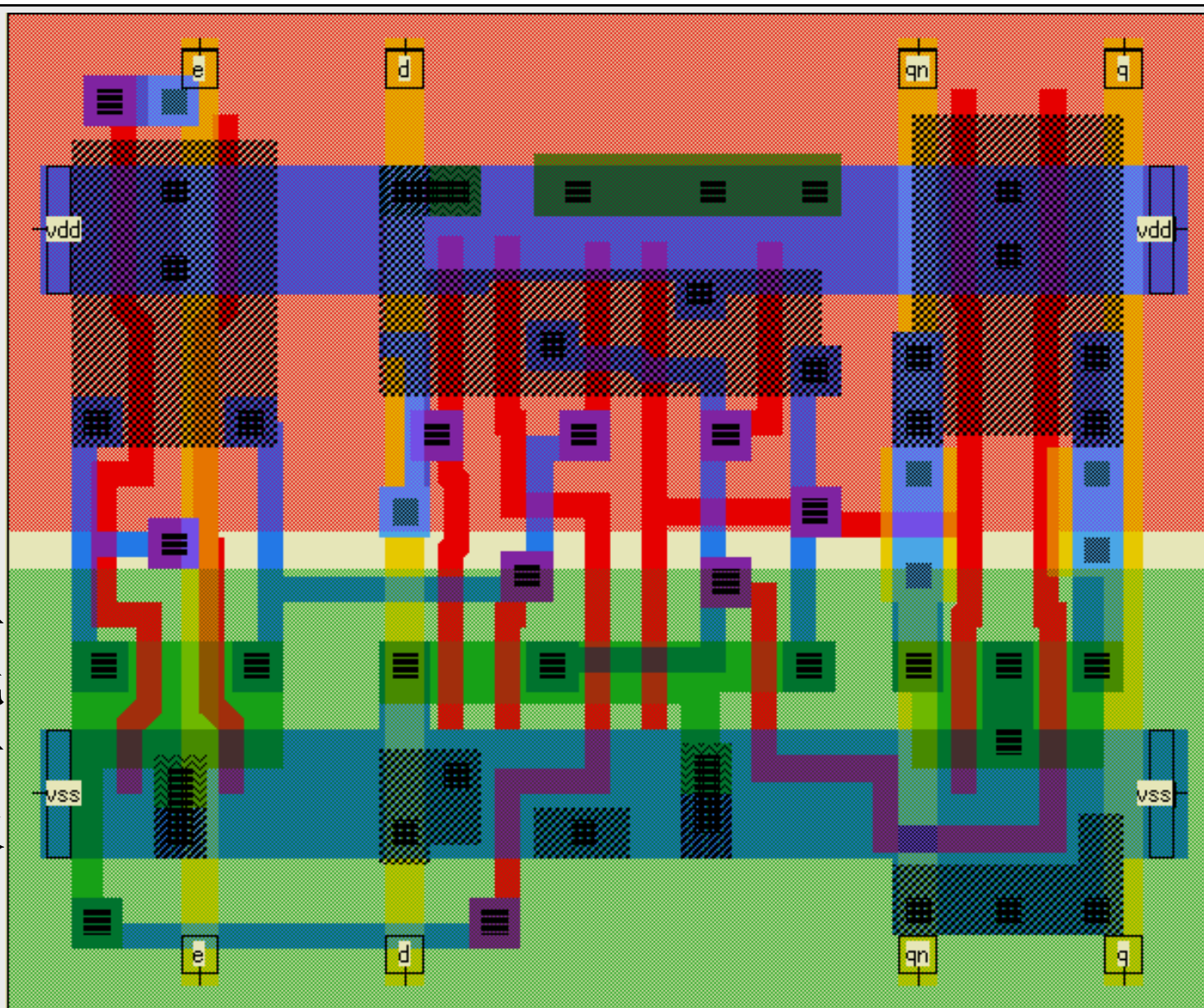
## 作业2

- 提取电路
- 分析逻辑关系



# 触发器单元

- 单元十版图

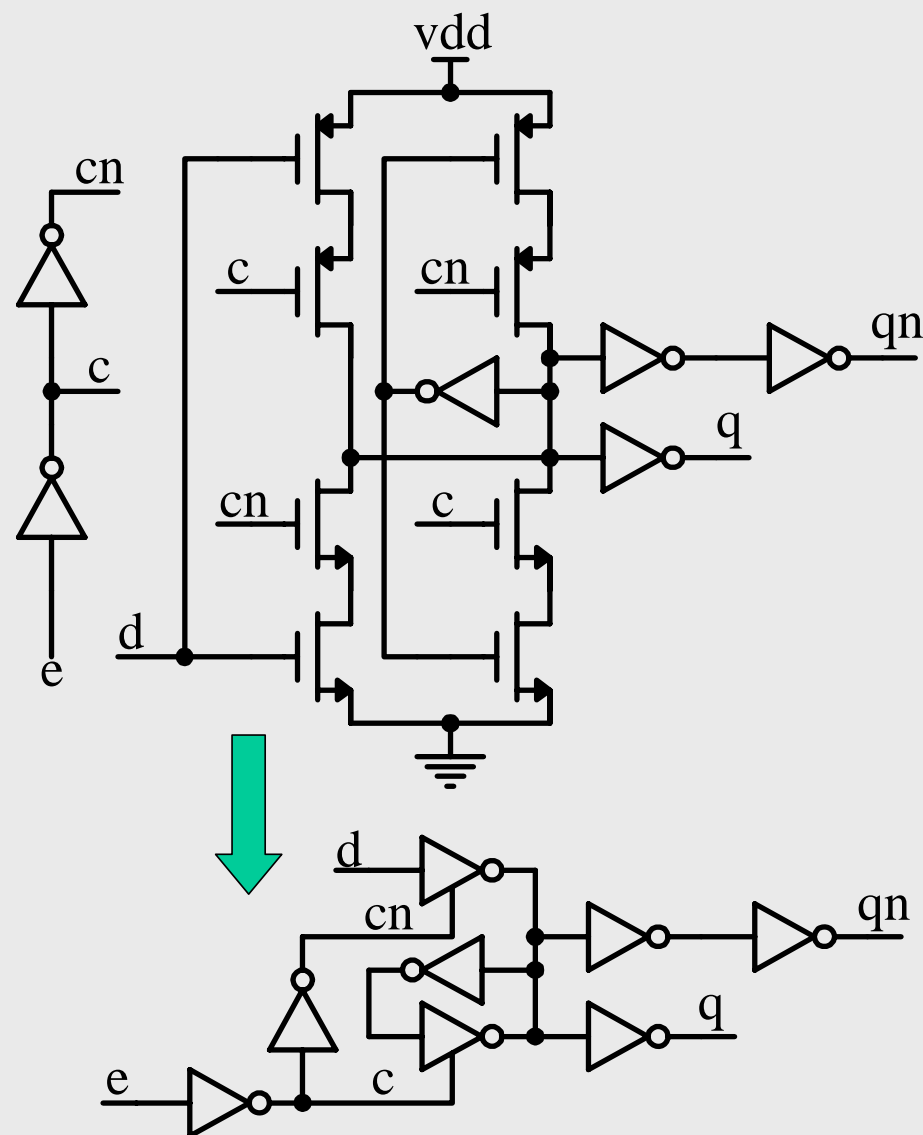


# 触发器单元

- 单元十（D触发器）
  - 提取出来的电路
  - 逻辑功能：当时钟信号为高时， $q=d$ ；当时钟信号为低时，保存信息

– 真值表

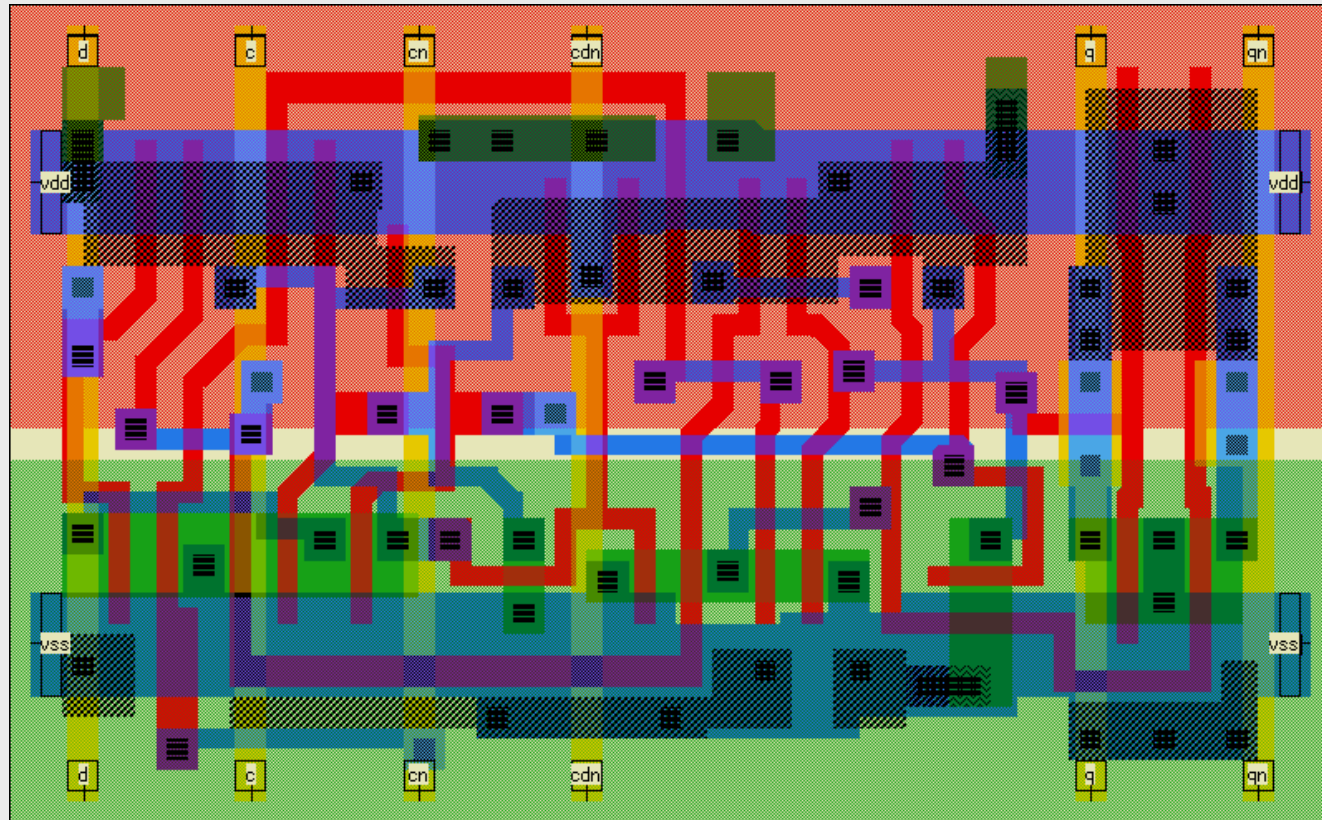
e	q
1	d
0	保持



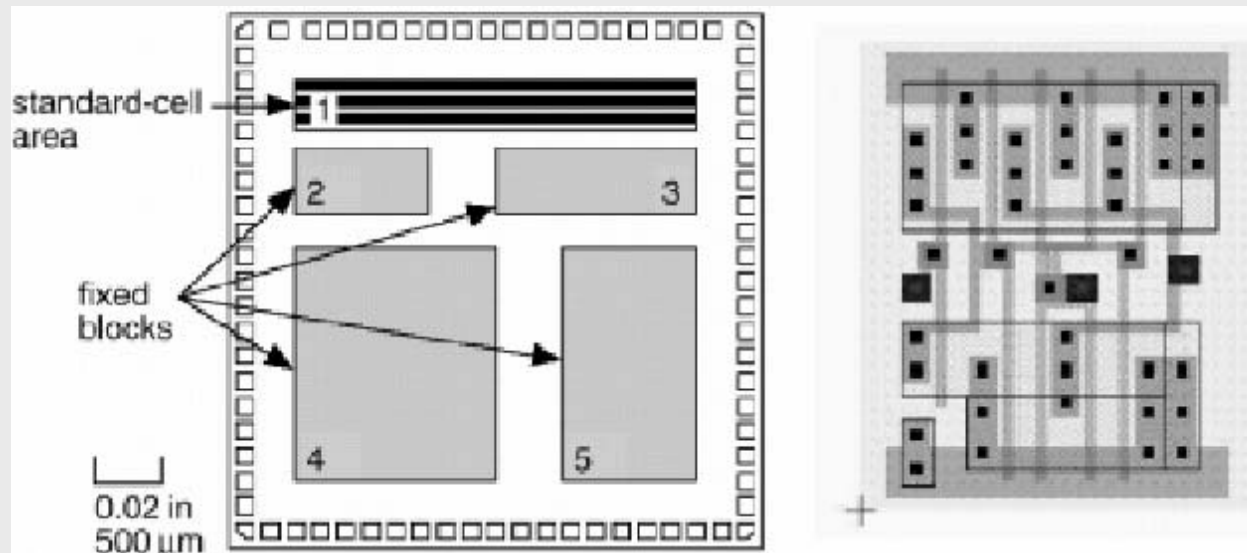


## 作业3

- 提取电路
- 分析逻辑关系



# Cell-based ASIC



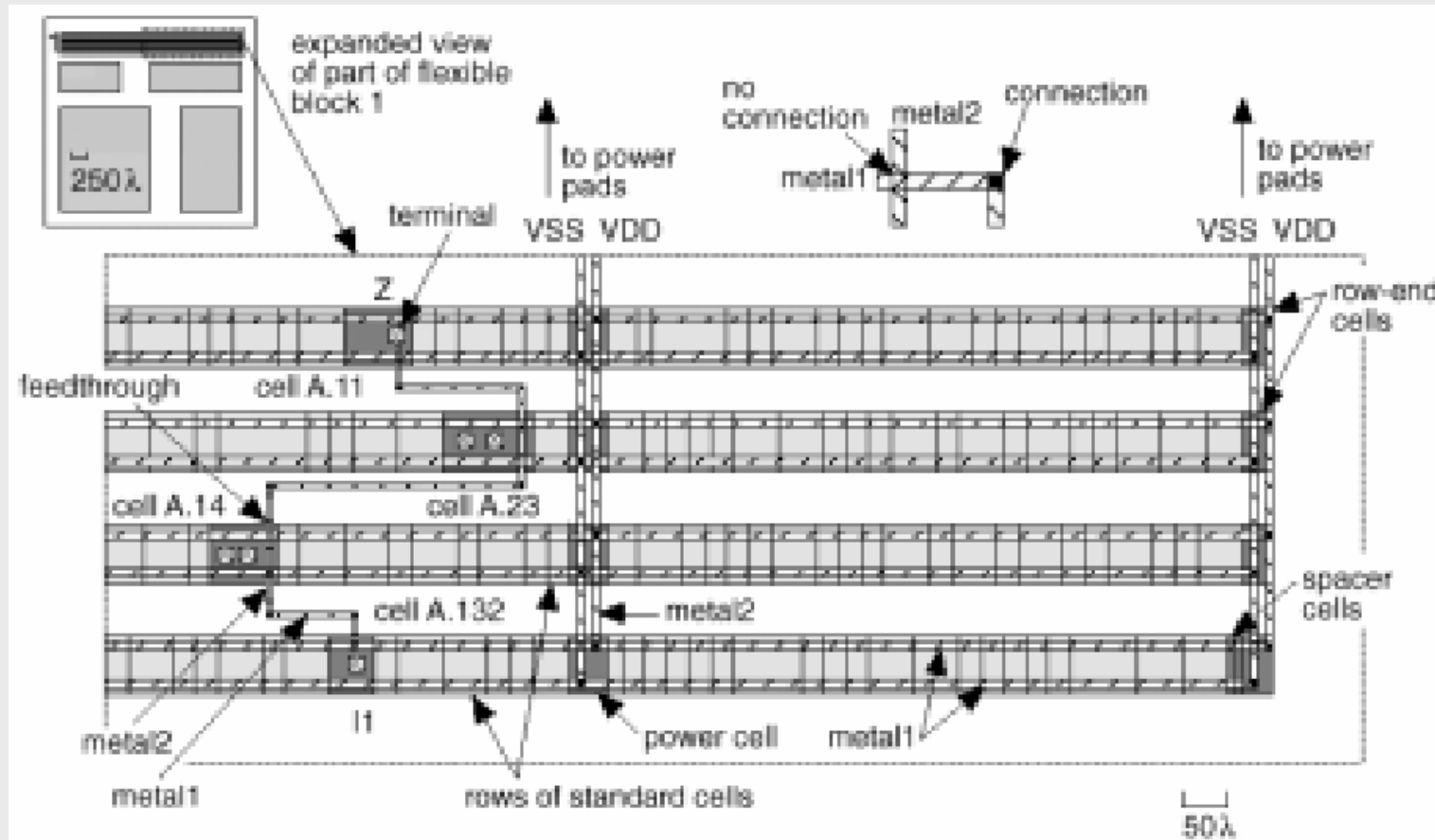
怎样实现自动布局布线？对标准单元有什么要求？

?

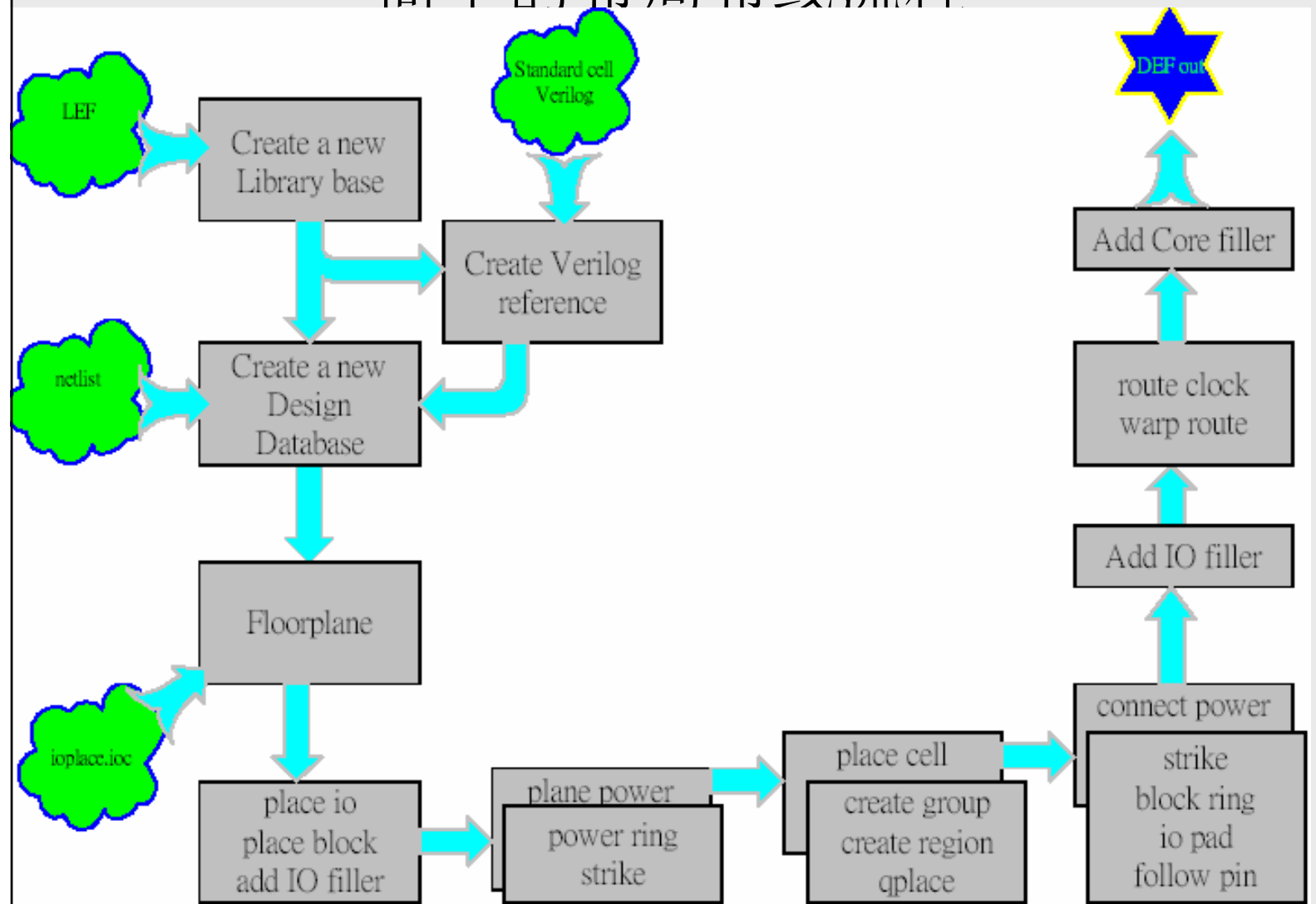
综合出来的网表对应于哪个部分？

还缺少什么？

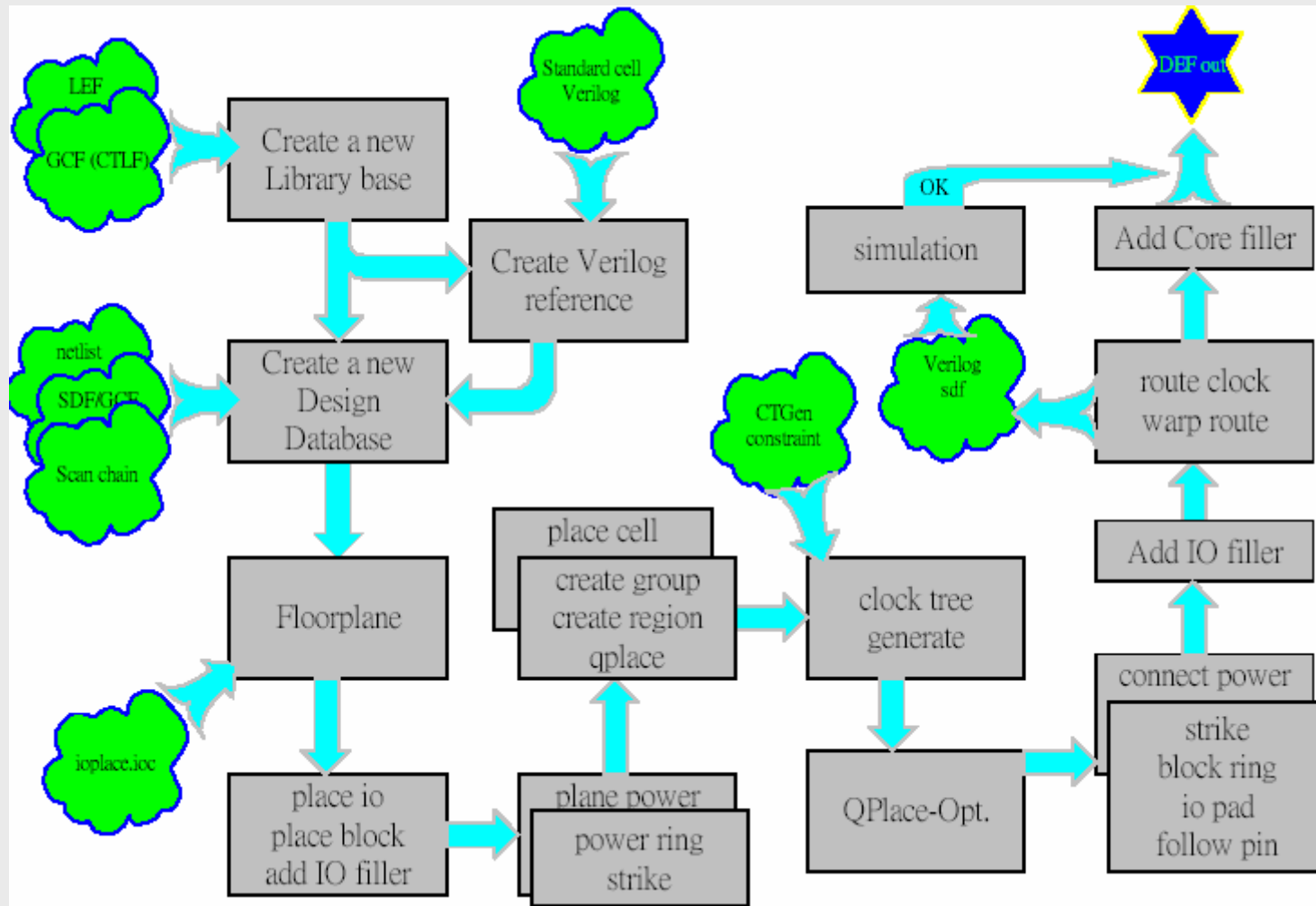
# Cell-based ASIC



## 简单的布局布线流程



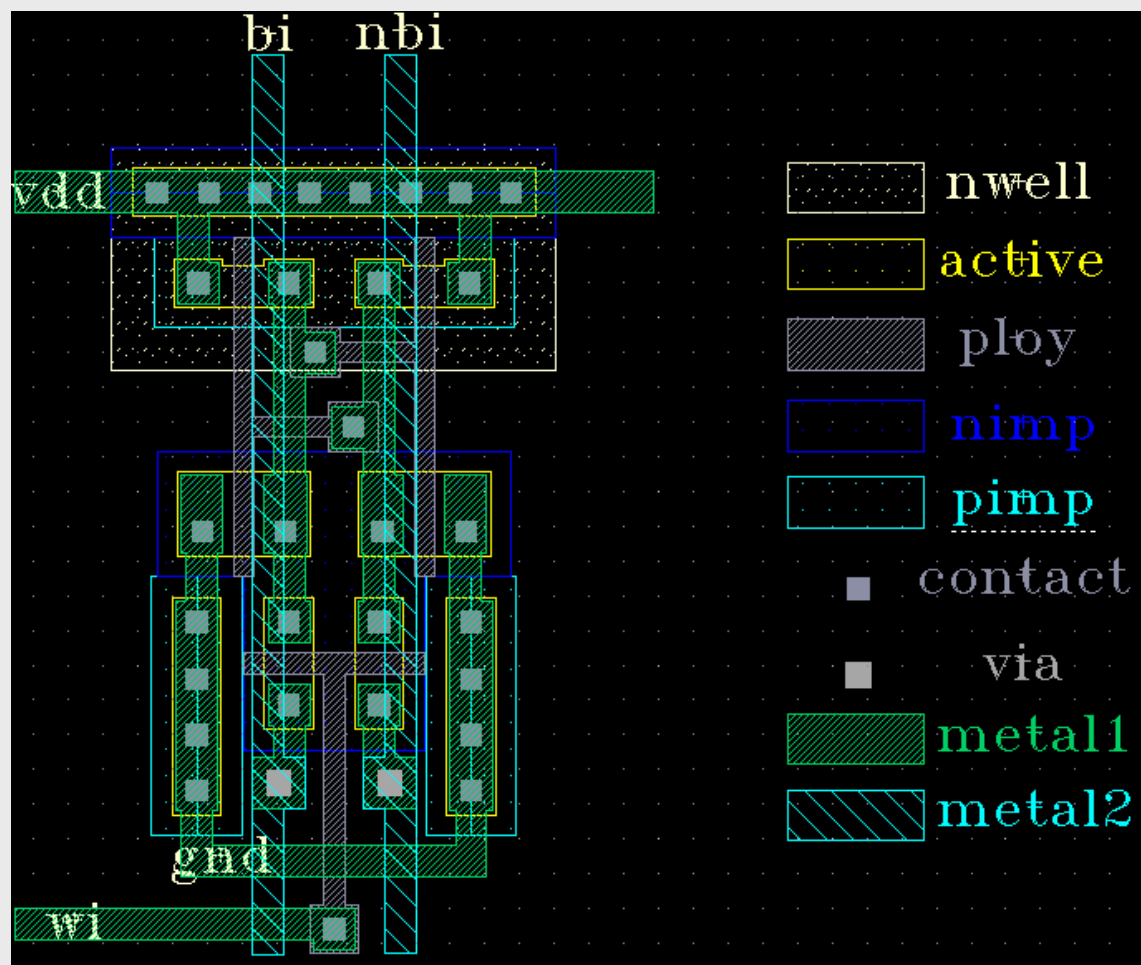
## 时序驱动的布局布线流程



# 本课要点

- 版图电路分析
  - 版图认知能力
  - 标准版图中的版图设计方法和技巧
  - 数字单元的电路和版图设计

# 课堂测试



提取电路；

指出是何种  
单元电路；

说明电路的  
工作原理；

## 课后作业

各层金属线与衬底的寄生电容大小如下表，且Metal1~3的体电阻为 $80\text{m}\Omega/\square$ ，Metal4的体电阻为 $40\text{m}\Omega/\square$ ，单个接触孔contact的电阻为 $10\Omega$ ，过孔via的电阻为 $3\Omega$ ，若电路中要求有一个从ploy到poly、长度为 $1000\mu\text{m}$ 的互联，且在换层布线中均只用双孔连接，请问用何层金属线和何种宽度可使延迟最小？给出详细讨论过程。

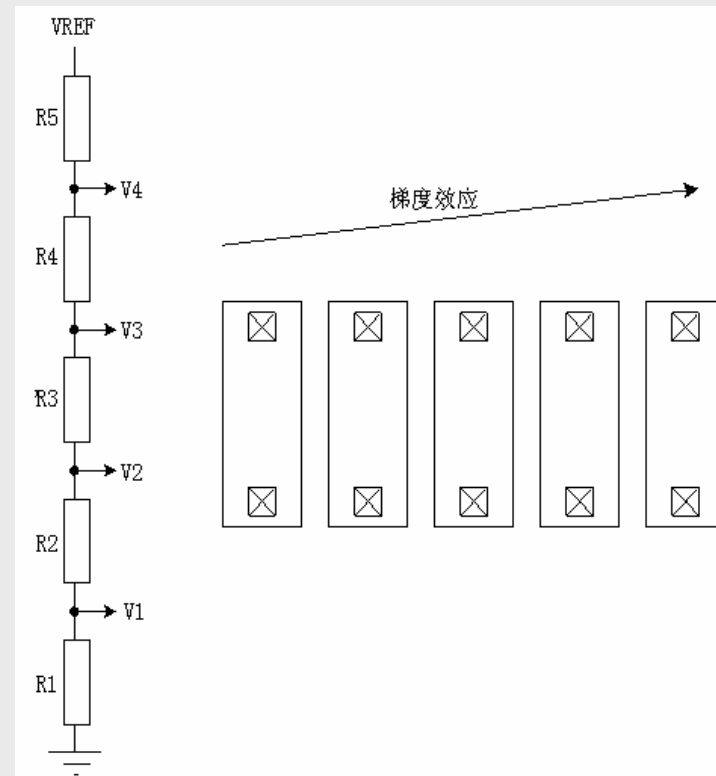
4-metal 0.25um technology

	Ploy	Metal1	Metal2	Metal3	Metal4
最小宽度(um)	0.25	0.35	0.45	0.50	0.60
底板电容(aF/um*um)	90	30	15	9.0	7.0
侧墙电容（两边）(aF/um)	110	80	50	40	30



# 课后作业

如图所示，图的左边是一个电阻分压电路，电阻 $R1\sim R5$ 的值相等，显然，电压 $V1=V2-V1=V3-V2=V4-V3=V_{REF}-V4$ ，在实际工艺实现中，假设存在如图右边所示的梯度效应，那么，实际的电压值 $V1r\sim V4r$ 与理想的 $V1\sim V4$ 会有所不同；  
问题：要使 $\max(|V1-V1r|, |V2-V2r|, |V3-V3r|, |V4-V4r|)$ 的值最小，在版图设计中该如何规划 $R1\sim R5$ 的位置？五个电阻的版图已经在图中给出，请据此规划各电阻的次序，并将规划结果填写在电阻版图上，例如，如果你认为电路中的 $R1$ 在版图中应该放在最右边，那么就在最右边的电阻版图上写上 $R1$ 。  
注：要给出分析过程和理由，而不仅仅是排序结果。



# 课后作业

在N阱CMOS工艺中要实现一个反相器，请按照实际加工的顺序依次说明主要的工艺过程，然后，列出所需要的掩模版（可自己命名并说明，如metal\_1，金属一）。。

谢谢！