

	必備條件
熱穩定性	>400°C 熱安定度 (Tg) 避免分層 (delamination) 及 film crack 高熱導度 (Thermal Conductivity) 低熱膨脹係數
電 性	低漏電電流 (Leakage Current) 低崩潰電流 (Breakdown)
機械性質	龜裂抵擋力佳 薄膜內應力低 高附著能力
化學性質	避免表面形成 CH ₃ 或 C-F 鍵結，而形成斥水性 (Hydrophobic)，親水性 (Hydrophilic) 有助於避免外物 defect 的形成 降低 O ₂ asher 的使用，以避免因 plasma 造成 carbon depletion 而使 low k 材料特性下降。 低水氣吸收度 (Moisture Absorption) 較少孔洞 (pose)

圖 7-30 低介電材質所應具備的條件。

7.5.3 銅製程

為了解決晶片運算速度在內連線微縮時所遭遇到的瓶頸，新的以銅為主線的內連線技術可提供較低阻值的導線。雖然銅的電阻率較鋁為低，但是受限於銅本身在材料上的限制，使把「銅」應用到 VLSI 製程裡的產生相當困難度，其困難來自於：銅的鹵化物的蒸氣壓不夠高，因此不易以現有的乾式蝕刻技術來進行銅導線的圖刻 (Patterning)。銅的氧化不像鋁會在表面產生緻密的 Al₂O₃，保護內部的鋁不被氧化，如果處理不當，將使整條導線氧化為 CuO。另外還有銅汙染 (Copper Contamination) 問題，如果銅擴散至閘極氧化層將造成閘極漏電問題而無法接受。如何在銅導線的製作時，不產生任何影響 CMOS 電性的負作用或汙染，是另一項困擾銅製程量產化的課題。使得它在 VLSI 製程上的應