

和 C_{ox} 為已知)，我們可根據平帶電壓的實驗值（由圖 3-21），代入公式 (3.40) 求 Q_{ox} 。換言之，一旦 ϕ_{ms} 固定，由式 (3.40) 可知當 C-V 曲線向右平移代表 Q_{ox} 為負電荷，且由式 (3.42) 知其有一較正的 V_T 值；反之，向左平移的 C-V 曲線意味著 Q_{ox} 為正電荷且其有一較負的 V_T 值。再次地，雖然圖 3-22 顯示 Q_{ox} 對 n-MOS 的影響，但上面的結論亦適用於 p-MOS。以下舉一例說明其應用。若我們懷疑某後段製程（back-end of line, BEOL）中的反應性離子蝕刻（reactive ion etch, RIE）製程（註：關於製程的介紹，請見第六章）會使閘極氧化層產生陷阱電荷，則可藉由比較此 RIE 製程前後的 MOS C-V 特性曲線是否發生偏移來判斷。