

和 1 個NOS串聯而成，如圖 2，當閘處於兩個邏輯態之一時，兩個電晶體中的一個總是處於「關閉」，既然沒電流流入閘極端，而且亦無從  $V_{DD}$  到  $V_{SS}$  的DC電流通過，其靜態（穩態）電流為零，所以功率（ $P_s$ ）為零。電路僅在改變訊號時，電流流過電晶體時產生動態功率消耗，顯示CMOS電晶體靜態電路極為省電的特性。

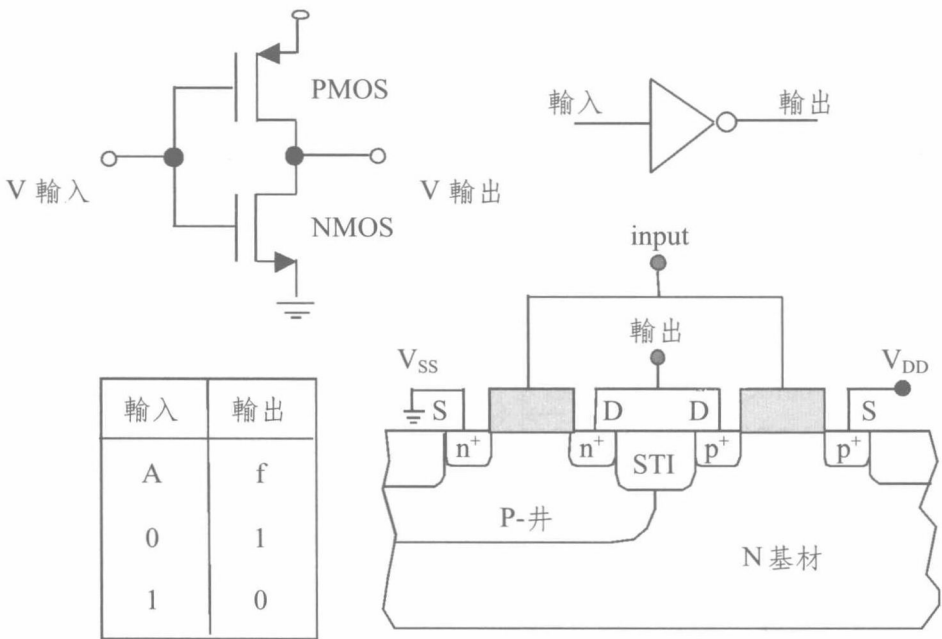


圖 9-2 反向器之電路圖、符號、真值表與製程結構圖。

然而，由於擴散區域和基底之間的逆向偏壓漏電流，所以仍有一些微小的靜態消耗，此外，次臨界導通也促成了靜態消耗。為了了解組合元件的漏電流，我們必須先檢視用來描述CMOS反相器內寄生二極體的模型。由於寄生二極體為逆向偏壓，靜態功率消耗為其漏電流所引起。漏電流可以用二極體公式來描述：

$$i_o = i_s(e^{qV/kT} - 1)$$

而靜態功率消耗是元件的漏電流和供應電壓的乘積。另外在'0'到'1'或是'