



圖 11-19 NOR 快閃記憶體訊號的寫入與擦拭。

將會是無可避免的。這在執行電子寫入的操作下，週邊線路必須具有把電源電壓提升的功能，往往這樣的升壓動作會加入很多線路與製程上的考量。在這方面，並不是需要一些新的汲極／源極結構，主要的要求是在製程上提升閘極氧化層的品質、提高它對通過電流的耐力以及控制閘對浮動閘的控制能力上面。

至於在將電子從浮動閘拉出的問題方面，早期多採用源極／汲極端擦拭模式，在目前還是主要的模式之一，不過其在 n^+ 區域施以較高的電壓，必須以雜質濃度分布較平緩的接面的結構來因應，同樣的，BTBT 的現象依舊會出現在這種操作之下，且其狀況將會更嚴重。而這種情況將可以在擦寫容忍度（endurance）測試中看出，如圖 11-20，目前無論 NOR/NAND 快閃記憶體則多利用 FN 穿隧模式經過整個通道區域注入電子同時利用 FN 穿隧模式經由汲極端拉出電子多次擦寫操作的結果，其由於 BTBT 所產生熱電洞對氧化層的注入，使得擦寫之間的臨界電壓差（write/erase window）變小。在從源極端擦拭的方式下，元件的設計將必須考量到界面承受高電壓的能力，然而對於整個元件的縮小化是相違背的，再加上一些可靠度的問題，很顯然，從源極端擦拭的操作模式將面臨較多的考驗。