

数逻实验报告 Lab4

雷远航

October 9, 2022

Abstract

实验项目：EDA 实验平台与实验环境运用

1 操作方法与实验步骤

1.1 用 verilog 语言描述电路逻辑功能

1.1.1 在 ISE 中创建工程

首先在 ISE 中完成对工程的创建，并向其中导入 Verilog 代码

1.1.2 对代码进行仿真运行

导入仿真激励代码，进行仿真运行，得到波形图

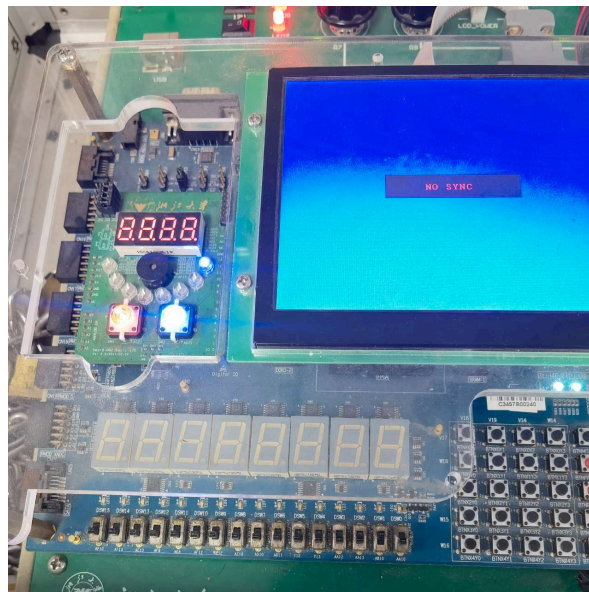


Figure 1: 创建工程

1.1.3 完成全部实验操作

完成 Synthesize, Implement Design, Generate Programming File, 将生成的 bit 文件下载到 sword 实验板上

1.2 以图形方式输入逻辑功能描述

1.2.1 创建工程并绘图

1.2.2 进行仿真运行

导入仿真激励代码，进行仿真运行，得到波形图

1.2.3 完成全部实验操作

完成 Synthesize, Implement Design, Generate Programming File, 将生成的 bit 文件下载到 sword 实验板上

2 实验结果描述与分析

2.1 verilog 实验结果

当拨动其中一个开关时，信号灯闪亮，在不进行其他操作时，在一段时间内灯自动熄灭

在打开一个开关，信号灯闪亮时再次拨动另一个开关，信号灯关闭，并且此过程又一定的延时现象

2.2 图形化实验结果

当打开一个开关时，信号灯闪亮；打开两个开关时信号灯熄灭，并且此过程并没有延时现象出现

3 讨论与心得

通过本次实验我熟悉了 ISE 平台的使用流程和方法，通过对 verilog 教程的学习大致了解了 verilog 语言的编写方法，实验主要遇到的障碍是：1. 在没有明确实验报告的要求之前参照优秀报告，进行了很多不必要的截图，耽误了比较多的时间. 2. 在画图时画了总线，并且没用正确画出，导致开始的时候 check 一直错误，把总线删除后解决了问题

4 Bonous

4.1 Verilog 工程理解

LampCtrl 是实现全部功能的基本模块，通过 parameter CMAX, 和 reg cout 的配合使用可以实现时序电路的功能，控制在闪亮一段时间后自动熄灭，总的输出由 F 进行，根据输入响应所得到的结果是 w, 通过时序判断才是最终的结果 F

testbench 的作用是对自己所写的 module 进行结果的测试，进行正确性的验证，testbench 通过对模块的实例化，不断改变输入的值，最终通过生成的波形图进行结果的验证

4.2 控制 LED 暂缓熄灭的时间

对 parameter CMAX 进行修改, 若要将熄灭时间变为原来的 2 倍、4 倍、1/2 倍、1/4 倍, 就将 CMAX 变为原来的 2 倍、4 倍、1/2 倍、1/4 倍, 同时也要对代表位数的 CNUM 做相应的调整

4.3 对实验给出的 testbench 得到的波形进行说明

对于 verilog 实现的波形图首先测试时等待了一定的时间, 然后将 S1 设置为 1, 这样输出 F 就是 1, 在持续一段时间后由于 CMAX 的控制在接下来的等待时间下最终 F 会变回 1

图像实现的测试由于没有实现时序电路的功能因此当输入发生变化时输出会立即进行响应变化

4.4 对 slides: First Look at Verilog 建议

可以在教程中多添加一些链接到 HDLBits 的相应练习题的网址, 这样可以边学习边练习效果会更好