

一种新型的 BCD 工艺栅驱动集成电路

张为, 陈曙光

(天津大学 电子信息工程学院, 天津 300072)

摘要: 分析了高压栅极驱动集成电路热耗散产生的原因和隔离技术的特点, 研制出一种新型的 700 V BCD 工艺栅驱动集成电路。通过减小 LDMOS 电流和开启时间降低芯片高速工作时的发热量, 配合电路设计调整了 BCD 工艺, 解决了高功耗和地线浮动等制约其发展和应用的难题。仿真和测试结果表明, 该集成电路工作在 1 MHz, 400 V 时, 总功耗仅为 0.4 W。

关键词: 功率集成电路; BCD 工艺; 栅驱动集成电路; 横向双扩散 MOS 管

中图分类号: TN 492 **文献标志码:** A **文章编号:** 1001-0645(2011)09-1080-05

A Novel Gate Driver IC Based on BCD Technology

ZHANG Wei, CHEN Shu-guang

(School of Electronic and Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: By analyzing the features of heat dissipation and isolation technology, that are usually adopted in fabrication of high-voltage gate drivers, a novel gate driver IC with 700 V BCD technology was developed. The current and turn-on time of LDMOS were reduced and the processes of BCD technology were adjusted. As a result, the issues such as high power dissipation and ground floating, that restricted the development and application of such integrated circuits, could be solved. Simulation and test results show that our solution greatly improves the performance of the gate driver and its power dissipation is only about 0.4 W when operating under 400 V at 1 MHz.

Key words: power integrated circuit; BCD process; gate driver; lateral doublediffused MOS(LD-MOS)

高压栅驱动集成电路具有高效率、低功耗等性能, 广泛应用于电力电子、汽车、照明、开关电源等领域。目前, 常采用推挽式电路对后级 IGBT 或功率 MOS 管进行推动^[1]。由于 P 沟道功率器件的性能和价格等因素, 实际应用多采用 N 沟道功率器件源极输出方式。当 N 型器件导通后, 源极上升为电源电压, 为了使其保持导通, 栅极要高于电源电压, 即栅驱动(高边驱动)。栅驱动可以采用隔离变压器对外部 N 型器件供电, 但设计复杂, 成本较高, 所以国内外广泛采用自举升压结构产生高于电源电压的电压。

对于高压应用, 典型双极和 CMOS 工艺器件已无法正常工作, 所以具有耐压高、开启电阻小, 可以与

硅平面工艺兼容等特点的横向双扩散 MOS 管(LDMOS)被广泛采用。为了实现 LDMOS 进行精确控制和工作保护等功能, 双极和 CMOS 器件必不可少, 故栅驱动集成电路通常采用 BCD 工艺实现。

现有对高边 N 型器件的驱动方案是将一组 CMOS 器件封闭在一个区域内, 形成浮动模块, 其供电由高压端 V_B 引入, 其最低电位 V_{SS} 与 GND 隔离。外部 N 型器件的栅极与高边驱动的输出 HO 相连, 漏极与电源 V_{BAT} 相连, 源极与 V_{SS} 相连。当 HO 相对于 V_{SS} 为高电平时, 外部 N 型器件导通, 浮动模块的最低电位 V_{SS} 会上升为 V_{BAT} ; 反之 N 型器件截止, V_{SS} 会处于悬空状态或下降为 0。为使外部

收稿日期: 2010-12-24

作者简介: 张为(1975—), 男, 博士, 副教授, E-mail: tjuzhangwei@tju.edu.cn.

N型器件快速导通以降低功耗,通常要求 V_{SS} 达到 50 V/ns 的变化率。浮动模块多采用自举供电方式,可以形成比较稳定的供电(V_{SS} 常为 12 V)。

为了能将几伏的逻辑信号有效传给浮动模块,控制 HO 的输出,必须采用 LDMOS 电平转移电路完成。该电路在高压下工作发热量很大,且随着开关速度的升高,电平转移电路和浮动模块的发热量会急剧增加,工作频率一般只能在 400 kHz 以下^[2]。

为了降低功耗,拓展应用,作者对 BCD 工艺进行了调整,并对电路进行优化设计,通过减小电平转移信号传输时间和传输电流,提高脉冲接收电路锁定灵敏度等方式有效降低了发热量。

1 工艺优化与电路设计

如图 1 所示,栅驱动集成电路主要由浮动模块和非浮动模块组成.

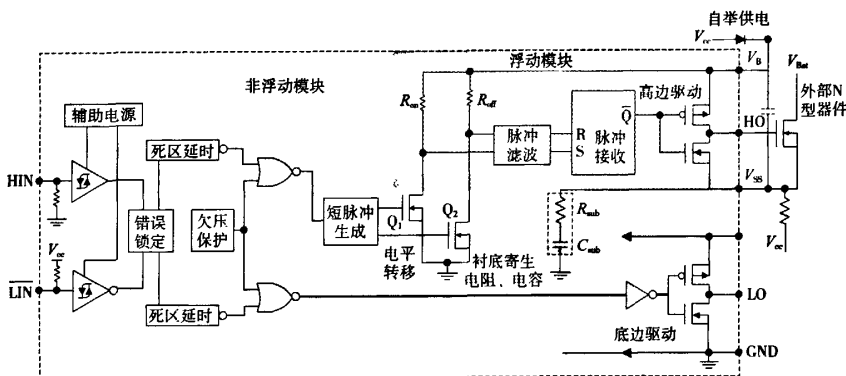


图1 栅驱动集成电路典型结构

Fig. 1 Typical IC structure with high-side gate driving circuit

在高压大功率状态下,栅驱动集成电路中电平转移电路和浮动模块是影响发热量和工作速度的主要原因。当高边输入端 HIN 接收到高电平信号时,高边驱动电路需要输出对应的高电平,由于 LDMOS 的漏源电压很高,故不能长期工作在导通状态,只能将其用来传递控制信号,并且传递后要迅速关闭,以免因 LDMOS 长时间工作在放大区而发热烧毁。为使外部 N 型器件快速打开和关断,HO 输出上升、下降沿时间很短,如果 V_B 和 V_{SS} 变化速度很慢,将导致外部 N 型器件栅源电压过大而损坏。所以,一般要求 V_{SS} 在 0 至几百伏间变化时,具有 50 V/ns 的变化速率。对于浮动模块需要利用浮动 CMOS 器件实现,以满足 V_{SS} 与 GND 隔离、快速变化的需要。在常见方案中,电平转移电路和浮动模块的功耗很大,为了进一步降低功耗,提高速度,必须提出新的浮动区结构,并通过调整工艺和优化电路设计加以改善。

1.1 工艺优化

在 BCD 工艺中,常采用 RESURF 结构制作 LDMOS,通过 PN 结隔离,将浮动模块制作在一个浮动的隔离区域内^[2-3],如图 2 所示。本设计利用现有 100 V 隔离结构中制作出 700 V LDMOS 器件^[4],在不改变工艺参数的基础上提出了新的浮动

结构.

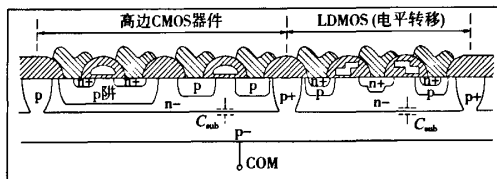


图2 常见 LDMOS 和浮动器件结构
Fig. 2 General structure of LDMOS and floating device

本设计在 LDMOS 的 N 型外延层中同时制作 P 阱和 N 阱,进而制作 CMOS 器件,如图 3 所示。根据 CMOS 电路的工作特点,P 阱电位需要低于 N 阱 15~20 V。如果 P 阱位于漂移区(图 3 中 ILD 区下方)的附近,将使漂移区电场分布不均匀而发生击穿。所以,在浮动 CMOS 器件和漂移区间要加入高压 N 阱环,将其与浮动模块的最高电位 V_B 相连,形成稳定的漂移区电场。同时,由于浮动区的面积要远大于 LDMOS 的面积,还要保证在浮动 CMOS 器件中分布有足够的 N 阱或高压 N 阱环,以稳定 CMOS 器件区的电场分布。利用此方法制作的浮动 CMOS 器件的结构和特性与非浮动器件相同,可以利用现有的 CMOS 模型参数进行电路设计与仿真。相对于文献[3]中采用的一种新型隔离结构,本设计

结构比较简单,只需要采用现有 LDMOS 制作工艺 步骤即可完成。

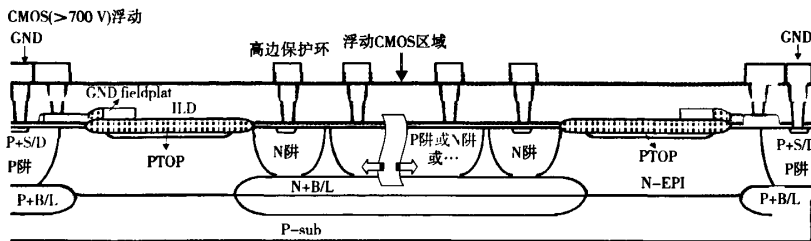


图 3 文中 BCD 工艺浮动器件结构
Fig. 3 Developed structure of floating devices in BCD

对于常用的 PN 结耐压结构,衬底必须采用轻掺杂工艺得到一个很宽的耗尽区。轻掺杂衬底的载流子浓度低,会增大外延层和衬底间寄生电容 C_{sub} 和衬底串联电阻 R_{sub} ,导致浮动模块的发热量急剧上升。由于本设计采用了 100 V PN 结耐压结构作为设计基础,相对于常见的 PN 结耐压结构,减小了外延层的厚度,增加了衬底掺杂的浓度,克服了使 C_{sub} 和 R_{sub} 增大的不利因素。此外,由于低耐压结构所需的外延层厚度减小,更利于器件散热。

通过以上设计,浮动区与 LDMOS 的耐压结构相同,利用 LDMOS 中 N 外延层的电位可以快速变化的特点,实现了浮动 CMOS 器件 N 阱和 P 阱的快速变化。对于浮动模块,N 阱与 V_B 相连,P 阱与 V_{SS} 相连,解决了地线快速浮动的问题。

1.2 电平转移电路设计

一路典型的电平转移和浮动模块结构见图 1。一对电平转移器件 LDMOS Q_1 和 Q_2 用来传输前级逻辑控制电路产生的开关信号,使浮动模块能够完成从大约 0 到几百伏的变化。

当需要打开高边 MOS 器件,脉冲生成电路接到前级信号,在 Q_1 栅极产生一个短脉冲,使 Q 导通,电阻 R_{on} 上产生压降,脉冲接收电路检测到 R_{on} 和 R_{off} 上电压分别为“0”、“1”后,锁定输出为“1”;反之关闭 MOS 器件。

理论分析表明^[2],HI 输入 1 个脉冲周期, Q_1 和 Q_2 要分别开关一次,两管的功耗均为 $V_{ds} I_{ds} t_p$,其中 t_p 为 Q 的开启时间。在频率为 f_{sw} 的工作状态下,该部分的总功耗为

$$P_1 = 2V_{ds} I_{ds} t_p f_{sw}. \quad (1)$$

式中: I_{ds} 为 LDMOS 导通时的电流; V_{ds} 为 LDMOS 的漏源电压; t_p 为短脉冲时间。Faye Li 等^[2]指出,对于 Philips bulk 结隔离工艺来说,要满足 5 V/ns 的电平转移,最小的 I_{ds} 需要 5 mA 且 t_p 宽度需要达到

300 ns 以满足脉冲接收电路的锁定。如果电平转移工作在 1 MHz,400 V 下,功率耗散将达到 1.2 W^[2]。从式(1)中可以看出,LDMOS 的电流和脉冲宽度是影响该电路功耗的主要原因。李鸿雁^[5]指出,脉冲宽度选择受到结隔离寄生电容、 R_{on} (R_{off})、转换电压和电容制造误差的影响。此外,由于 LDMOS 结构复杂,不像普通 CMOS 器件很容易用沟道宽度 b 和沟道长度 L 来调整器件参数,否则会影响耐压及器件特性。因此,本设计的重点是在调整后的工艺基础上,对电路进行改进,以控制 I_{ds} 的大小,并减小 t_p ,使电路的性能得到改善。

在常见的结构中,短脉冲生成电路直接驱动电平转移电路的 LDMOS,且其供电与栅驱动集成电路的供电 V_{cc} 共用。本设计将辅助电源的输出电压引入短脉冲产生电路,为 LDMOS 提供稳定、合适的驱动电压 V_{gs} ,以控制 LDMOS 的导通程度,减小了 I_{ds} ,并且 I_{ds} 的大小不会因 V_{cc} 的变化而改变。

李鸿雁^[5]对电平转移电路的控制采用双脉冲输出式电路,由脉冲产生、整形、滤波和 RS 触发器电路组成。相对于文献[5]中的工艺,本设计去除了整形和 RS 触发电路,通过简化设计减小短脉冲延时。此外,上述结隔离工艺的优化和电路级数的减小使 t_p 减小成为可能。

李鸿雁对 I_{ds} 的选取是靠调整 LDMOS 结构完成的,对工艺有很强的依赖。蒋红利等^[6]在 LDMOS 源极和地电位间增加限流反馈电阻来实现,调整的效果有限,集成电路供电的大小对 LDMOS 工作点影响很大。

通过仿真分析,本电路将文献[5]中 LDMOS 电流 $I_{ds}=5$ mA 和脉冲宽度 $t_p=200$ ns,文献[6]中的 50 mA 和 200 ns,减小到 3 mA 和 100 ns,极大地减小了发热量,提高了工作速度。经计算本文电路工作在 1 MHz,400 V 下, P_1 仅为 0.24 W。

1.3 浮动模块设计

脉冲接收电路是浮动模块的关键,它的门限电平选择关系到开关信号的响应速度和状态的正确识别。脉冲接收电路类似RS触发器,在LDMOS打开的瞬间将电平转移电路输出的“0”或“1”进行锁存。在HI保持在高或低电平时,LDMOS截止状态,脉冲接收电路接收到“1”,“1”信号不产生动作。由于此类电路常用于驱动电机等电感性负载, V_{SS} 端会感应出负电压^[1],对脉冲接收电路的电平识别有很大影响。为了提高灵敏度,同时增加浮动模块抗干扰能力,经过仿真分析,将电平“1”的识别门限设定在 $V_B - 1\text{ V}$,电平“0”的识别门限设置在 $V_B - 4\text{ V}$ 。否则,当识别电平设置太高时,浮动模块 V_{SS} 浮动在0附近,LDMOS进入可变电阻区, I_{ds} 很小,该电路无法识别开关信号;当识别电平设置太低时,从 V_{SS} 进入芯片内部的干扰信号会引起脉冲接收电路的误动作或无法检测到开关信号造成外MOS管不能正常打开或关断。在设计中选用两级滤波电路滤除杂波的干扰,并且使用齐纳管对接收电路栅极加以保护,以保证浮动模块浮动在任何电压下都能正确识别前级传递的开关信号并产生相应动作。

栅驱动集成电路功耗产生的另一个主要原因是由于浮动模块在 $0 \sim V_{BAT}$ 之间不断变化,通过 R_{sub} 对 C_{sub} 充放电所致。参考文献[2]中的计算方法,假设功率耗散时间是 f_{sw} 的 $1/10$,则衬底的热耗散为

$$P_{sub} = 20C_{sub}^2 R_{sub} V_{bus}^2 f_{sw}^2 \quad (2)$$

除制造工艺会影响式中 C_{sub} 和 R_{sub} 外,较大的版图面积也会使衬底等效电容的面积增大,衬底串联电阻增加,所以减小浮动部分的版图面积也是本设计的重点内容。

高边驱动电路是主要热源。对于该电路,为避免推挽结构的扇入和扇出管在开关瞬间出现大电流导通,必须对两个功率管分别进行控制,使两管在导通和截止转换时有一定的时间间隔。由于电子迁移率比空穴迁移率大,所以在同样宽长比的情况下,NMOS管的驱动电流更大,故本电路采用了双NMOS驱动结构。与文献[5]中的NMOS扇入PMOS扇出电流结构相比较,在同样驱动能力时,所需MOS管尺寸更小,内阻更低,发热量更少。

1.4 信号预处理电路设计

本设计中采用的信号预处理电路,由RC延时电路和电平识别电路组成。噪音信号频率高,在RC电路上充电不能达到高阈值电平识别电路的门限,

无法进入下一级电路;正常的脉冲信号使高阈值电平识别电路正常翻转后,利用电容向低阈值电平识别电路放电,以达到增大脉冲宽度的目的。使用该电路可将信号滤除300 ns高电平,如果信号小于500 ns将不会起到控制作用。当信号大于500 ns时,在滤除300 ns的同时将延长250 ns以免剩余信号时间太短产生不良影响。而文献[5]中采用的滤波电路虽然能滤除50 ns的杂波,但不具有后延时结构,一旦版图布局不合理或工艺漂移都会因短脉冲触发打开的外部功率器件无法关闭而损坏。

1.5 仿真结果

图4是用Hspice 2010.03在 V_{SS} 浮动到400 V,400 kHz,高边驱动电路输出悬空时的仿真结果。图4(a)显示了电平转移电路的瞬态电流值,最大为3.13 mA且电平转移速率已满足5 V/ns的要求。图4(b)为电平转移及所有浮动模块电流总和的瞬态曲线,瞬间电流为110 mA,由于 C_{sub} 很小,充放电时间很短,静态电流为146 μA 。仿真结果表明,本文设计具有较好的低功耗特性,且可以较好地解决地线浮动问题。

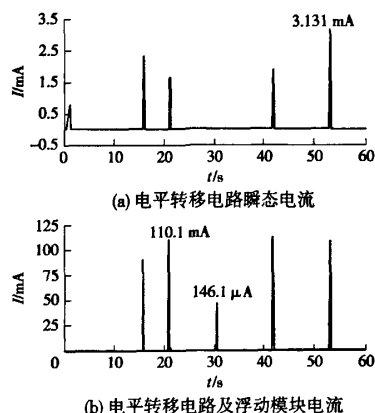


图4 栅驱动集成电路功耗仿真结果

Fig. 4 Simulation results of the power dissipation for the gate driver IC

2 制造与测试

图5为本设计半桥驱动芯片微显示照片,面积为 $1.40\text{ mm} \times 1.26\text{ mm}$ 。图中左上部是LDMOS,右上部是浮动区。在高压部分的四周将多晶硅层和金属层做成环状,形成RESURF结构所需的电场区。对于RESURF结构,必须稳定表面的电场,但是LDMOS的漏极和浮动区间的连线会改变高压区表面电场,使热电子从隔离层进入高压区,对耐压有不

良影响^[3]。本设计利用第 2 层金属作为信号连线,去掉了跨线处的第 1 层金属,以增加信号线下氧化绝缘层的厚度,稳定高压区表面电场,同时也避免了 2 层金属间氧化层的击穿。相对于文献[3]中采用的多层金属环的复杂结构,本设计更简单实用。相比于文献[7]中的 SOI RESURF 结构、文献[8]中的双 RESURF 结构,本文采用的工艺结构更为简单且能满足该类型功率集成电路的设计要求。

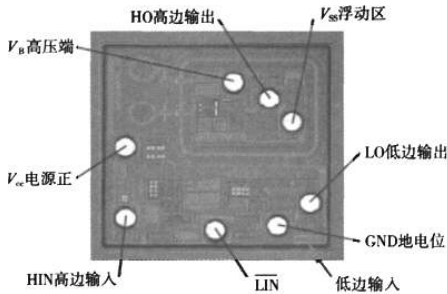


图 5 半桥驱动芯片微显示照片

Fig. 5 Micro-photograph of a half-bridge gate driver chip

在 1 MHz, 400 V 条件下进行测试,本设计的总功耗小于 0.4 W。对比文献[2]中 Philips Bulk 工艺、SOI 工艺和其它文献数据,可以看出本设计仅使用相对廉价的基于双极的 BCD 工艺却已达到了 SOI BCD 工艺的水平。不同工艺栅驱动集成电路性能对比如表 1 所示。

表 1 不同工艺栅驱动集成电路性能对比

Tab. 1 Comparison of the performance for the power gate drivers fabricated by different process

采用工艺	最高电压/V	$I_{ds}/$ mA	$t_p/$ ns	电平转移 功耗/W	衬底功 耗/W	功耗降 低/%
Philips Bulk ¹	600	5.0	300	1.20	0.160	
Philips SOI ¹	650	2.5	40	0.08	0.002	94
文献[3]	600	50.0	200	0.62 ¹		
本设计	700	2.0	100	0.24	0.010	82

注:上标 1 的测试数据是在 1 MHz, 600 V 下测量;其余测试数据是在 1 MHz, 400 V 下测量

3 结 论

设计了一种基于 BCD 工艺的 700 V 高压栅驱动集成电路,通过调整优化工艺、降低工作电流和减小信号时间的方式,降低了驱动电路的整体功耗,并提高了工作速度。同时,采用 RESURF 技术将原本 100 V 的 PN 隔离区域提升至 700 V,使芯片的整体效果达到 SOI 工艺级别。

参考文献:

- [1] International Rectifier Company. Application note AN978-HV floating mos-gate driver ICs [EB/OL]. [2007-03-22]. <http://www.irf.com/technical-info/appnotes/an-978.pdf>.
- [2] Li Faye, Demetri G, Ihor W. A low loss high-frequency half-bridge driver with integrated power devices using EZ-HV SOI technology [C] // Proceedings of Seventeenth Annual Applied Power Electronics Conference and Exposition. New York: Philips Research, 2002:1127-1132.
- [3] Liu Jizhi, ChenXingbi. A new level-shifting structure with multiply metal rings by divided RESURF technique [J]. Journal of Semiconductors, 2009, 30(4):1-5.
- [4] 乔明,方健,肖志强,等. 1200V MRD-RESURF LDMOS 与 BCD 兼容工艺研究[J]. 半导体学报, 2006, 27(8): 1447-1452.
Qiao Ming, Fang Jian, Xiao Zhiqiang, et al. Design of 1200 V MRD-RESURF LDMOS and BCD technology [J]. Chinese Journal of Semiconductors, 2006, 27(8): 1447-1452. (in Chinese)
- [5] 李鸿雁. 三相高压功率 MOS 栅驱动集成电路[D]. 成都:电子科技大学微电子与固体电子学院, 2001.
Li Hongyan. Three-phase high voltage power MOS gate driver IC[D]. Chengdu: School of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China, 2001. (in Chinese)
- [6] 蒋红利,朱玮,李影,等. 600 V 高低压兼容 BCD 及驱动电路设计[J]. 微电子学, 2002, 40(1):126-131.
Jiang Hongli, Zhu Wei, Li Ying, et al. A 600 V high/low voltage integrated BCD process and drive circuit design[J]. Microelectronics, 2002, 40(1):126-131. (in Chinese)
- [7] 李明,方健,乔明. SOI 高压功率集成电路中 LDMOS 的研制[C]//四川省电子学会半导体与集成技术专委会 2006 年度学术论文集. 成都:[s. n.], 2006:1-5.
Li Ming, Fang Jian, Qiao Ming. Realization of LDMOS for high voltage ICs on SOI[C]// Symposium on Annual Conference of Semiconductor and Integration Technology of Sichuan Institute of Electronics. Chengdu: [s. n.], 2006:1-5. (in Chinese)
- [8] Qiao Ming, Li Zhaoji, Zhang Bo, et al. Realization of over 650 V double RESURF LDMOS with HVI for high side gate driver IC[C]//Proceedings of 8th International Conference on Solid-State and Integrated Circuit Technology. Chengdu: IC Design Center, Univ of Electronics Science & Technology, 2006: 248-250.

(责任编辑:刘芳)