

“存储+逻辑”3D 集成电路的硅通孔可测试性设计

叶 靖^{1,2)}, 郭瑞峰^{3)†}, 胡 瑜^{1)*}, 郑武东⁴⁾, 黄 宇⁴⁾, 赖李洋⁴⁾, 李晓维¹⁾

¹⁾(中国科学院计算技术研究所计算机体系结构国家重点实验室 北京 100190)

²⁾(中国科学院大学 北京 100049)

³⁾(Synopsys Inc., Hillsboro, OR 97124 USA)

⁴⁾(Mentor Graphics Cooperation, Wilsonville, OR 97070 USA)

(huyu@ict.ac.cn)

摘 要: 为了缩短硅通孔的测试时间,针对符合 JESD229 和 IEEE1149.1 边界扫描协议的“存储+逻辑”3D 集成电路,提出一种硅通孔可测试性设计。首先在逻辑晶片上增加控制模块,用于控制存储晶片的边界扫描链;然后通过修改逻辑晶片上原有边界扫描链结构,实现串联和并联 2 种与存储晶片边界扫描链连接的模式;最后在逻辑晶片上增加寄存器,以保存测试过程所使用的配置比特,控制整体测试流程。实验数据表明,该设计仅比原有的 IEEE1149.1 边界扫描电路增加了 0.4% 的面积开销,而测试时间缩短为已有工作的 1/6。

关键词: 3D 集成电路;硅通孔;可测试性设计;JEDEC 协议 JESD229;IEEE 1149.1 协议

中图法分类号: TP306⁺.2

Design for Testing 3D TSVs Connecting Memory Die and Logic Die

Ye Jing^{1,2)}, Guo Ruifeng^{3)†}, Hu Yu^{1)*}, Cheng Wu-Tung⁴⁾, Huang Yu⁴⁾, Lai Liyang⁴⁾, and Li Xiaowei¹⁾

¹⁾(State Key Laboratory of Computer Architecture, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

²⁾(University of Chinese Academy of Sciences, Beijing 100049)

³⁾(Synopsys Inc., Hillsboro, OR 97124 USA)

⁴⁾(Mentor Graphics Cooperation, Wilsonville, OR 97070 USA)

Abstract: To shorten the test time of 3D through silicon via (TSV), a design for testing TSVs is proposed. The memory die and the logic die are compatible with JESD229 and IEEE 1149.1 standard, respectively. Firstly, a module for controlling boundary scan chains on the memory die is added to the logic die. Then, by transforming the boundary scan chains on the logic die, two connection modes, serial and parallel, are implemented. Finally, extra registers are added in the logic die to store TSV testing configuration bits. Experimental results show that, 0.4% area overhead is induced to the IEEE1149.1 boundary scan circuit, and TSV test time is reduced by 6X in comparison with the previous work.

Key words: 3D IC; through silicon via; design for test; JEDEC JESD229; IEEE1149.1 standard

3D 集成电路通过硅通孔 (through silicon via, TSV) 将多个晶片垂直绑定,从而提高了芯片集成度。这种垂直的绑定方式,有效地减小了互连线长度,进而缩短了互连延迟,其既提高了芯片性能,又

收稿日期:2012-12-21;修回日期:2013-06-28. 基金项目:国家“九七三”重点基础研究发展计划项目(2011CB302503);国家自然科学基金(61076018,61274030);美国 Mentor Graphics 公司研究型合作项目。叶 靖(1988—),男,博士研究生,主要研究方向为集成电路测试与诊断;郭瑞峰(1972—),男,博士,主要研究方向为集成电路测试与诊断;胡 瑜(1975—),女,博士、研究员,CCF 会员,论文通讯作者,主要研究方向为体系结构级与电路级可靠性设计、集成电路测试与诊断;郑武东(1960—),男,博士,主要研究方向为集成电路测试与诊断;黄 宇(1971—),男,博士,主要研究方向为集成电路测试与诊断;赖李洋(1975—),男,博士,主要研究方向为集成电路测试与诊断;李晓维(1964—),男,博士,研究员,博士生导师,CCF 会员,主要研究方向为集成电路测试与诊断、验证、可靠性设计、无线传感网络。

† 该项工作是郭瑞峰在 Mentor Graphics Cooperation 工作期间完成的。

降低了芯片功耗.同时,3D 集成电路的各层晶片可以由不同的生产工艺制造,例如处理器由 CMOS 工艺制造,而 DRAM 由 NMOS 工艺制造,然后将它们绑定构成 3D 芯片.3D 集成电路的种种优点,使之成为集成电路发展的重要趋势之一^[1-3].然而,测试作为 3D 芯片制造生产过程中不可或缺的步骤,仍然面临着诸多挑战^[4].为此,针对 3D 集成电路已提出了不少可测试性设计方案^[5-14].TSV 是在 3D 集成电路中引入的新技术^[15-18],其在 3D 集成电路中起着至关重要的作用.若缺陷发生在 TSV,绑定后的芯片可能将无法正常工作.缺陷是引起 3D 芯片成品率损失的重要因素之一,因此对 3D 集成电路的 TSV 进行测试是非常必要的.

3D 集成电路的一种常用结构是将存储晶片与逻辑晶片进行绑定,例如将处理器与 DRAM 绑定,其既可以提高处理器的访存速度,又可以为处理器提供更大的访存带宽.针对这类 3D 集成电路,在设计、性能、测试等方面已有一些工作^[19-23].2011 年 12 月,固态技术协会(JEDEC)正式发布了第一个面向 3D 集成电路的 DRAM 存储晶片协议 JESD229.该协议定义的存储晶片共有 4 个独立的通道,每个通道允许 128 bits 的数据读写,所以总带宽为 512 bits,是传统 DRAM 32 bits 带宽的 16 倍.另一方面,由于 IEEE1149.1 协议是逻辑晶片上广泛使用的一种边界扫描协议,将 JEDEC 协议 JESD229 定义的存储晶片与符合 IEEE1149.1 协议的逻辑晶片进行绑定的 3D 集成电路将是未来的一种发展趋势.针对这种

3D 集成电路,提出了相应的 TSV 可测试性设计方案^[9],以支持传统的互连线测试方法,即先将测试向量移至 TSV 的一端;然后通过 TSV 传输测试向量,再移出测试向量观察其是否被 TSV 正确的传输.本文针对这种 3D 集成电路,实现了既支持传统测试方法,又支持类流水线测试方法的可测试性设计.

1 边界扫描链

图 1 所示为符合 JESD229 和 IEEE1149.1 边界扫描协议的“存储+逻辑”3D 集成电路示意图.在图中,左边是一个逻辑晶片,右边是一个存储晶片,它们通过 TSV 相连.在 JESD229 所定义的存储晶片中,每个通道(a, b, c, d)都包含了一条边界扫描链,由 5 个输入 $SSEN, SCK[a:d], CS_n[a:d], SSH_n[a:d]$ 和 $SOE_n[a:d]$ 控制,如表 1 所示.当且仅当 $SSEN=1$ 时,边界扫描链被激活; CS_n 在边界扫描链被激活时和存储晶片正常工作时都有效,而其他 3 个输入仅在边界扫描链被激活时有效.每个通道的边界扫描链可以独立控制, $SDI[a:d]$ 和 $SDO[a:d]$ 是边界扫描链的扫描输入端和扫描输出端.在 DRAM 正常工作时, DQ 代表存储单元数据信号线,数据读写通过其完成;在边界扫描链被激活时, DQ 与双向边界扫描单元相连.该边界扫描链有 2 种工作模式,一是测试数据从 SDI 向 SDO 扫描移入和移出,二是边界扫描单元通过 DQ 并行输入或并行输出测试数据.

表 1 JESD229 包含的边界扫描链操作

工作模式	$SSEN$	CS_n	SSH_n	SOE_n	SCK	SDI	SDO	DQ
扫描移入/移出	1	0	0	0	有效	有效	有效	HiZ
并行输入	1	1	1	1	有效	x	HiZ	有效数据输入
并行输出	1	0	1	1	x	x	HiZ	有效数据输出
DRAM 正常工作	0	有效	x	x	x	x	HiZ	有效

由于 TSV 在存储晶片上连接的是双向边界扫描单元,因此在符合 IEEE1149.1 的逻辑晶片上,TSV 连接的也应该是双向边界扫描单元.换言之,当存储晶片与逻辑晶片通过 TSV 绑定后,TSV (DQ)的两端各有一个双向边界扫描单元.根据 IEEE1149.1,逻辑晶片的双向边界扫描单元一般保存 2 个比特;其中一个比特用于控制该双向边界扫描单元的方向,称其为“边界扫描单元数据流向”;另

一个保存了用于测试 TSV 而需发送的数据,称其为“边界扫描单元数据值”.在扫描移动过程中,把一个双向边界扫描单元的 2 个比特移动到下一个中,需要 2 个有效的时钟周期.而存储晶片则不同,其一个通道内的所有双向边界扫描单元由上一段所述的输入统一控制数据流向,所以其边界扫描单元只保存了一个比特,且将该比特移动到下一个边界扫描单元中只需要一个有效的时钟周期.

定义,其用于产生控制所有边界扫描单元的信号(如 *ClockDR*, *ShiftDR*, *UpdateDR* 等). *TDI* 和 *TDO* 是逻辑晶片上边界扫描链的输入端和输出端,图中给出了 3 条从 *TDI* 到 *TDO* 的路径.最左边的路径从 *TDI* 到 *TDO_Instruction*,其连接了指令寄存器.在测试过程中,先要向指令寄存器中移入特定的测试指令,然后经过指令译码器译码产生合适的信号配置边界扫描单元及扫描路径,使得接下来的测试过程符合移入的测试指令.本文提出的 TSV 可测试性设计增加了 2 条测试指令:一条测试指令用于激活从 *TDI* 到 *TDO_Control* 的扫描路径,在这条路径上,TSV 测试控制寄存器(TSV test control register, TSV-TCR)用于配置逻辑晶片边界扫描链与存储晶片片边界扫描链的连接方式;另一条测试指令用于激活从 *TDI* 到 *TDO_TSVTest* 的扫描路径,在这条路径上,逻辑晶片的边界扫描链通过反相

器和二路选择器与存储晶片的边界扫描链相连接,其用于移入、传输、移出 TSV 测试向量.最后,存储晶片边界扫描链控制器(memory die boundary scan chain controller, MBC)由测试接口控制器等驱动,其产生合适的 *SSEN*, *SCK*, *CS_n*, *SSH_n* 和 *SOE_n* 信号,以控制存储晶片的边界扫描链.

2.1 边界扫描链连接模式

在 *TDI* 和 *TDO_TSVTest* 之间,存储晶片和逻辑晶片的边界扫描链有 2 种连接模式:

- 1) 串联模式.如图 2 a 所示,TSV-TCR 可以决定在存储晶片中的一个通道的边界扫描链是否被旁路;
- 2) 并联模式.如图 2 b 所示,存储晶片所有通道的边界扫描链都不能被旁路,逻辑晶片边界扫描链上的反相器实际只在并联模式下有效,但其不会影响串联模式下的测试流程.

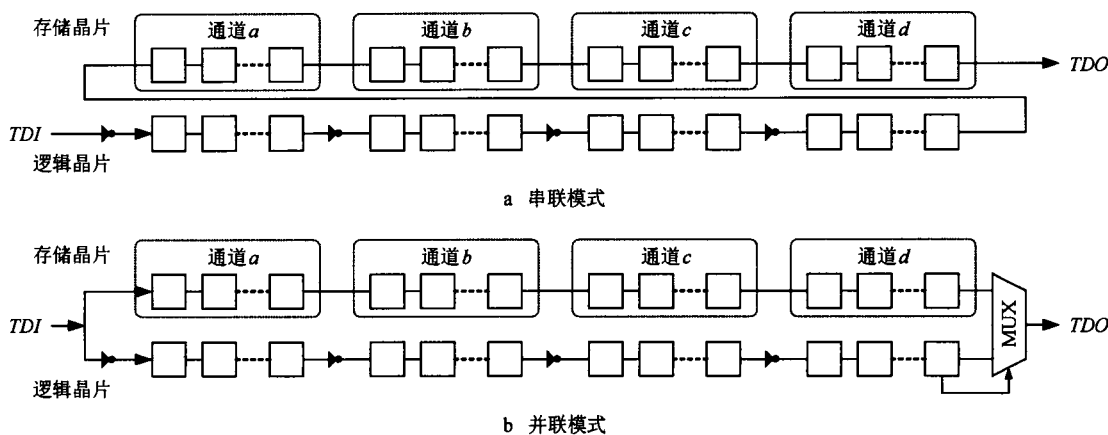


图 2 存储晶片和逻辑晶片的边界扫描链连接模式

这 2 种连接模式由 TSV-TCR 选择,其中,串联模式支持传统的互连线测试方法,而并联模式能够缩短测试时间,在这 2 种模式下的测试流程将在第 2.3 节中介绍.

2.2 存储晶片边界扫描链控制器 MBC 设计

MBC 通过产生合适的 *SSEN*, *CS_n*, *SSH_n*, *SOE_n* 和 *SCK* 信号来控制存储晶片的边界扫描链,其真值表如表 2 所示.

表 2 存储晶片边界扫描链控制器 MBC 真值表

测试指令	工作模式	数据流向	逻辑晶片			存储晶片				
			<i>ShiftDR</i>	<i>ClockDR</i>	<i>D_{a~d}</i>	<i>SSEN</i>	<i>CS_n</i>	<i>SSH_n</i>	<i>SOE_n</i>	<i>SCK</i>
非 TSV 测试	x	x	x	x	x	0	x	x	x	x
	扫描移动	x	1	有效	x	1	0	0	0	有效
TSV 测试	并行输入/输出	存储⇨逻辑	0	有效	0	1	0	1	1	x
		存储⇨逻辑	0	x	1	1	1	1	1	有效

首先,当且仅当使用 TSV 测试指令激活 *TDI* 到 *TDO_TSVTest* 之间的扫描路径时, *SSEN* 才为 1,所以 *SSEN* 直接由指令译码器驱动.

其次,如前文所述,逻辑晶片的双向边界扫描单元存储了 2 个比特,若用 *D* 表示边界扫描单元数据流向,则 *D*=0 时边界扫描单元发送数据,而 *D*=1

时边界扫描单元接收数据. 为了决定存储晶片一个通道内边界扫描单元的数据流向, 在该通道对应的逻辑晶片边界扫描单元中任意选择一个用于驱动 MBC. 例如, 在存储晶片通道 a 对应的逻辑晶片边界扫描单元中, 选择 D_a 来驱动 MBC, 以决定通道 a 内所有边界扫描单元的数据流向. 若测试向量从存储晶片传输到逻辑晶片, 则 $D=0$, 此时 $\{CS_n, SSH_n, SOE_n\}=\{011\}$; 若测试向量从逻辑晶片传输到存储晶片, 则 $D=1$, 此时 $\{CS_n, SSH_n, SOE_n\}=\{111\}$.

最后, $ShiftDR$ 和 $ClockDR$ 由测试接口控制器产生. 在存储晶片与逻辑晶片的边界扫描链串联模式下, $ClockDR$ 可以直接驱动 SCK , 因为测试接口控制器在扫描移动或者并行输入输出 (无论输入还是输出) 时都会在 $ClockDR$ 上产生有效的时钟. 但是, 在存储晶片与逻辑晶片的边界扫描链并联模式下, 测试向量需要同步地移动到 TSV 两端, 由于逻辑晶片需要 2 个时钟周期将一个边界扫描单元的数

据移动到下一个, 而存储晶片只需要一个时钟周期, 因此在 $ClockDR$ 和 SCK 之间增加了一个分频器, 以实现测试向量的同步移动.

2.3 测试流程

2.3.1 边界扫描链串联模式

在存储晶片与逻辑晶片的边界扫描链串联模式下, 测试流程与传统的互连线测试流程一致. 图 3 所示为一个示例, 在图中, 每个逻辑晶片的边界扫描单元由 1 条斜线分开, 左边表示边界扫描单元数据值, 右边表示边界扫描单元数据流向. 首先, 如图 3 a 所示, 第一个测试向量从 TDI 扫描移入; 然后, 如图 3 b 所示, 该向量通过 TSV 从存储晶片传输到逻辑晶片, 以测试 TSV 的固定 1 (SA1) 故障. 若 TSV 无故障, 则逻辑晶片的边界扫描单元数据值更新为 0; 否则保持 1. 最后, 如图 3 c 所示, 传输后的测试向量从 TDO 扫描移出, 而下一个测试向量从 TDI 扫描移入.

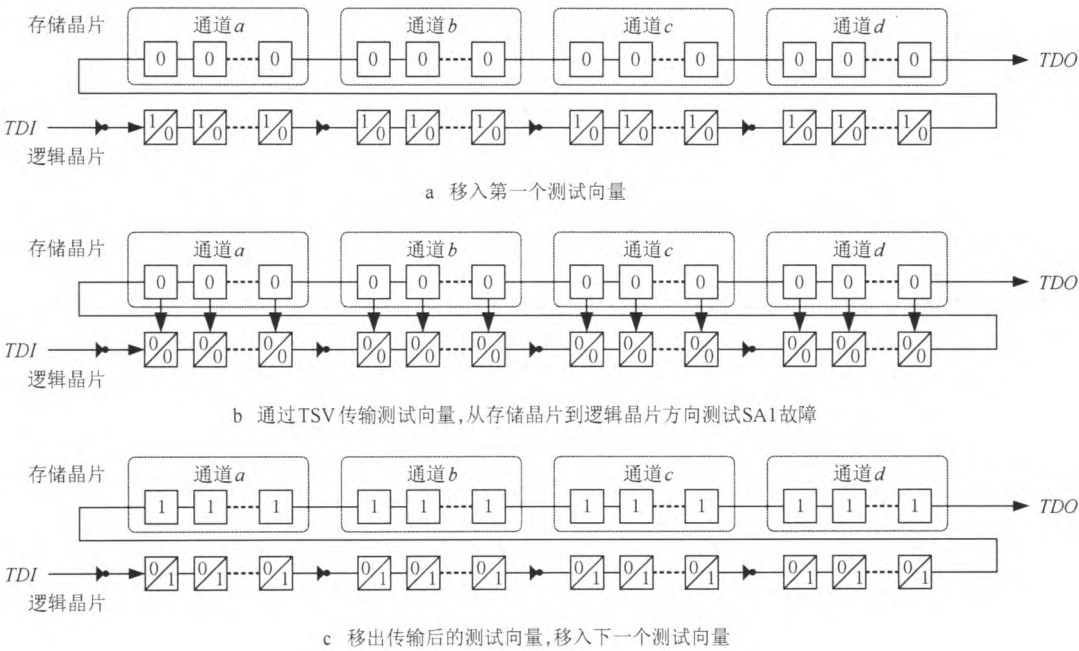


图 3 边界扫描链串联模式的测试流程

2.3.2 边界扫描链并联模式

在存储晶片与逻辑晶片的边界扫描链并联模式下, 本文提出了类似流水线的 TSV 测试流程, 以减少测试时间. 图 4 所示为一个简化的示例, 在图中, 假设存储晶片的每个通道只包含一个边界扫描单元 (C_a 表示通道 a 中的边界扫描单元, C_b, C_c 和 C_d 以此类推).

首先, 如图 4 a 所示, 第一个测试向量从 TDI 扫描移入, 其既移入存储晶片的边界扫描链, 又移入逻辑晶片的边界扫描链. 在 MBC 中, $ClockDR$ 通过分

频器产生 SCK , 以保证移入存储晶片边界扫描链的是边界扫描单元数据值, 而不是边界扫描单元数据流向. 另外, 由于在逻辑晶片的边界扫描链上插入了反相器, 因此 TSV 两端的边界扫描单元数据值恰好相反. 该测试向量仅移入到存储晶片通道 a 的所有边界扫描单元中; 然后, 如图 4 b 所示, 该向量通过 TSV 从存储晶片传输到逻辑晶片, 以测试通道 a 中 TSV 的 SA1 故障. 若 TSV 无故障, 则逻辑晶片的边界扫描单元数据值更新为 0. 之后, 如图 4 c 所示, 第一个测试向量继续向 TDO 移动一个存储晶片通

道,在移动过程中,由于逻辑晶片的边界扫描链上有反相器,该测试向量的边界扫描单元数据流向发生翻转.同时,第二个测试向量从 *TDI* 扫描移入到存

储晶片通道 *a*.最后,如图 4 d 所示,第一个和第二个测试向量都通过 TSV 从逻辑晶片传输到存储晶片,以测试通道 *a* 和通道 *b* 的 TSV.

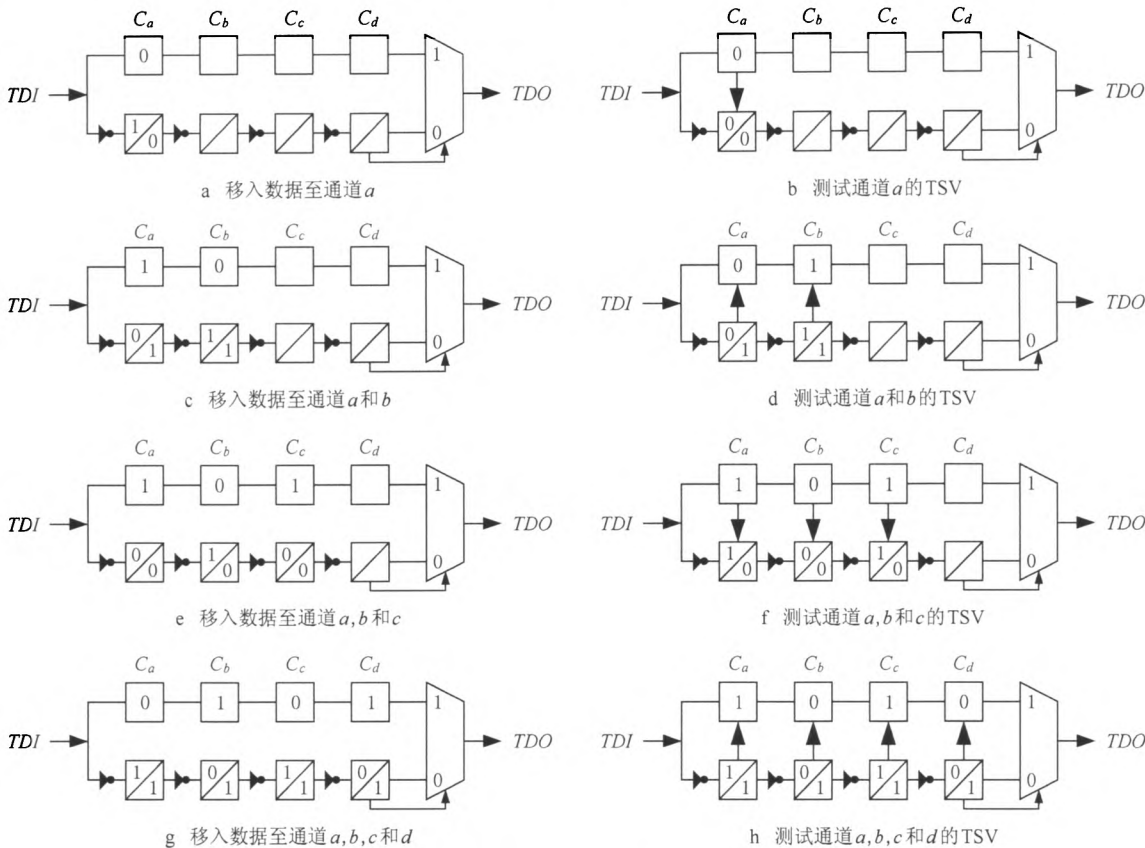


图 4 边界扫描链并联模式的测试流程

使用这种类似流水线的测试流程,经过图 4 e~4 h,第一个测试向量最后通过 TSV 从逻辑晶片传输到存储晶片,并从 *TDO* 扫描移出.与 *TDO* 相连的二路选择器由边界扫描单元数据流向所控制,若最后一个通道的测试向量从逻辑晶片传输到存储晶片,则二路选择器选择存储晶片的边界扫描链;若最后一个通道的测试向量从存储晶片传输到逻辑晶片,则二路选择器选择逻辑晶片的边界扫描链.

3 实验结果

本文所提出的“存储+逻辑”3D 集成电路 TSV 可测试性设计,由商业工具进行综合(180 nm 工艺库),且由商业 Verilog 模拟器进行验证.

在逻辑晶片上,主要增加了 2 部分电路:1)用于连接存储晶片与逻辑晶片边界扫描链的 TSV-TCR、反相器和二路选择器;2)用于控制存储晶片边界扫描链的 MBC.商业工具综合的面积如表 3 所示,新增面积仅占原 IEEE1149.1 边界扫描电路的 0.4%.

表 3 3D 集成电路 TSV 可测试性设计的面积开销

新增的电路	商业工具综合的面积/ μm^2
TSV-TCR、反相器和二路选择器	1 087.6
MBC	196.3
共计	1 283.9
新增面积占原 IEEE1149.1 边界扫描电路的比率/%	0.4

图 5 所示为边界扫描链串联模式和并联模式的仿真波形,所用测试向量与图 3~4 的示例相同.当 *ShiftDR*=1 时,测试向量处于扫描移动模式;当 *ShiftDR*=0 时,测试向量才会通过 TSV 进行传输.JESD229 共包含了 716 个边界扫描单元,所以在串联模式下,总共需要 2 148 个 *ClockDR* 时钟周期才能移入一个测试向量,因此图中 *ShiftDR*=0 的时刻显得非常短暂.放大镜 1 和放大镜 2 所在时刻,测试向量通过 TSV 从存储晶片传输到逻辑晶片,此时,存储晶片 4 个通道的 {*CS_n*, *SSH_n*, *SOE_n*} 皆为 {011},TSV 都在传输比特 0.传输结束

后, {CS_n, SSH_n, SOE_n} 变回 {000}, 即边界扫描链回到扫描移动模式. 放大镜 3 所在时刻, 测试向量通过 TSV 从逻辑晶片传输到存储晶片, 此时, 存储晶片 4 个通道的 {CS_n, SSH_n, SOE_n} 皆为 {111}. 从图 5 可以看出, 与边界扫描链串联模式相比, 并联模式下 TSV 传输测试向量的频率要大得多; 换言之, 并联模式能够更快地测试 TSV. 这是因为在并联模式下, 一个测试向量仅在移动了一个存

储晶片通道后就通过 TSV 进行了传输. 若用 L 代表存储晶片中的一个通道的边界扫描单元数目, 用 P 代表 TSV 测试向量的数目, 用 T 代表测试时钟的周期, 则使用串联模式的测试时间约为 $12 \times L \times (P+1) \times T$. 该公式只包含了扫描移动测试向量的时间 (TSV 传输测试向量的时间非常短暂), 而使用并联模式的测试时间为 $2 \times L \times (P+3) \times T$, 大约为串联模式下测试时间的 1/6.



图 5 边界扫描链串联模式与并联模式的仿真波形

4 结 语

本文针对符合 JESD229 和 IEEE1149.1 边界扫描协议的“存储+逻辑”3D 集成电路, 提出了一种 TSV 可测试性设计. 该设计无需修改存储晶片, 仅在逻辑晶片上增加了少量电路, 所增面积只有原 IEEE1149.1 边界扫描电路的 0.4%. 该设计支持 2 种 TSV 测试模式: 1) 通过串联存储晶片与逻辑晶片的边界扫描链, 以支持传统的互连线测试方法; 2) 通过并联存储晶片与逻辑晶片的边界扫描链, 以缩短测试时间为传统方法的 1/6.

参考文献 (References):

[1] Patti R S. Three-dimensional integrated circuits and the future of system-on-chip designs [J]. Proceedings of the IEEE, 2006, 94(6): 1214-1224

[2] Beyne E, Swinnen B. 3D system integration technologies [C] // Proceedings of IEEE International Conference on Integrated Circuit Design and Technology. Los Alamitos: IEEE Computer Society Press, 2007: 1-3

[3] Lu J Q. 3-D hyperintegration and packaging technologies for micro-nano systems [J]. Proceedings of the IEEE, 2009, 97 (1): 18-30

- [4] Lee H H S, Chakrabarty K. Test challenges for 3D integrated circuits [J]. IEEE Design & Test of Computers, 2009, 26(5): 26-35
- [5] Lewis D L, Lee H S. A scanisland based design enabling prebond testability in die-stacked microprocessors [C] // Proceedings of IEEE International Test Conference. Los Alamitos: IEEE Computer Society Press, 2007: 1-8
- [6] Zhao X, Lewis D L, Lee H H S, *et al.* Pre-bond testable low-power clock tree design for 3D stacked ICs [C] // Proceedings of IEEE/ACM International Conference on Computer-Aided Design. Los Alamitos: IEEE Computer Society Press, 2009: 184-190
- [7] Kim T Y, Kim T. Clock tree synthesis with pre-bond testability for 3D stacked IC designs [C] // Proceedings of the 47th ACM/IEEE Design Automation Conference. Los Alamitos: IEEE Computer Society Press, 2010: 723-728
- [8] Buttrick M, Kundu S. On testing prebond dies with incomplete clock networks in a 3D IC using DLLs [C] // Proceedings of Design, Automation & Test in Europe Conference & Exhibition. Los Alamitos: IEEE Computer Society Press, 2011: 1-6
- [9] Deutsch S, Keller B, Chickermance V, *et al.* DfT architecture and ATPG for interconnect tests of JEDEC wide-I/O memory-on-logic die stacks [C] // Proceedings of IEEE International Test Conference. Los Alamitos: IEEE Computer Society Press, 2012: 1-10
- [10] Wang Wei, Han Yinhe, Hu Yu, *et al.* Wrapper design for low cost and low power in SoC test [J]. Journal of Computer-Aided Design & Computer Graphics, 2006, 18(9): 1397-1402 (in Chinese)
(王伟, 韩银和, 胡瑜, 等. SoC测试中低成本、低功耗的芯核包装方法[J]. 计算机辅助设计与图形学学报, 2006, 18(9): 1397-1402)
- [11] Wang Jie, Zhang Lei, Li Huawei, *et al.* A timing-aware 3D IC bonding optimization method [J]. Journal of Computer-Aided Design & Computer Graphics, 2010, 22(11): 2029-2036 (in Chinese)
(王杰, 张磊, 李华伟, 等. 时序敏感的3D IC绑定优化方法[J]. 计算机辅助设计与图形学学报, 2010, 22(11): 2029-2036)
- [12] Ouyang Yiming, Liu Bei, Liang Huaguo. Optimizing method for pre-bond test time on three-dimensional SoCs [J]. Journal of Electronic Measurement and Instrument, 2011, 25(2): 164-169 (in Chinese)
(欧阳一鸣, 刘蓓, 梁华国. 一种三维SoCs绑定前的测试时间优化方法[J]. 电子测量与仪器学报, 2011, 25(2): 164-169)
- [13] Wang Wei, Li Xin, Chen Tian, *et al.* 3D SoC test optimization method based on balance of scan chain [J]. Journal of Electronic Measurement and Instrument, 2012, 26(7): 586-590 (in Chinese)
(王伟, 李欣, 陈田, 等. 基于扫描链平衡的3D SoC测试优化方法[J]. 电子测量与仪器学报, 2012, 26(7): 586-590)
- [14] Zhang Tao, Yuan Xiaolong, Yu Wenjian. Thermal simulation of 3D IC based on the double-nested fast fourier transformation [J]. Journal of Computer-Aided Design & Computer Graphics, 2012, 24(8): 1012-1019 (in Chinese)
(章涛, 袁小龙, 喻文健. 基于两重快速傅里叶变换的三维芯片热仿真[J]. 计算机辅助设计与图形学学报, 2012, 24(8): 1012-1019)
- [15] Koyanagi M, Fukushima T, Tanaka T. High-density through silicon vias for 3-D LSIs [J]. Proceedings of the IEEE, 2009, 97(1): 49-59
- [16] Loi I, Benini L. An efficient distributed memory interface for many-core platform with 3D stacked DRAM [C] // Proceedings of Design, Automation & Test in Europe Conference & Exhibition. Los Alamitos: IEEE Computer Society Press, 2010: 99-104
- [17] Cassidy C, Kraft J, Carniello S, *et al.* Through silicon via reliability [J]. IEEE Transactions on Device and Materials Reliability, 2012, 12(2): 285-295
- [18] Wu Xiangdong. Research status of through-silicon via interconnection for 3D integration technology [J]. Electronics & Packaging, 2012, 12(9): 1-13 (in Chinese)
(吴向东. 三维集成封装中的TSV互连工艺研究进展[J]. 电子与封装, 2012, 12(9): 1-13)
- [19] Liu C C, Ganusov I, Burtcher M, *et al.* Bridging the processor-memory performance gap with 3D IC technology [J]. IEEE Design & Test of Computers, 2005, 22(6): 556-564
- [20] Kang U, Chung H J, Heo S, *et al.* 8Gb 3D DDR3 DRAM using through-silicon-via technology [C] // Proceedings of IEEE International Solid-State Circuits Conference. Los Alamitos: IEEE Computer Society Press, 2009: 130-131
- [21] Jiang L, Liu Y X, Duan L, *et al.* Modeling TSV open defects in 3D-stacked DRAM [C] // Proceedings of IEEE International Test Conference. Los Alamitos: IEEE Computer Society Press, 2010: 1-9
- [22] Yu Le, Yang Haigang, Xie Yuanlu, *et al.* A 3D IC self-test and recovery method based on through silicon via defect modeling [J]. Journal of Electronics & Information Technology, 2012, 34(9): 2247-2253 (in Chinese)
(余乐, 杨海钢, 谢元禄, 等. 三维集成电路中硅通孔缺陷建模及自测试/修复方法研究[J]. 电子与信息学报, 2012, 34(9): 2247-2253)
- [23] Hou Ligang, Li Chunqiao, Bai Shu, *et al.* Crosstal-free 3D IC TSV automatic placement [J]. Journal of Computer-Aided Design & Computer Graphics, 2013, 25(4): 578-583 (in Chinese)
(侯立刚, 李春桥, 白澍, 等. 防串扰的3D芯片TSV自动布局[J]. 计算机辅助设计与图形学学报, 2013, 25(4): 578-583)