数电芯片总结

egg

一．数据选择器

二．编码器

三．译码器

四．加法器

五．数值比较器

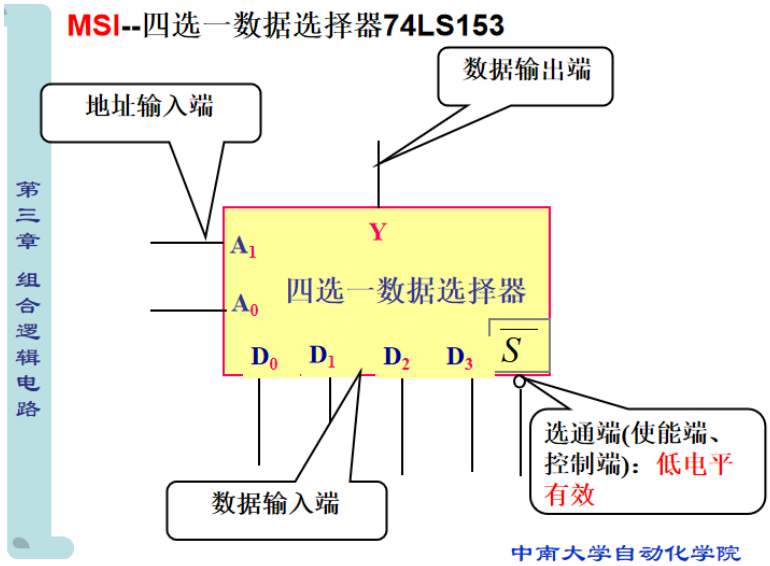
六．寄存器

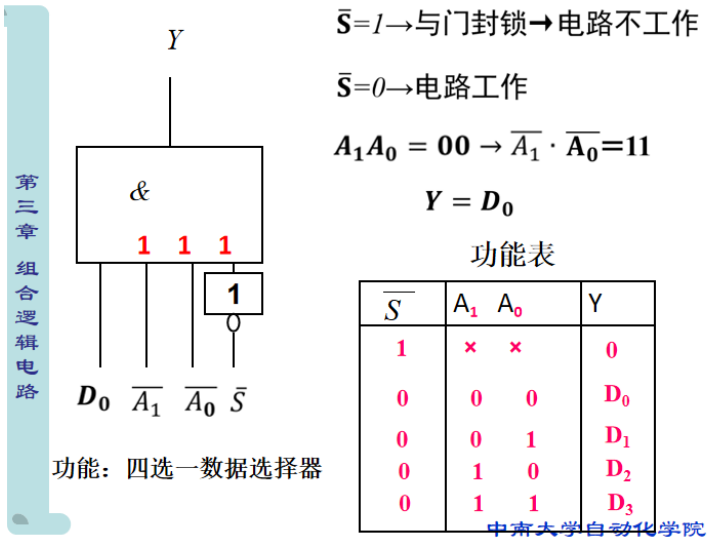
七．计数器

八．实用储存器

一．数据选择器

1.***四选一数据选择 74LS153



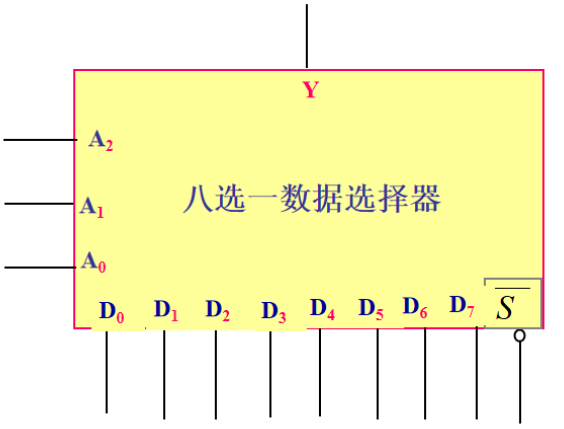


$\overline{S}$	A_1	A_0	Y
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

$$Y = \overline{\overline{S}}(\overline{A_1}\,\overline{A_0}D_0 + \overline{A_1}A_0D_1 + A_1\overline{A_0}D_2 + A_1A_0D_3)$$

2.***八选一数据选择器 74LS151

MSI—八选一数据选择器74LS151

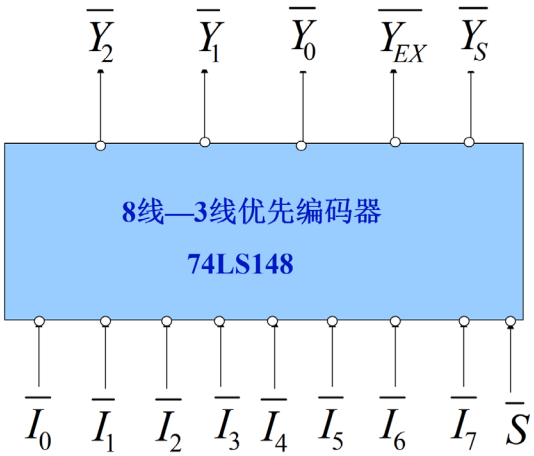


八选一数据选择器功能表

$\overline{S}$	A_2	A_1	A_0	Y
1	×	×	×	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

二. 编码器

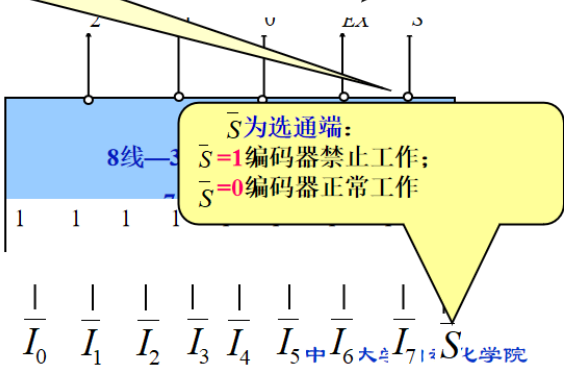
1. ***8 线—3 线优先编码器 74LS148



四、中规模集成编码器

$\overline{Y_S}$ 为无编码信号输入端：
$\overline{Y_S}$ =1，有编码信号输入；
$\overline{Y_S}$ =0，电路工作但无编码信号输入

$\overline{Y_{EX}}$ 为编码输出信号有效端：
$\overline{Y_{EX}}$ =0，电路工作且有编码输入；
$\overline{Y_{EX}}$ =1，编码输出信号无效



$\overline{S}$ 为选通端：
$\overline{S}$ =1编码器禁止工作；
$\overline{S}$ =0编码器正常工作

中南大学自动化学院

二、优先编码器

8线—3线优先编码器功能表

输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
×	1	0	0	0	0	0	0	0	0	1
×	×	1	0	0	0	0	0	0	1	0
×	×	×	1	0	0	0	0	0	1	1
×	×	×	×	1	0	0	0	1	0	0
×	×	×	×	×	1	0	0	1	0	1
×	×	×	×	×	×	1	0	1	1	0
×	×	×	×	×	×	×	1	1	1	1

中南大学自动化学院

三、功能扩展

输入									输出				
$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{S}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$	$\overline{Y_S}$
×	×	×	×	×	×	×	×	1	1	1	1	1	1
1	1	1	1	1	1	1	1	0	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
×	0	1	1	1	1	1	1	0	1	1	0	0	1
×	×	0	1	1	1	1	1	0	1	0	1	0	1
×	×	×	0	1	1	1	1	0	1	0	0	0	1
×	×	×	×	0	1	1	1	0	0	1	1	0	1
×	×	×	×	×	0	1	1	0	0	1	0	0	1
×	×	×	×	×	×	0	1	0	0	0	1	0	1
×	×	×	×	×	×	×	0	1	0	0	0	0	1

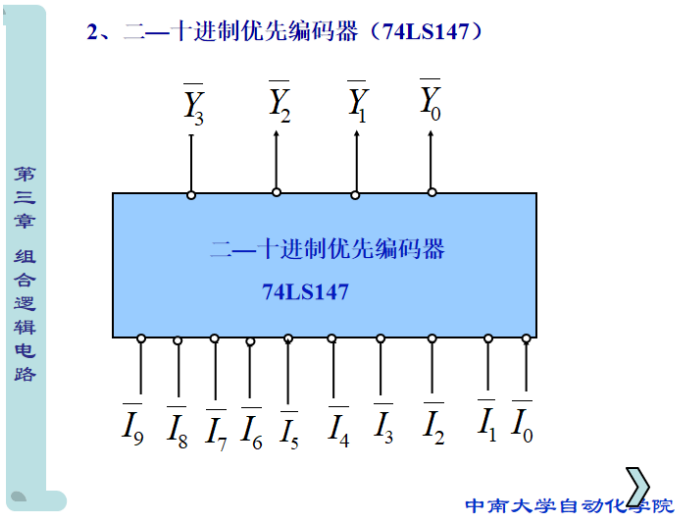
中南大学信息科学与工程学院

3.1 优先级的思想

我们发现普通编码器虽然能实现编码的功能，但它仍有不少局限性，其中之一就表现为：普通编码器的输入端只能同时存在一个高电平信号，当我们不小心输入了多个高电平信号，比如输入(11111111)，根据电路图普通编码器输出的结果为(111),与正常输入(00000001)的结果相同，但我们从输出端根本无法判断输入了一个错误的信号。

为了破除这种弊端，我们设想一种新的编码器：它的每个输入端有着不同的重要性，只要更重要的输入端输入了有效信号，我们就不再考虑来自其他次重要输入端的输入信号。比如我们规定 $I_7 \ldots I_0$ 重要性依次递减，当I_7输入有效信号(比如将输入1定为有效)时，就不再考虑来自另外7个输入端的信号，而在输出端直接输出 111 ,只有当 I_7 输入一个无效信号(比如输入0),在考虑来自 I_6 的输入信号。

2. 二—十进制优先编码器（74LS147）



三． 译码器

1.***中规模集成 3 线—8 线译码器（74LS138）

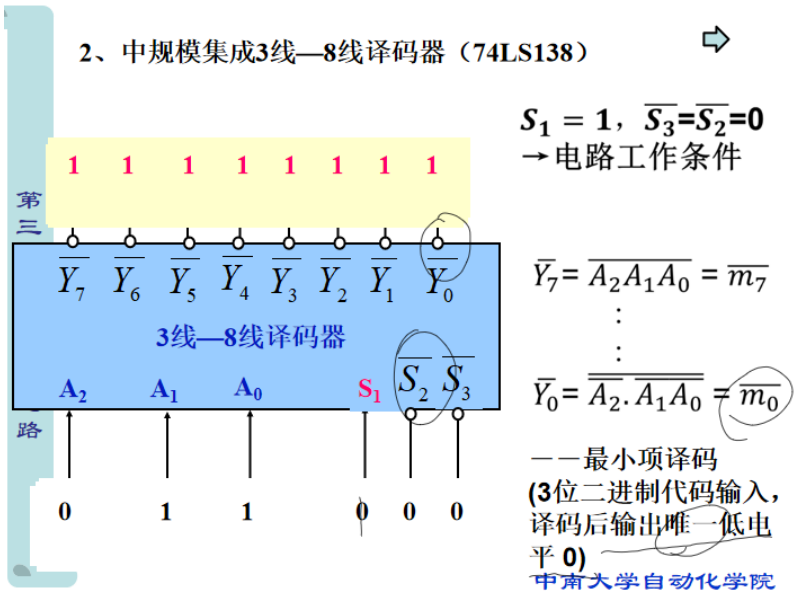
为最小项译码器

3线—8线译码器真值表

输入			输出							
A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$Y_0 = \overline{A_2}\,\overline{A_1}\,\overline{A_0}$$
$$Y_1 = \overline{A_2}\,\overline{A_1}A_0$$
$$Y_2 = \overline{A_2}A_1\overline{A_0}$$
$$Y_3 = \overline{A_2}A_1A_0$$
$$Y_4 = A_2\overline{A_1}\,\overline{A_0}$$
$$Y_5 = A_2\overline{A_1}A_0$$
$$Y_6 = A_2A_1\overline{A_0}$$
$$Y_7 = A_2A_1A_0$$

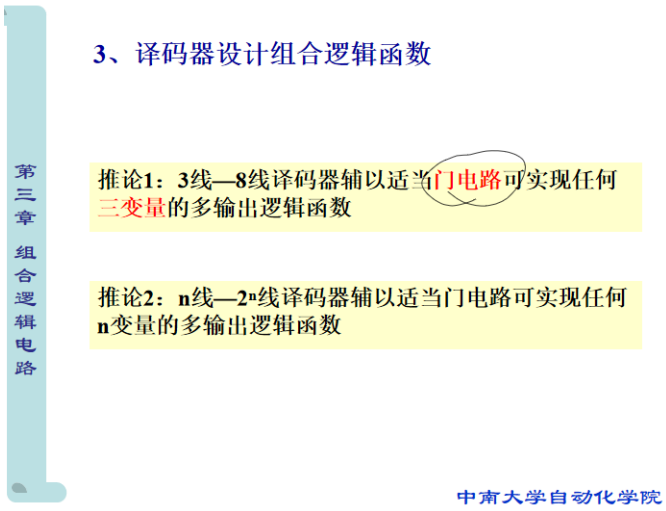
中南大学自动化学院



有杠+圈->低电平有效

S1 处应接高电平（课件打错了）

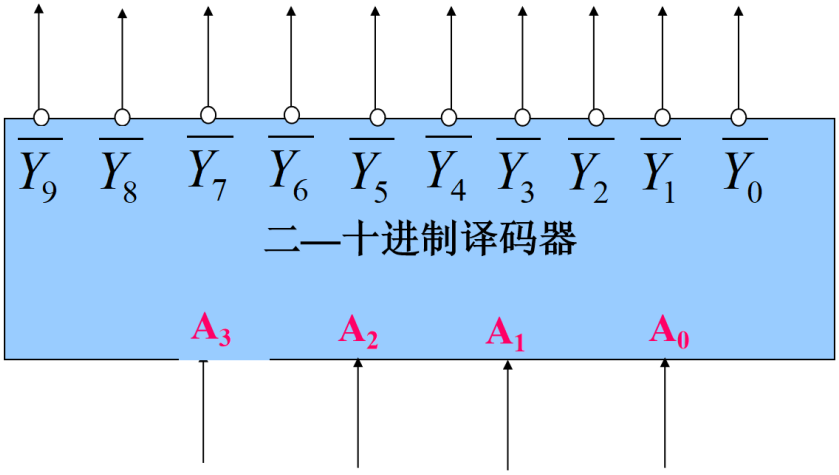
如果 S 不是 100，则输出全 1



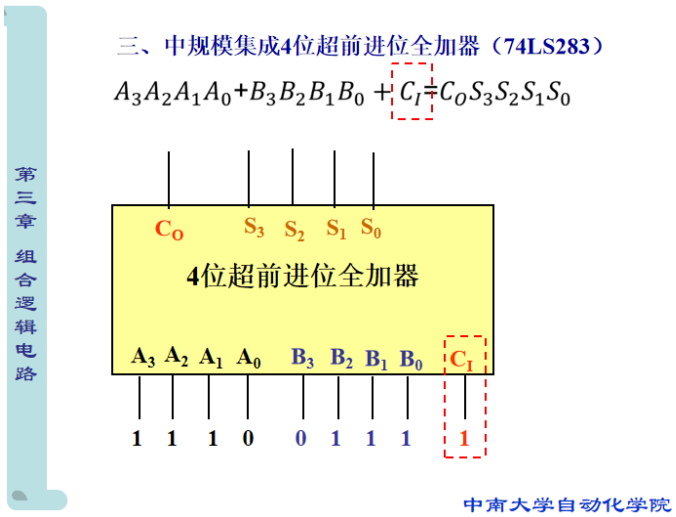
利用最小项

写出输出的逻辑表达式，再进行处理（如两次取反）

2.二—十进制译码器（74LS42）



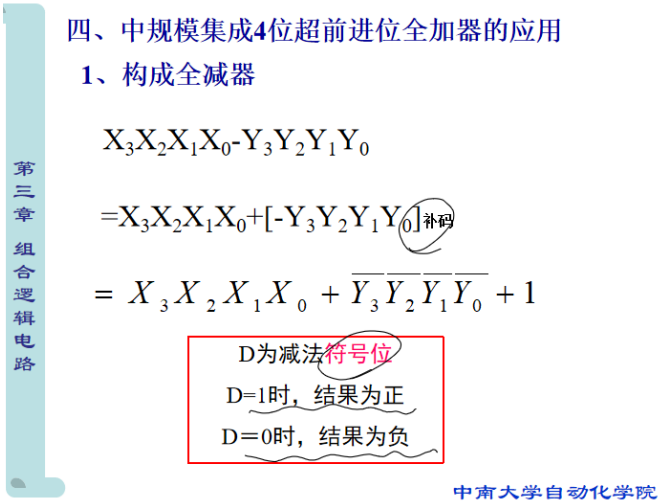
四．加法器



Ci：进位

最后输出：Co 为最高位

应用：

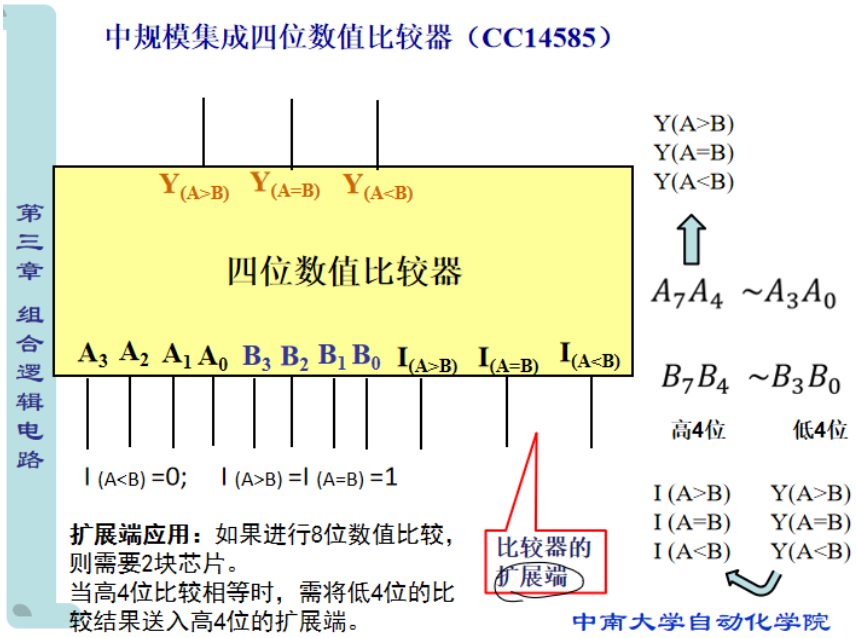


补码：取反后加 1

最后的 1 由 Ci 提供

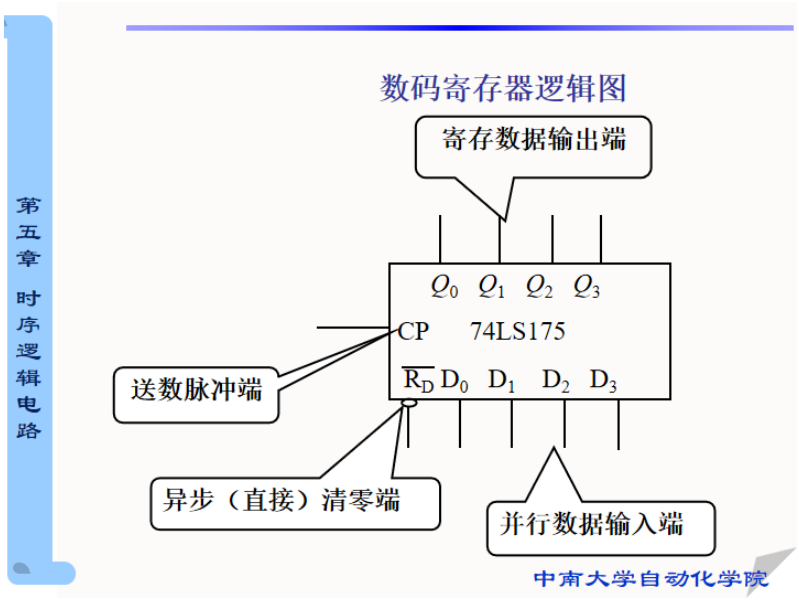
将 8421 BCD 码转换为余 3 码：即＋3

五．数值比较器



六．寄存器

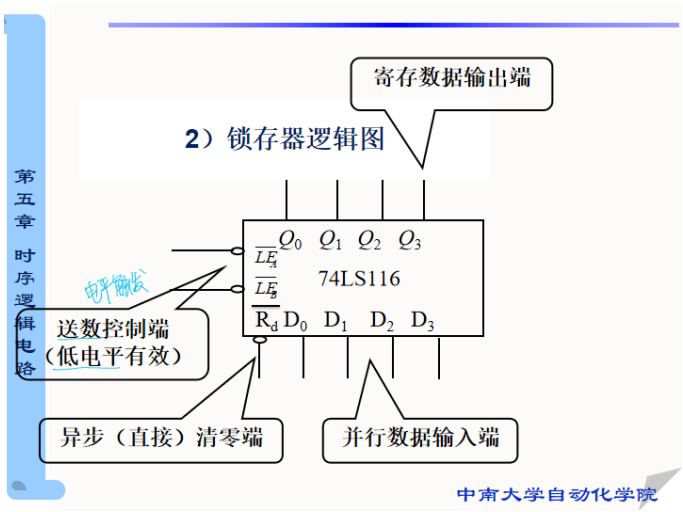
1.集成数码寄存器 74LSl75



74LS175功能表及说明

$\overline{R_d}$	CP	功　　能	说　　明
0	×	直接清零	$Q_3Q_2Q_1Q_0=0000$
1	↑	并行送数	$Q_i^{n+1}=D_i$

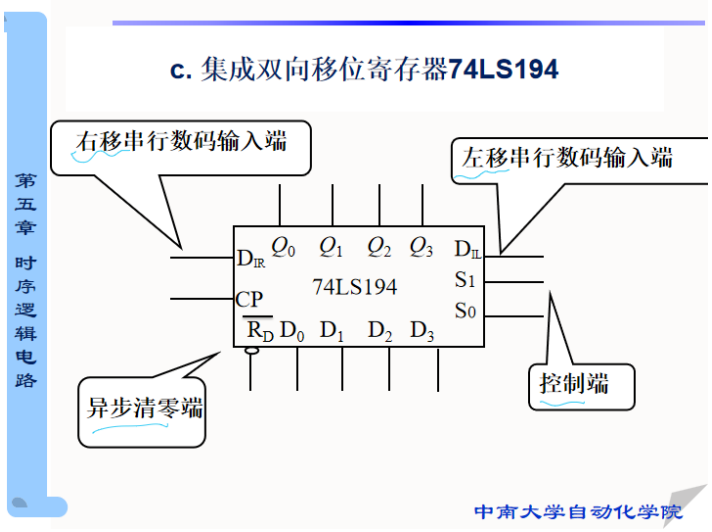
2. 锁存器 75LS116



74LS116功能表及说明

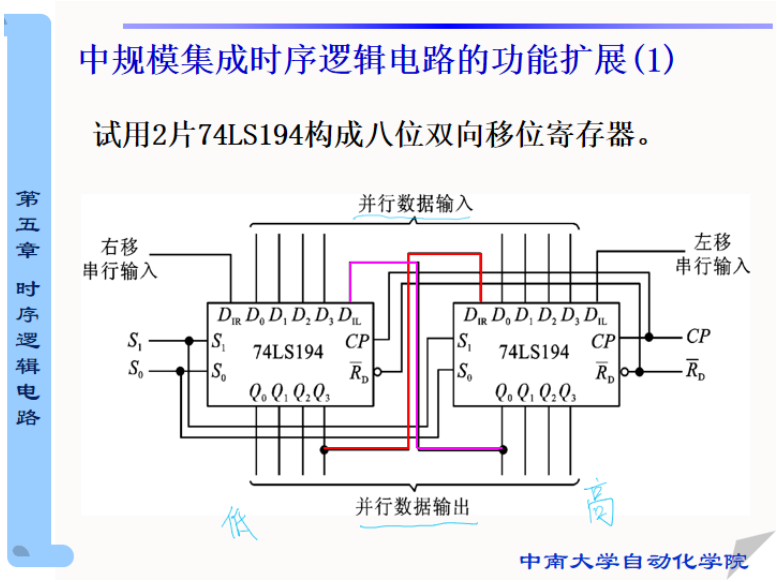
$\overline{Rd}$	$\overline{LE_A}+\overline{LE_B}$	功　能	说　明
0	×	直接清零	$Q_i=0$
1	0	并行送数	$Q_i^{n+1}=D_i$
1	1	保　持	$Q_i^{n+1}=Q_i^n$

3. 双向移位寄存器 74LS194



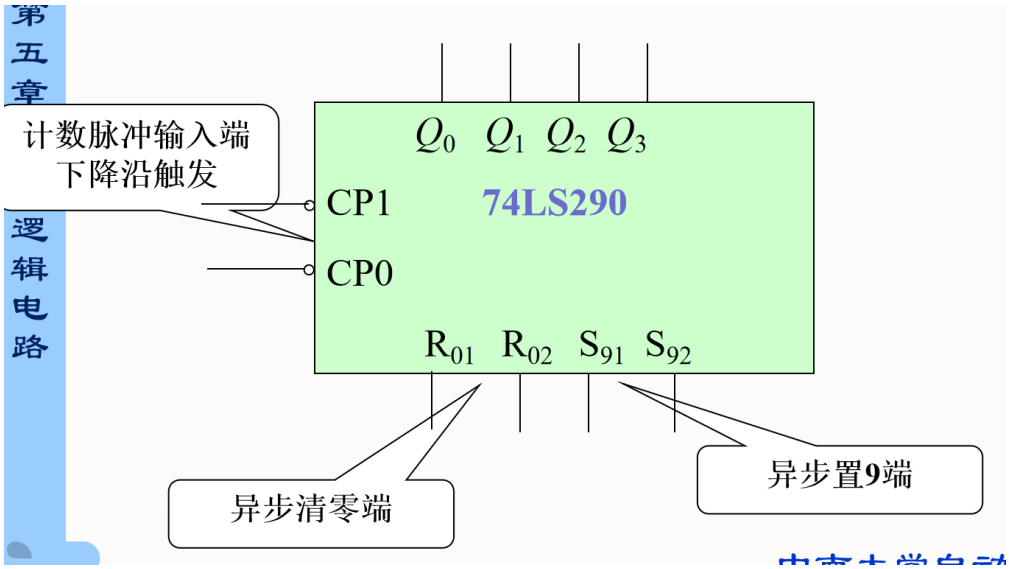
$\overline{R_D}$	CP	S_1 S_0	功 能	说　　明
0	×	××	直接清零	Qi=0
1	↑	1 1	并行送数	$Q_i^{n+1}=D_i$
1	↑	0 1	右　移	$Q_i^{n+1}=Q_{i-1}^n, Q_0^{n+1}=D_{IR}$
1	↑	1 0	左　移	$Q_i^{n+1}=Q_{i+1}^n, Q_3^{n+1}=D_{IL}$
1	×	0 0	保　持	$Q_i^{n+1}=Q_i^n$
1	0	××	保　持	$Q_i^{n+1}=Q_i^n$

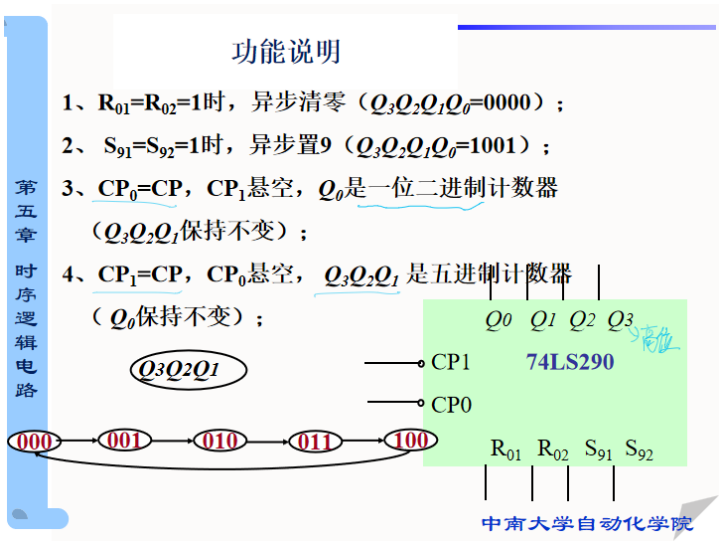
应用：串行输入数据，乘 2 运算，除 2 运算，环形移位寄存器，扭环形移位寄存器



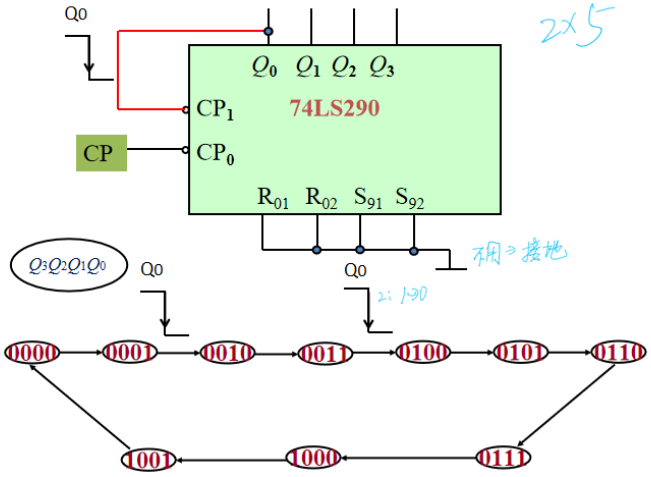
七．计数器

1.二-五-十进制异步计数器（74LS290）

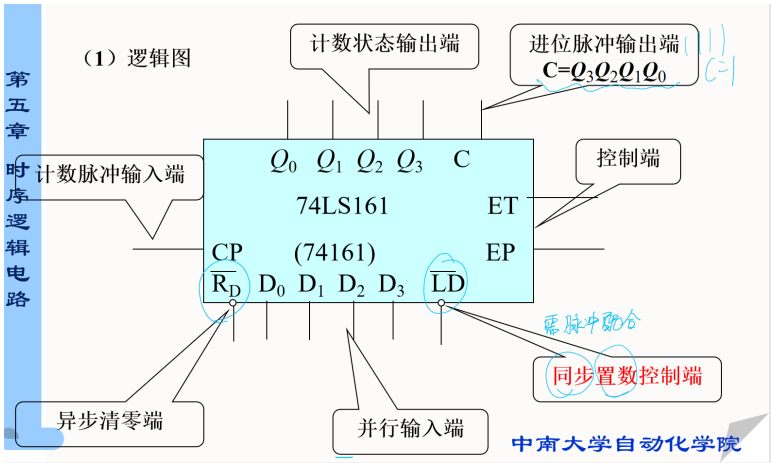




5、$CP_0=CP$，$CP_1=Q_0$， $Q_3Q_2Q_1$ Q_0构成十进制加法计数器。



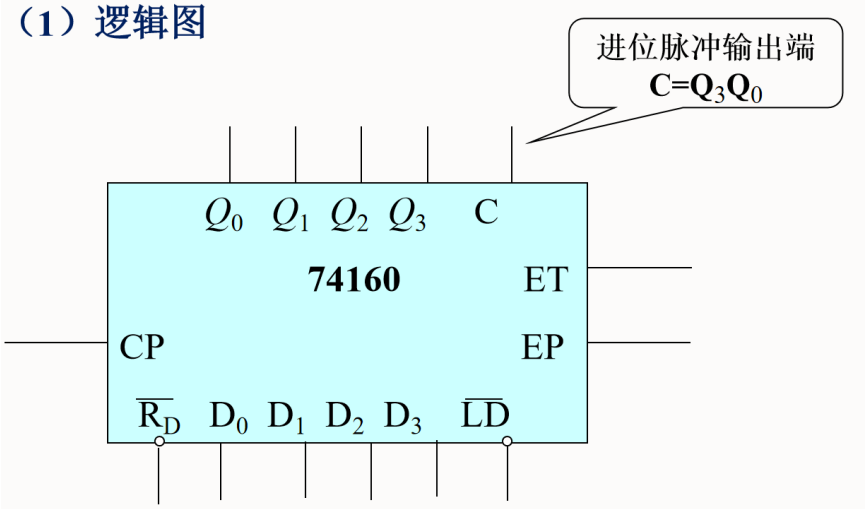
2.***4 位二进制同步加法计数器 74LS161



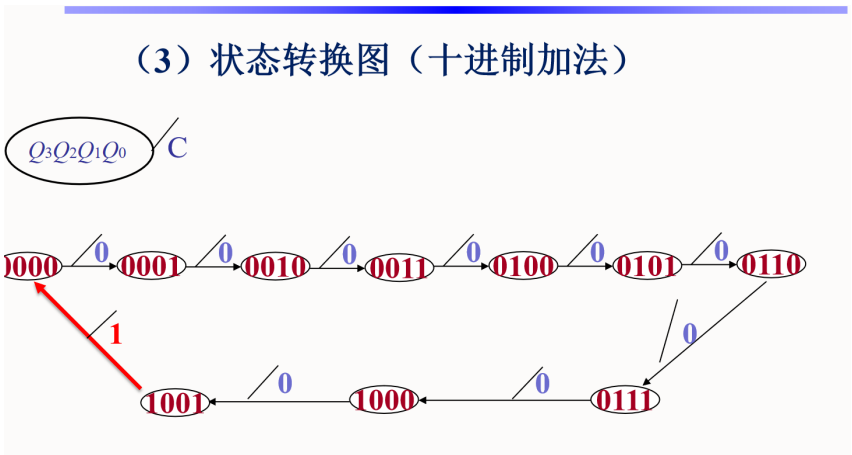
$\overline{R_D}$	CP	$\overline{LD}$	ET	EP	功　能	说　明
0	×	×	×	×	直接（异步）清零	$Q_i=0$，$C=0$
1	↑	0	×	×	同步预置数	$Q_i^{n+1}=D_i$
1	↑	1	1	1	计数	二进制加法计数
1	×	1	1	0	保持	$Q_i^{n+1}=Q_i^n, C^{n+1}=C^n$
1	×	1	0	×	保持	$Q_i^{n+1}=Q_i^n, C=0$

3. 同步十进制加法计数器 74160

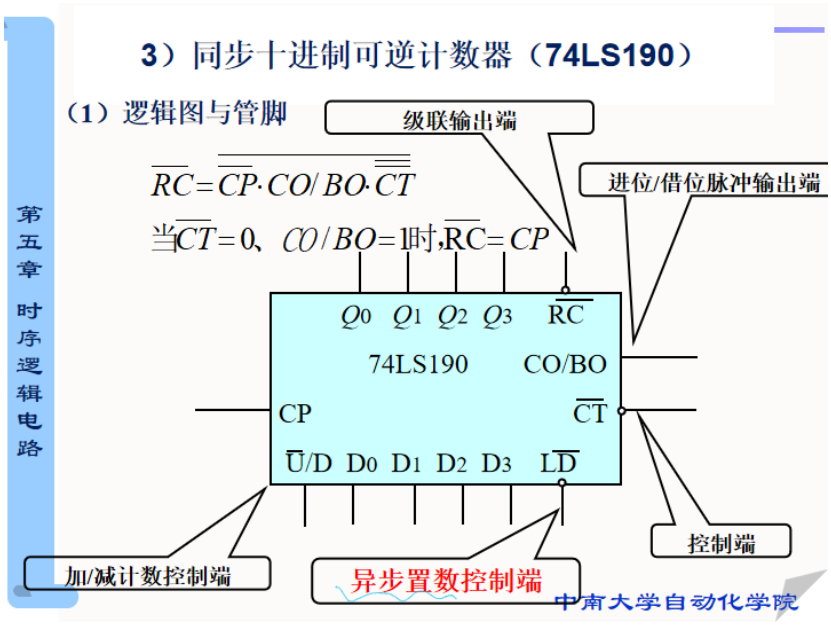
（1）逻辑图



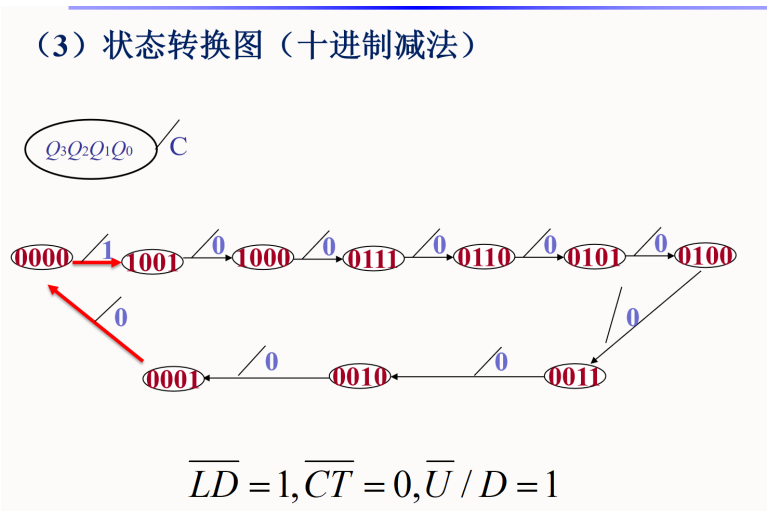
$\overline{R_D}$	CP	$\overline{LD}$	ET	EP	功　能	说　明
0	×	×	×	×	直接（异步）清零	$Q_i=0$，$C=0$
1	↑	0	×	×	同步预置数	$Q_i^{n+1}=D_i$
1	↑	1	1	1	计数	十进制加法计数
1	×	1	1	0	保持	$Q_i^{n+1}=Q_i^n, C^{n+1}=C^n$
1	×	1	0	×	保持	$Q_i^{n+1}=Q_i^n, C=0$



4.同步十进制可逆计数器（74LS190）



$\overline{LD}$	CP	$\overline{CT}$	$\overline{U}$/D	功　能	说　明
0	×	×	×	异步预置数	$Q_i=D_i$
1	↑	0	0	同步十进制加法	$CO=Q_3Q_0$ 1001
1	↑	0	1	同步十进制减法	$BO=\overline{Q_3Q_2Q_1Q_0}$
1	×	1	×	保持	$Q_i^{n+1}=Q_i^n, C^{n+1}=C^n$

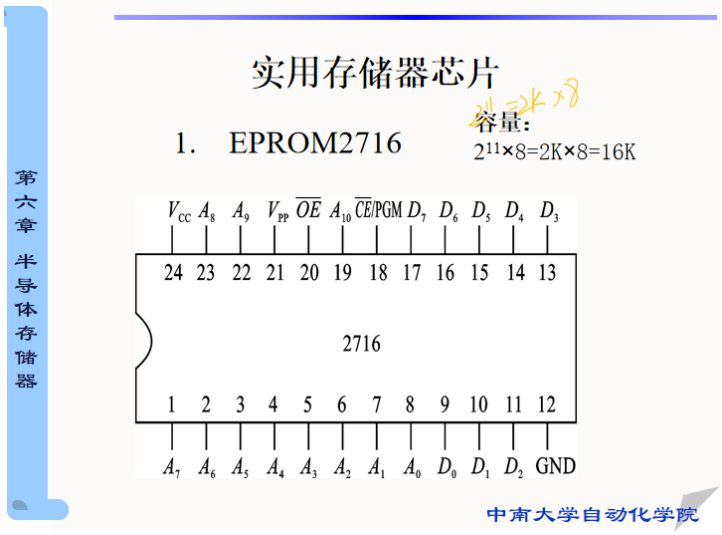


异步法：利用异步清零端或异步置数端进行跳跃,作用态是暂态,不计算在有效循环中。

同步法：利用同步置数端进行跳跃,作用态是稳态,是有效态，计算在有效循环中。

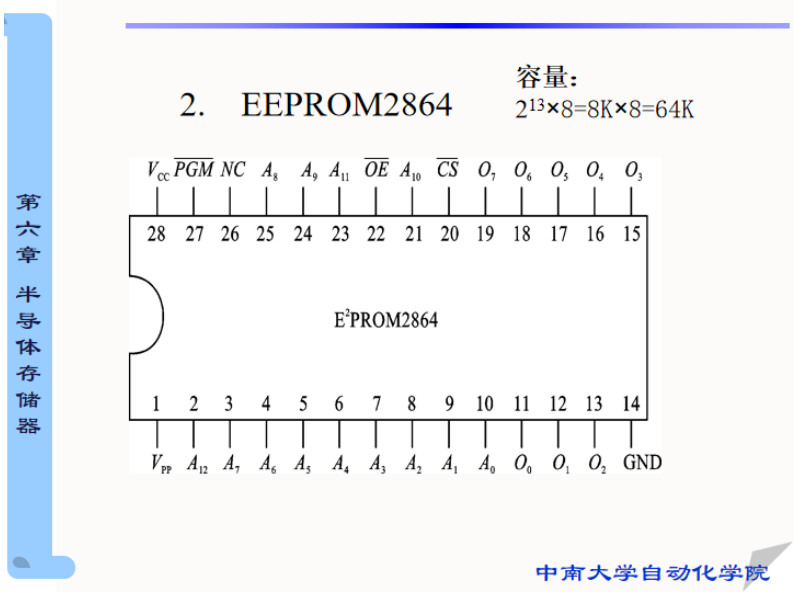
八．实用存储器芯片

1.EPROM2716

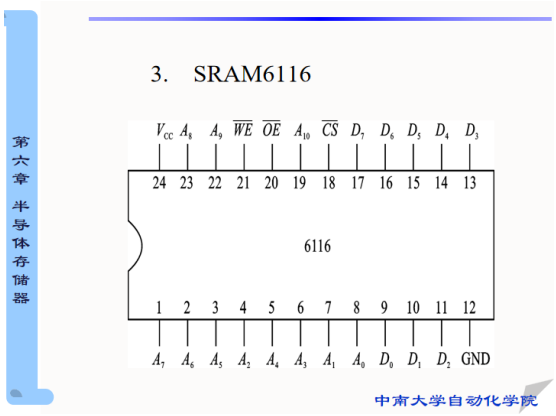


工作方式	$\overline{CE}/PGM$	$\overline{OE}$	V_{PP}	输出D
读出	0	0	+5V	数据输出
维持	1	×	+5V	高阻浮置
编程	⎍	1	+25V	数据写入
编程禁止	0	1	+25V	高阻浮置
编程校验	0	0	+25V	数据输出

2. EEPROM2864



3. SRAM6116



6116有三种操作方式：

1）写入方式：当 $\overline{CS}=0,\overline{WE}=0,\overline{OE}=1$ 时，
D_0~D_7上的内容存入A_0~A_{10}对应的单元。

2）读出方式：当 $\overline{CS}=0,\overline{WE}=1,\overline{OE}=0$ 时，
A_0~A_{10}对应单元的内容输出到D_0~D_7。

3）低功耗维持方式：当 $\overline{CS}=1$ 时，
器件电流仅20μA左右，为系统断电时用电池保存RAM内容提供了可能性。