

- [存储器](#)
 - [动态RAM](#)
 - [刷新方式](#)
 - [动态RAM与静态RAM的比较](#)
 - [存储器与CPU连接](#)
 - [容量扩展](#)
 - [连接方法](#)
 - [汉明码](#)
 - [校验位数](#)
 - [配码](#)
 - [校验位数](#)

存储器

动态RAM

刷新与行地址有关

刷新方式

- 集中刷新 统一到一段时间，将所有行地址进行刷新 存在死区
- 分散刷新 $t_c = t_m + t_r$ 存取周期扩大一倍 整个周期内多次刷新 过度刷新，没有死区
- 异步刷新 将整个周期按行数等分 各个小周期内用某一段完整时间进行刷新，其余时间存储器正常工作

动态RAM与静态RAM的比较

. 动态 RAM 和静态 RAM 的比较

4.2

	主存 DRAM	SRAM 缓存
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

存储器与CPU连接

容量扩展

- 位扩展 (增加存储字长)
 - 芯片地址线分开连接
 - 将芯片接到同一根WE上
- 字扩展 (增加存储字数量)
 - 增加门电路, 确保不同时访问一块内存
- 字位同时扩展
 - 增加译码器, 控制片选信号

连接方法

- 确定译码方案与芯片选择
 - 地址线连接
 - 数据线连接
 - 读写命令线连接
 - 片选线连接
 - 138: 找出连接CBA的地址线, 用其作为Y的判断 从高到低计算 如 1 1 1, Y7; 1 1 0 Y6等
 - 若涉及字扩展, 注意增添门电路
 - 不需要位扩展的时候, 无需门电路, 单纯根据CBA对应的Y连接Y即可
 - 涉及位扩展的时候, 通过高低电平, 决定什么地址范围哪个芯片生效
- 具体实例1

合理选择存储芯片主要是指存储芯片类型 (RAM 或 ROM) 和数量的选择。通常选用 ROM 存放系统程序、标准子程序和各类常数等。RAM 则是为用户编程而设置的。此外, 在考虑芯片数量时, 要尽量使连线简单方便。

在实际应用 CPU 与存储芯片时, 还会遇到两者时序的配合、速度、负载匹配等问题, 下面用一个实例来剖析 CPU 与存储芯片的连接方式。

例 4.1 设 CPU 有 16 根地址线、8 根数据线, 并用 $\overline{\text{MREQ}}$ 作为访存控制信号 (低电平有效), 用 $\overline{\text{WR}}$ 作为读/写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片: 1 K×4 位 RAM、4 K×8 位 RAM、8 K×8 位 RAM、2 K×8 位 ROM、4 K×8 位 ROM、8 K×8 位 ROM 及 74138 译码器和各种门电路, 如图 4.36 所示。画出 CPU 与存储器的连接图, 要求如下:

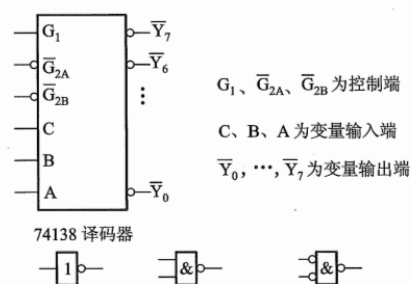


图 4.36 译码器和门电路

- 解:第一步,先将十六进制地址范围写成二进制地址码,并确定其总容量。

A ₁₅ ... A ₁₂ A ₁₁ ... A ₈ A ₇ ... A ₄ A ₃ ... A ₀	
0 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0	} 系统程序区 2 K×8 位
...	
0 1 1 0 0 1 1 1 1 1 1 1 1 1 1 1	
0 1 1 0 1 0 0 0 0 0 0 0 0 0 0 0	} 用户程序区 1 K×8 位
...	
0 1 1 0 1 0 1 1 1 1 1 1 1 1 1 1	

第二步,根据地址范围的容量以及该范围在计算机系统中的作用,选择存储芯片。

根据 6000H~67FFH 为系统程序区的范围,应选择 1 片 2 K×8 位的 ROM,若选择 4 K×8 位或 8 K×8 位的 ROM,都超出了 2 K×8 位的系统程序区范围。

根据 6800H~6BFFH 为用户程序区的范围,选 2 片 1 K×4 位的 RAM 芯片正好满足 1 K×8 位的用户程序区要求。

第三步,分配 CPU 的地址线。

将 CPU 的低 11 位地址 $A_{10} \sim A_0$ 与 2 K \times 8 位的 ROM 地址线相连;将 CPU 的低 10 位地址 $A_9 \sim A_0$ 与 2 片 1 K \times 4 位的 RAM 地址线相连。剩下的高位地址与访存控制信号 $\overline{\text{MREQ}}$ 共同产生存储芯片的片选信号。

第四步,片选信号的形成。

由图 4.36 给出的 74138 译码器输入逻辑关系可知,必须保证控制端 G_1 为高电平, \overline{G}_{2A} 与 \overline{G}_{2B} 为低电平,才能使译码器正常工作。根据第一步写出的存储器地址范围得出, A_{15} 始终为低电平, A_{14} 始终为高电平,它们正好可分别与译码器的 \overline{G}_{2A} (低) 和 G_1 (高) 对应。而访存控制信号 \overline{MREQ} (低电平有效) 又正好可与 \overline{G}_{2B} (低) 对应。剩下的 A_{13} 、 A_{12} 、 A_{11} 可分别接到译码器的 C、B、A 输入端。其输出 \overline{Y}_4 有效时,选中 1 片 ROM; \overline{Y}_5 与 A_{10} 同时有效均为低电平时,与门输出选中 2 片 RAM,如图 4.37 所示。图中 ROM 芯片的 $\overline{PD}/\overline{Progr}$ 端接地,以确保在读出时低电平有效。RAM 芯片的读写控制端与 CPU 的读写命令端 \overline{WR} 相连。ROM 的 8 根数据线直接与 CPU 的 8 根数据线相连,2 片 RAM 的数据线分别与 CPU 数据总线的高 4 位和低 4 位相连。

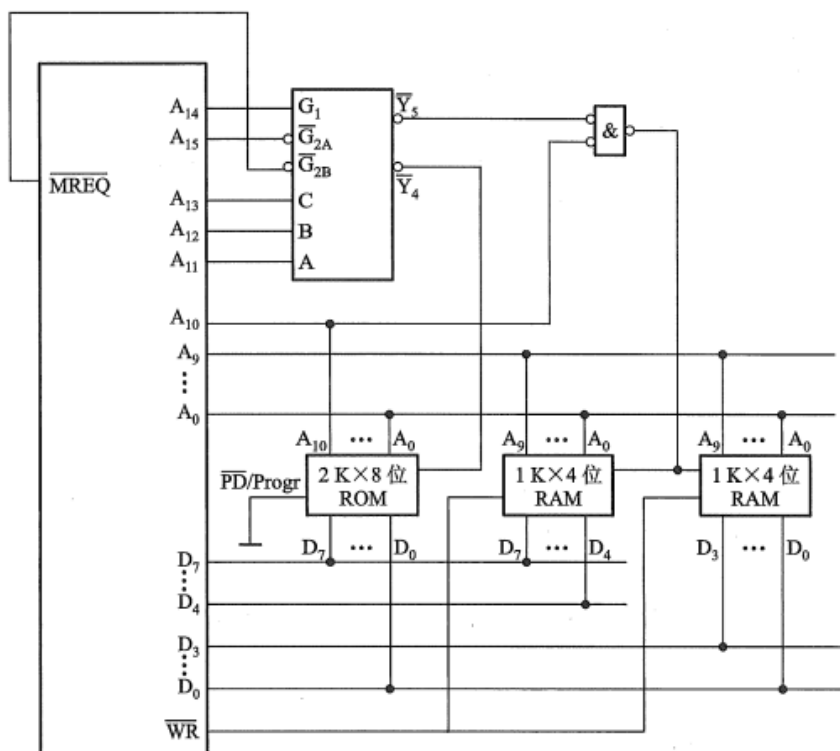
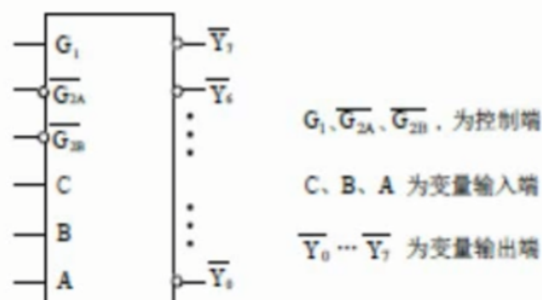


图 4.37 例 4.1 CPU 与存储芯片的连接图

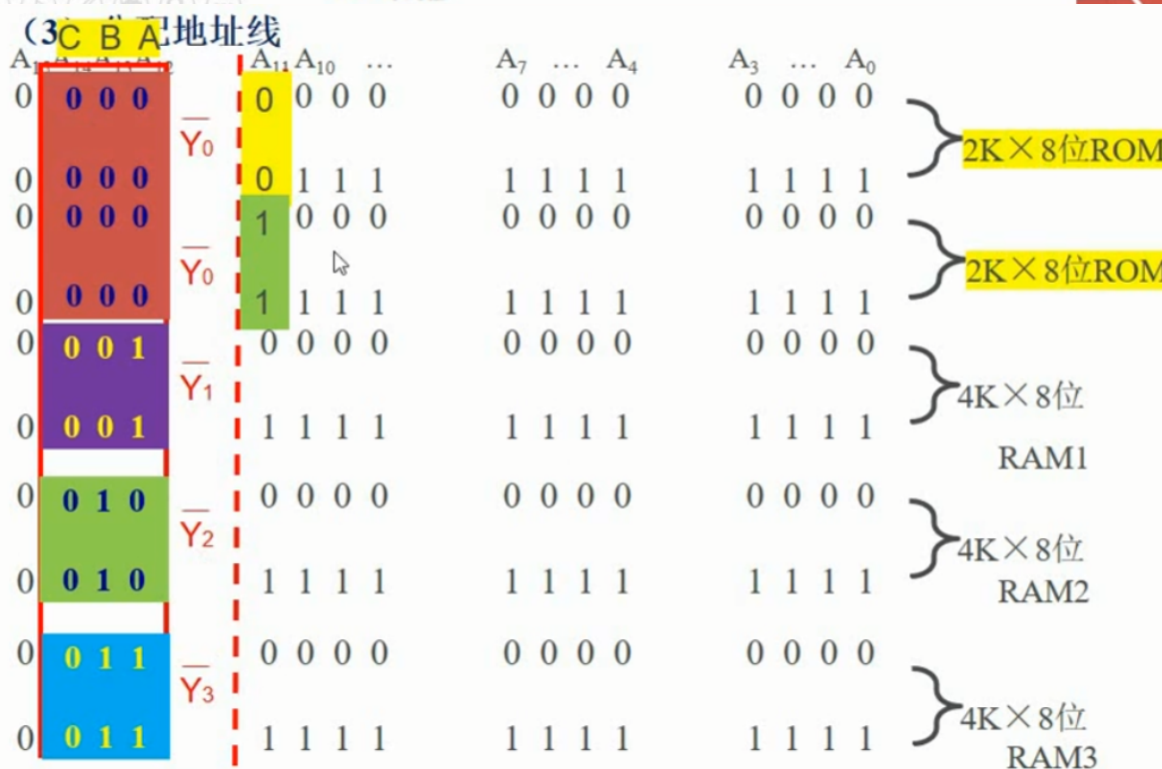
设CPU共有16根地址线，8根数据线，并用 \overline{MREQ} （低电平有效）作访存控制信号， R/\overline{W} 作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：

ROM（ $2K \times 8$ 位， $4K \times 4$ 位， $8K \times 8$ 位），

RAM（ $1K \times 4$ 位， $2K \times 8$ 位， $4K \times 8$ 位），及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图。

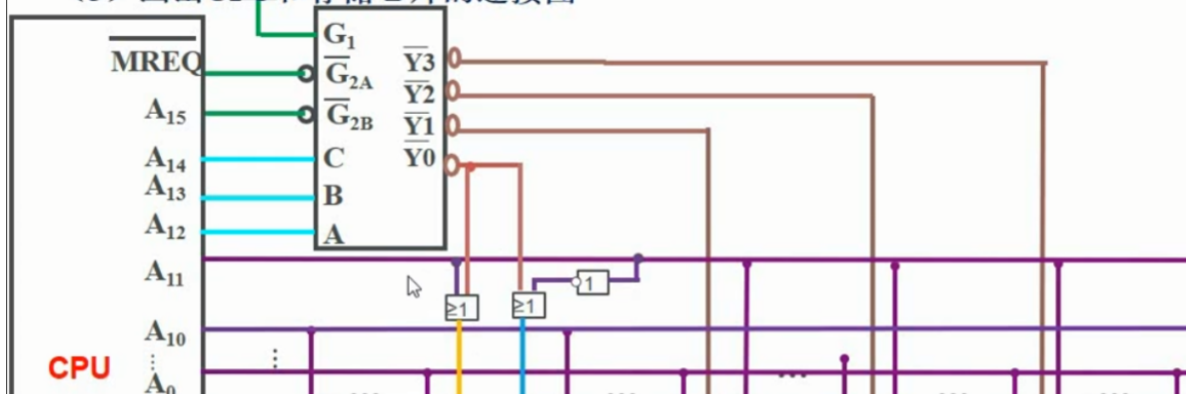


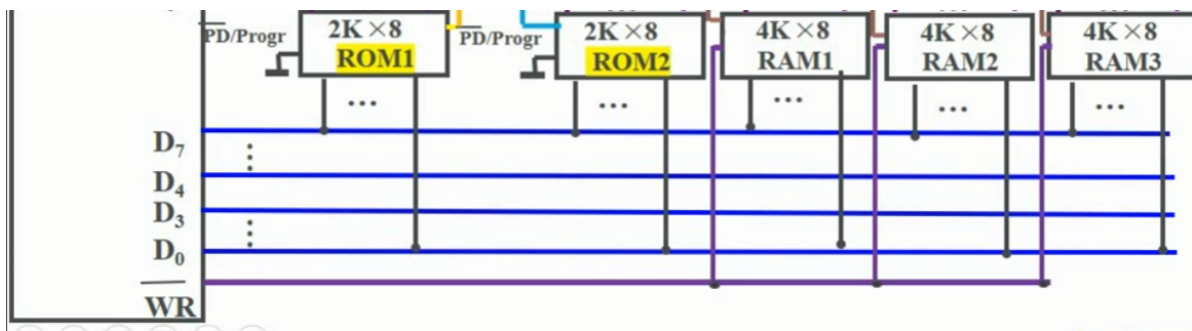
74138译码器



$A_{10} \sim A_0$ 接 2片 $2K \times 8$ 位 ROM的地址线， $A_{11} \sim A_0$ 接 3片 $4K \times 8$ 位 RAM的地址线

(5) 画出CPU和存储芯片的连接图





汉明码

校验位数

- 补充位数 k 满足: $2^k \geq n+k+1$
- 检测位位置 2^i
- 检测位分组
 - C1: 1 3 5 7 9
 - C2: 2 3 6 7 10 11
 - C4: 4 5 6 7 12 13 14 15
 - C8: 8 9 10 11 12 13 14 15 24-31

配码

- 按配奇/偶规则 计算 1 的个数
 - 1个数符合要求, 校验位0
 - 1个数不符合要求, 校验位1

具体例子如下

练习1 按配偶原则配置 0011 的汉明码 4.2

解: $\because n = 4$ 根据 $2^k \geq n + k + 1$

取 $k = 3$

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	0	1	1
	1	0		0			

$$C_1 = 3 \oplus 5 \oplus 7 = 1$$

$$C_2 = 3 \oplus 6 \oplus 7 = 0$$

$$C_4 = 5 \oplus 6 \oplus 7 = 0$$

校验位数

- 带着校验位一起异或运算, 注明结果的位数, 或比照计算校验位与给出校验位, 一致0, 不一致1
- 计算检测位, 根据结果特定位取反
- 如检测位P4P2P1 110 意味着第6位取反

具体例子如下：

例4.5 已知接收到的汉明码为 0100111 **4.2**

（按配偶原则配置）试问要求传送的信息是什么？

解：纠错过程如下

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0 \quad \text{无错}$$

$$P_2 = 2 \oplus \underset{\checkmark}{3} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$P_4 = 4 \oplus \underset{\checkmark}{5} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$\therefore P_4 P_2 P_1 = 110$$

第 6 位出错，可纠正为 0100101，