LED闪烁实验

**简介**

本实验的目的是让读者熟悉Vivado工具，通过闪烁LED来构建硬件的“Hello World”。

**要求**

**硬件**

* **Genesys2 开发板**
* **MicroUSB 连接线**

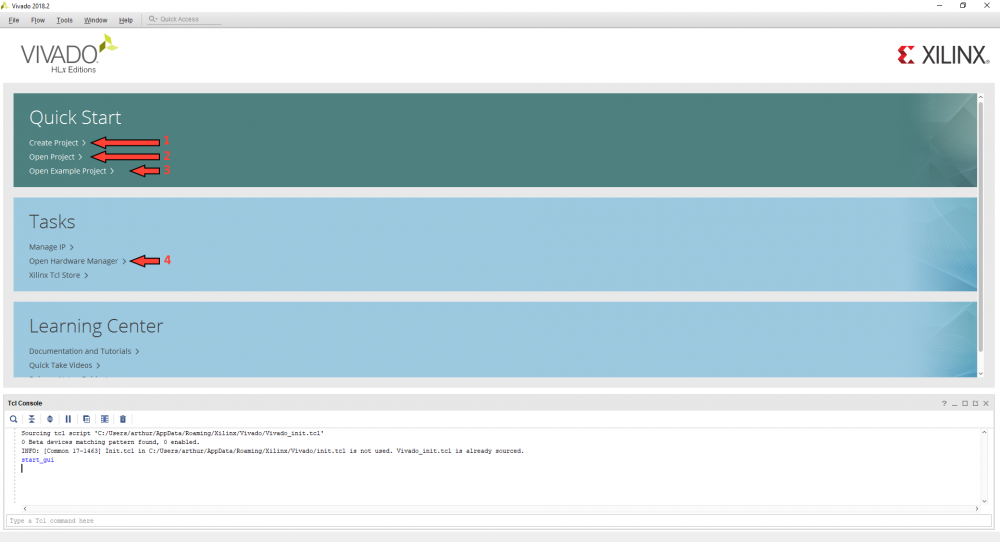
**软件**

* **Xilinx Vivado 2020.2或其他版本**
* **Digilent Board Files**

1. 启动Vivado

2.起始界面

这是Vivaod的起始界面。下面介绍各个选项的含义。

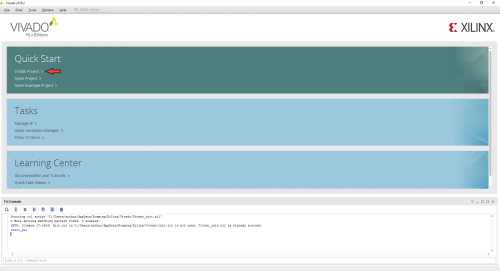
[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/home-outline.png)

* **Create New Project:** 新建工程。
* **Open Project:** 打开现有工程。从文件浏览器选择Xilinx工程（.xpr）文件，然后在Vivado中打开该工程。
* **Open Example Project:** 根据示例工程创建一个新工程
* **Open Hardware Manager:** 打开硬件管理器，只进行程序烧录。

3. 新建工程

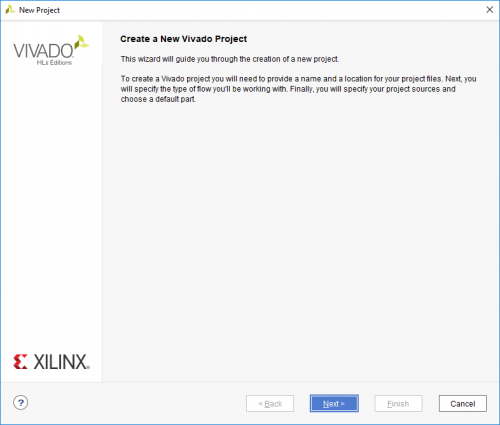
**3.1**

在起始界面选择**Create New Project**，打开新建工程引导。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/home-create-project.png)

**3.2**

对话框描述了新建工程将要采取的步骤。单击**Next** 继续。

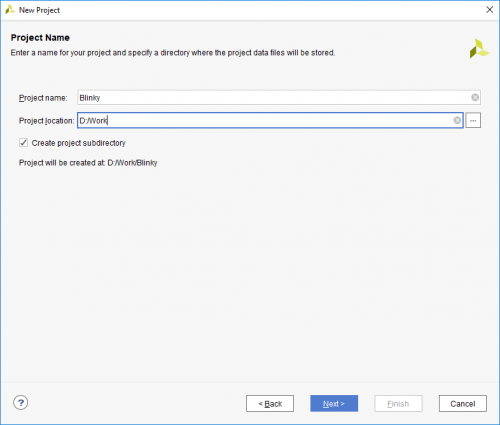
[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/new-project-wiz-0.png)

**3.3**

第一页用于设置工程的名称。Vivado 将使用此名称生成新文件夹。

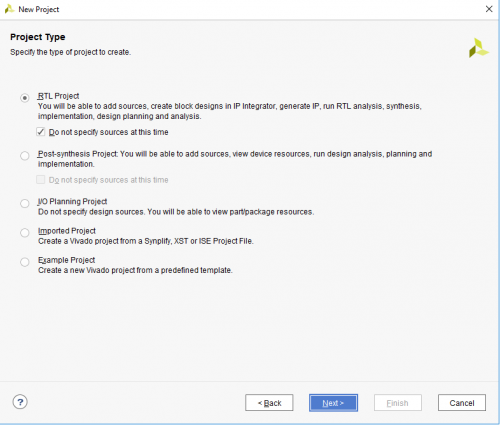
**注意**

不要在项目名称或位置路径中使用空格或中文，这将导致 Vivado 出现问题。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/new-project-wiz-1.png)

**3.4**

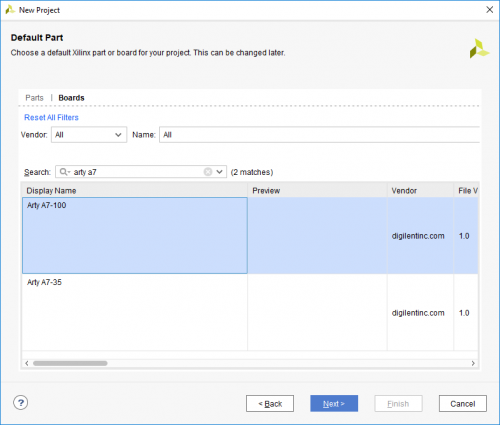
选择*RTL Project*，新建RTL 工程。勾选*Do not specify sources at this time*。源文件将在后续添加

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/new-project-wiz-2.png)

**3.5**

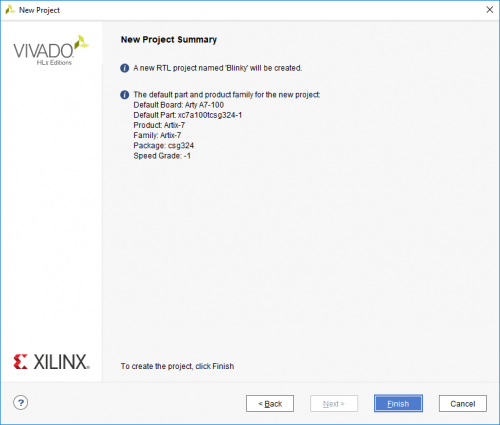
选择目标器件，使用压缩包内的板卡文件夹genesys2，复制到Vivado installation\data\boards\board\_files

或者直接选择器件型号：xc7k325tffg900-2

[](https://digilent.com/reference/_detail/vivado/getting_started/2018.2/new-project-wiz-3.png?id=vivado%3Agetting_started%3A2018.2)

**3.6**

完成

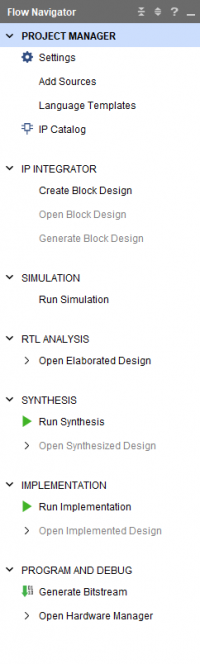
[](https://digilent.com/reference/_detail/vivado/getting_started/2018.2/new-project-wiz-4.png?id=vivado%3Agetting_started%3A2018.2)

4. Flow Navigator

*Flow Navigator* 是 Vivado 主窗口中最重要的窗口.切换不同工具 .

*Flow Navigator* 包含7个主要工具:

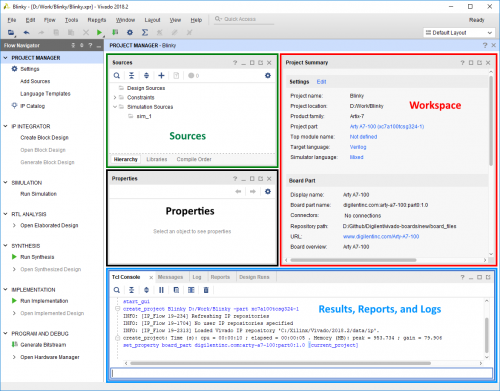
* **Project Manager:** 快速访问 project settings, adding sources, language templates, IP catalog.
* **IP Integrator:** 通过GUI创建复杂的设计
* **Simulation:** 仿真.
* **RTL Analysis:** 了解工具如何解释代码.
* **Synthesis:** 综合、查看综合报告.
* **Implementation:** 布局布线、查看报告.
* **Program and Debug**: 比特流生成的设置、对FPGA编程.

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/flow-nav.png)

5. Project Manager

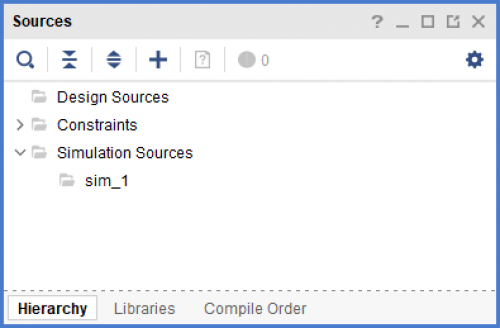
此工具是大多数开发进行的地方，也是创建新工程后打开的初始工具。

*Project Manager* 由4个窗口构成：*Sources*, *Properties*, *Results*, *Workspace*

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager.png)

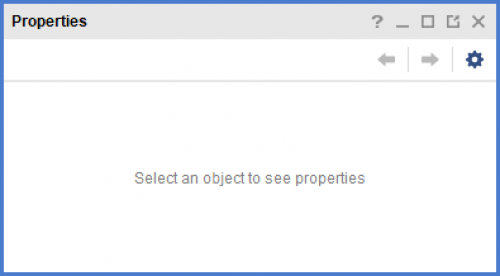
**Sources**

*Sources* 窗口包含项目层次结构 ，用于打开文件。文件夹结构的组织为： HDL 文件保存在*Design Sources*文件夹下，约束保存在*Constraints* 文件夹下，仿真文件保存在*Simulation Sources* 文件夹下。通过双击 Sources 窗口中的相应条目，可以在 Workspace 中打开文件。也可以通过右键单击要添加文件的文件夹并选择添加源或单击添加源按钮 ( ) 来添加源。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-sources-pane.png)

**Properties**

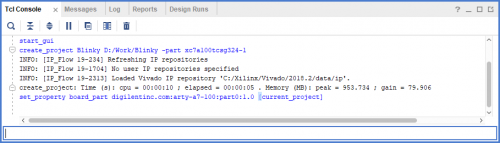
*Properties* 窗口允许查看和编辑文件属性 。在“*Sources* ”窗口中选择文件时，其属性会显示在此处。通常可以忽略此窗口。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-properties-pane.png)

**Results, Reports, and Logs**

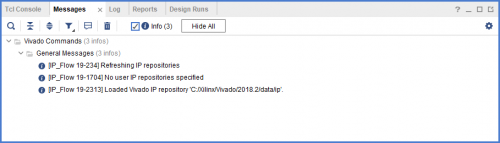
**TCL Console 选项卡**

*Tcl Console*是一个允许直接运行命令而不使用主图形用户界面的控制台窗口。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-tcl-console.png)

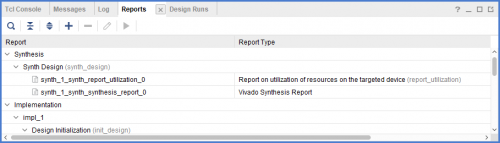
**Messages**

*Messages* 选项卡显示在构建工程过程中可能出现的警告（严重或其他）和错误 。如果在设计和构建工程时出现任何问题，先检查消息。通过右键单击消息并选择“Search for Answer Record”，可以找到错误和警告的解决方案。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-messages.png)

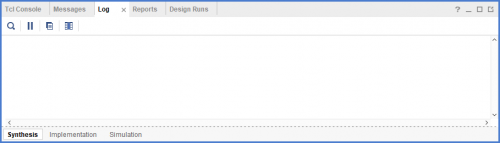
**Reports**

*Reports*工具可用于快速跳转到 Vivado 针对设计生成的所有报告中的一个。其中包括功率、时序和利用率报告等。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-reports.png)

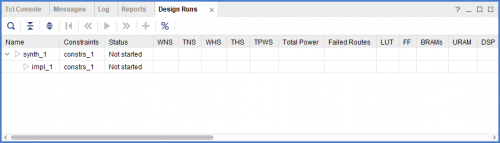
**Log**

*Log* 显示最新综合、实现和仿真运行的输出。通常不需要深究，因为报告和消息选项卡的信息更易读。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-log.png)

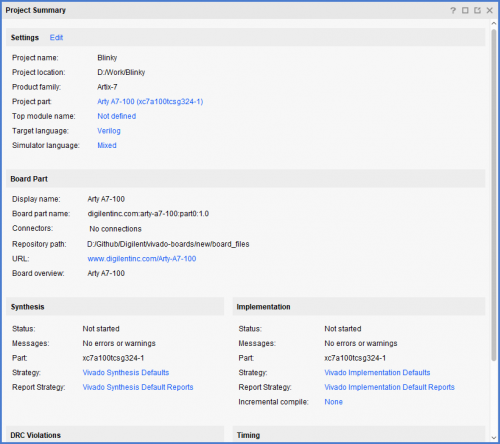
**Design Runs**

最后一个工具是*Design Runs*。使用此工具，可以编辑运行设置并创建新运行。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-design-runs.png)

**Workspace**

工程管理器中最重要的窗口是*Workspace*。*Workspace*是打开报告进行查看和打开源文件进行编辑的地方。启动Vivado后，工作区显示工程摘要，其中显示了一些报告中的一些基本信息。

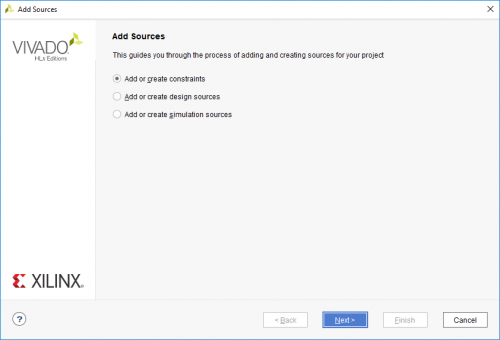
[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/project-manager-workspace-pane.png)

6. 添加约束文件

为了将 HDL 设计的输入和输出与 FPGA 的物理引脚连接起来，需要添加或创建一个约束文件。genesys2的约束文件在zip压缩包中。

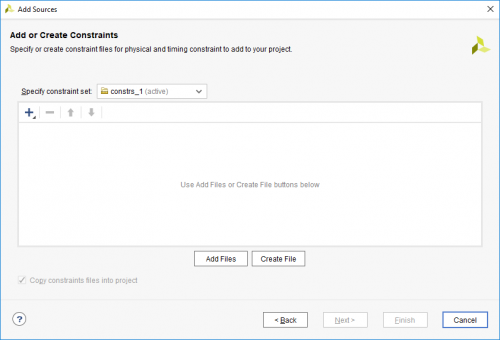
**6.1**

在*Flow Navigator*的*Project Manager* 部分中，单击按钮[](https://digilent.com/reference/_detail/vivado/getting_started/v2016.4/sources/add-sources.png?id=vivado%3Agetting_started%3A2018.2)。在弹出的向导中，选择添加或创建约束，然后单击**Next**。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-constraint-0.png)

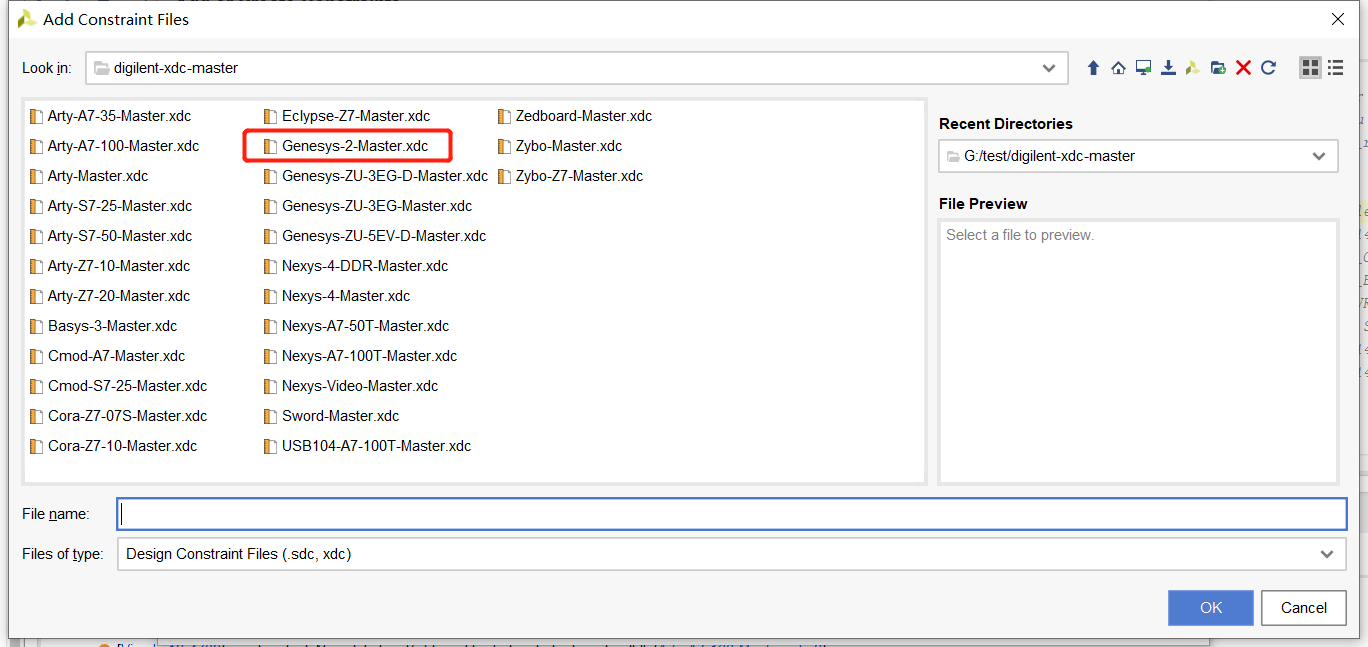
**6.2**

在这个阶段，有一个列表，其中列出了当我们单击 Finish 时将添加或创建的所有约束文件。目前这个列表是空的，当文件被添加或创建时它会改变。单击**Add Files**。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-constraint-1.png)

**6.3**

选择Genesys2对应的约束文件。点击**OK**



**6.4**

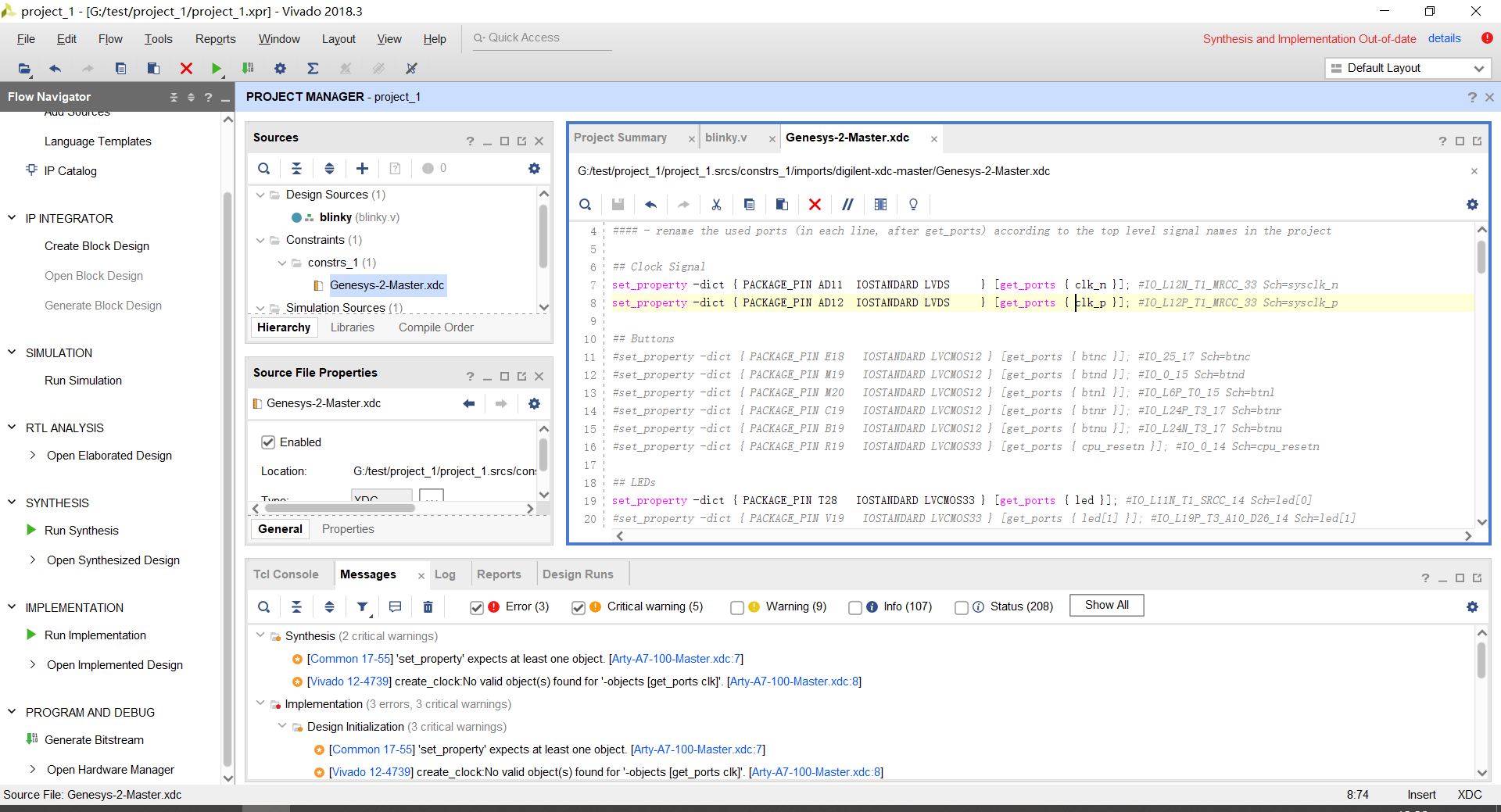
确保所选 XDC 文件已添加到列表中。确保选中“Copy constraint files into project”框，以便原始文件将被单独保留，以便可以在其他项目中使用。单击**Finish**。

**6.5**

在*Project Manager*的*Sources* 窗格中，展开*Constraints* 文件夹，然后双击刚刚添加的 XDC 文件。官方提供的XDC 文件都包含针对其各自板上每个常用外设的约束。对于此实验，需要约束默认系统时钟和单个 LED。

查找并取消在led[0] 和 clk 上的注释。Genesys2时钟端口将包含两个不同的端口，clk\_p 和 clk\_n。一般，时钟端口被命名为 sysclk，出现在 XDC 文件的顶部。使用create\_clock创建时钟约束。

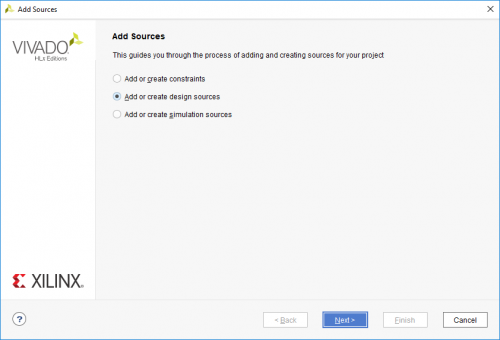
将 get\_ports中的名称从“led[0]”更改为“led”。如果时钟不是“clk”或“clk\_p”和“clk\_n”，则对时钟执行相同操作。



7. 创建Verilog文件

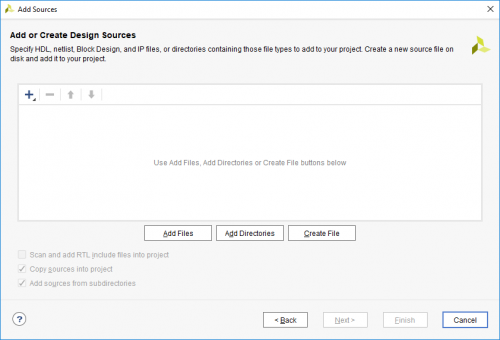
**7.1**

在*Flow Navigator*的*Project Manager*部分中，再次单击该按钮[](https://digilent.com/reference/_detail/vivado/getting_started/v2016.4/sources/add-sources.png?id=vivado%3Agetting_started%3A2018.2)。选择 *Add or create design sources*，然后单击**Next**。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-hdl-0.png)

**7.2**

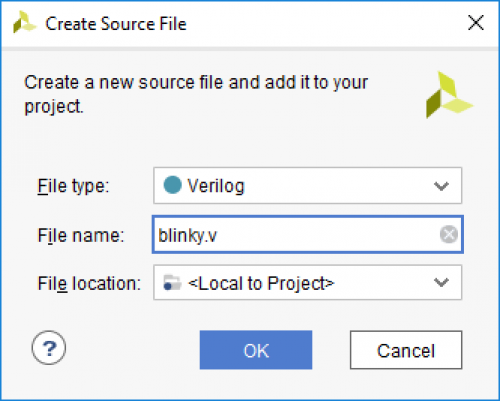
和之前一样，在此阶段，出现了一个列表，其中列出了单击 Finish 时将添加或创建的所有源文件。不要单击Add Files添加文件，而是单击**Create File**创建新文件。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-hdl-1.png)

**7.3**

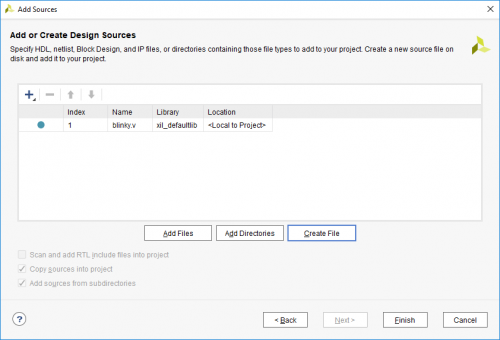
当提示选择File type、File name和File location时，请确保选择Verilog和<Local to project>作为类型和位置。为文件命名以“.v”结尾

单击 **OK** .

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-hdl-2.png)

**7.4**

确认新的 Verilog 源文件已添加到列表中，然后单击**Finish**

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/add-hdl-3.png)

**7.5**

与添加约束文件时不同，此时将弹出定义模块对话框。Verilog 模块可以在*Module name*重命名，但在本实验下这是不必要的。需要定义 Verilog 模块的时钟和 LED 端口。单击**Add** ( [](https://digilent.com/reference/_media/vivado/getting_started/v2016.4/sources/add-port.png)) 按钮会将在I/O 端口定义列表添加新端口。

添加I/O端口需要的5个部分

* **Port Name:** 此字段定义端口的名称，需要与 XDC 文件中使用的名称匹配.
* **Direction:**  此下拉菜单可以设置为input、output或inout端口方向。
* **Bus:** 此框可勾选或不勾选；选中后，端口将由多个单比特信号组成，组合成一条总线。
* **MSB:** 如果端口是总线，此字段设置最高有效位。对于单位端口，此选项显示为灰色。
* **LSB:** 如果端口是总线，此字段设置最低有效位。对于单位端口，此选项显示为灰色。

开发板使用差分时钟，则添加两个与 XDC 文件中的正负时钟端口同名的单位输入端口。

添加一个与XDC文件中的LED端口同名的单比特输出端口。

添加这两个或三个端口后，单击 **OK** 继续。

**7.6**

此时，新的源文件将被添加到*Project Manager的Sources* 窗格中的*Design Sources*文件夹中。展开此文件夹并双击文件将其打开。

接下来，需要编写一些 Verilog代码来定义设计的实际行为。

在模块端口列表之后的');' 和 endmodule之间，添加以下代码：

reg [24:0] count = 0;

assign led = count[24];

always @ (posedge(clk)) count <= count + 1;

开发板采用差分时钟，则在 ');' 之后添加以下代码行, 在'reg [24:0] count = 0;'之前。

wire clk;

IBUFGDS clk\_inst (

.O(clk),

.I(clk\_p),

.IB(clk\_n)

);

时钟闪烁的速率会由系统时钟的频率决定，Genesys2中时钟频率为100MHz，在 XDC 文件中用create\_clock 创建找10ns的系统时钟。

8. 综合、实现、生成比特流

为了创建可用于对目标板进行编程的文件，需要运行编译流程的每个阶段。

从*Synthesis*综合开始。*Synthesis*将 HDL 文件转换为基于时序和 I/O 约束的晶体管级描述。要运行 *Synthesis*，请单击工具栏或*Flow Navigator*中的。*Synthesis*的输出被传递给 Implementation。

*Implementation* 有几个步骤。始终运行的步骤是选择*Opt Design*（优化设计以适应目标 FPGA）、*Place Design*（在目标 FPGA 架构中布局设计）和*Route Design* （对信号进行布线）。要运行 Implementation，请单击工具栏或Flow Navigator中。然后将该输出传递到*Bitstream Generator*。

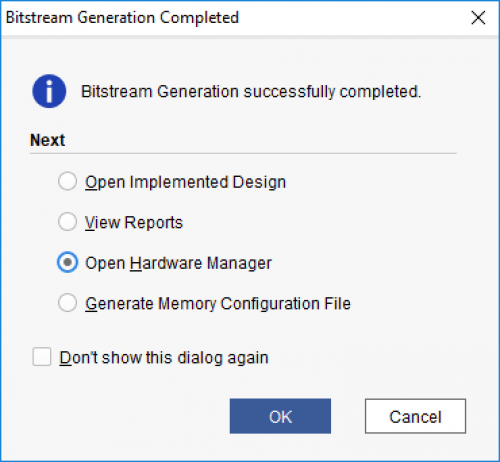
*Bitstream Generator* 比特流生成器生成对 FPGA 进行编程所需的最终输出 。要运行比特流生成，请单击工具栏或Flow Navigator中。在不更改设置的情况下，生成器将创建一个“.bit”文件，可用于将设计编程到目标 FPGA 系统板上。

**比特流生成完成弹出窗口**

生成比特流后，将出现一个弹出窗口，询问 Vivado 下一步应该做什么。此弹出窗口中的选项允许用户执行几项不同的操作

* **Open Implemented Design** 打开新界面，可以在其中查看在目标 FPGA 芯片的布局布线情况。
* **View Reports** 打开有关项目布局的报告和统计数据的列表，包括时序报告，以及FPGA 资源使用情况。
* **Open Hardware Manager** 打开编程工具，将生成的比特流编程到连接的 FPGA 板上
* **Generate Memory Configuration File** 创建一个文件，该文件可用于对 FPGA 系统板上的非易失性存储器部分进行编程，这样每次板子上电时 FPGA 都可以自动编程。

选择*Open Hardware Manager*，然后单击**OK**。

[](https://digilent.com/reference/_detail/vivado/getting_started/2018.2/bitstream.png?id=vivado%3Agetting_started%3A2018.2)

9.硬件管理器

首先，使用MicroUSB数据线将目标 FPGA 系统板插入运行 Vivado 的计算机。插入开发板后，需要将其连接到 Vivado Hardware Server，两种方法：

**9.1(A) Open New Hardware Target**

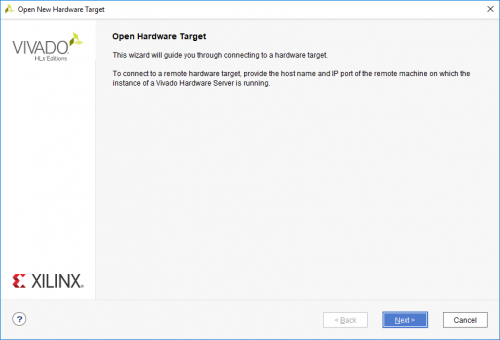
**9.1(A).1手动连接**

第一种方法是手动打开目标。要进入Open Hardware Target向导，执行以下操作：

* 打开*Hardware Manager* 并单击 屏幕顶部绿条中的链接。
* 或单击*Flow Navigator*中的按钮。

从下拉菜单中，单击。

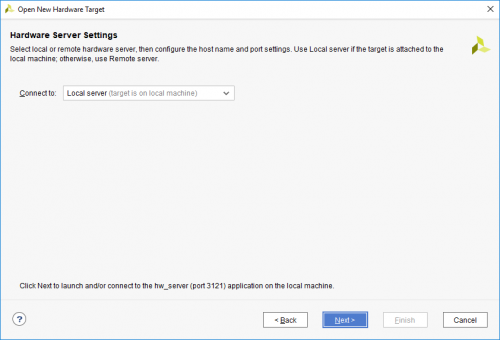
单击 **Next**.

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/hw-man-open-hardware-target.png)

**9.1(A).2**

询问hardware server是本地的还是远程的。如果板子连接到主机选择本地，如果它连接到另一台机器选择远程并填写主机名和端口字段。

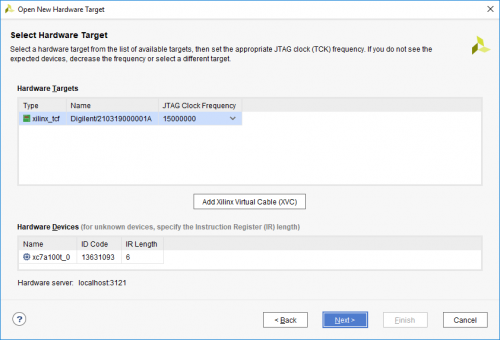
单击 **Next**

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/hw-man-hardware-server-settings.png)

**9.1(A).3**

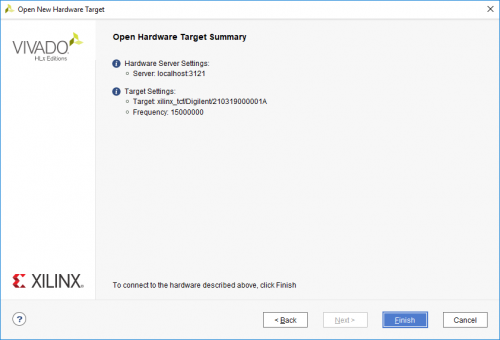
此界面显示连接到hardware server的设备列表。如果只有一个连接，它应该是唯一显示的设备。如果有多个连接的设备，请确定要连接的设备的序列号并在列表中找到它。

单击 **Next**

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/hw-man-select-hardware-target.png)

**9.1(A).4**

最后一个界面显示设备信息摘要，确认信息并单击**Finish**。板现在已连接到硬件管理器。

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/hw-man-open-hardware-target-summary.png)

**9.1(B)自动连接**

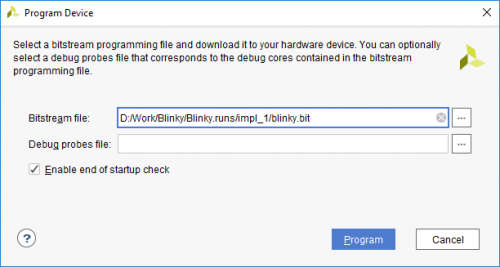
第二种方法是自动连接目标。单击按钮

* 打开Hardware Manager并单击窗口顶部*绿色条*中的链接
* 或单击*Flow Navigator*中的按钮。

从打开的下拉菜单中单击。Vivado 将尝试查找在本地计算机上运行的hardware server，并将hardware server连接到设备。

**9.2编程**

要使用之前生成的bit文件对设备进行编程，单击窗口顶部绿色条的链接或单击*Flow Navigator*中的的按钮。从打开的下拉列表中，选择要编程的设备（示例：），然后将打开以下窗口：

[](https://digilent.com/reference/_media/vivado/getting_started/2018.2/hw-man-program-device.png)

比特流文件（Bitstream file）应自动填写之前生成的bit文件。如果没有，请单击右端的按钮并导航到*<Project Directory>/<Project Name>.runs/impl\_1* / 并选择bit文件（示例：）。现在单击**program**。这将连接到开发板，清除已有程序，并使用新的bit文件进行编程。

10. 完成！

开发板上的 LED现在将闪烁！ LED闪烁的速率取决于 FPGA 使用的时钟速度。在 Verilog 源文件中创建的计数器需要 2^25个时钟周期来翻转，对于 100MHz 时钟，LED将每秒闪烁 3 次。进一步了解verilog 的下一步可能是尝试修改Verilog 源文件，使LED每秒仅闪烁一次。