

PI 版本发布指导

文件编号：		QR-SW-003-001	版本：	V1.5
文件发行日期：		2020 年 4 月 3 日		
文件状态： <input type="checkbox"/> 草稿 <input checked="" type="checkbox"/> 正式发布 <input type="checkbox"/> 正在修改	文档编号：	HYGON-SW-BTE-001		
	编 写：			
	审 核：			
	审 批：			
	文档受控状态：	<input checked="" type="checkbox"/> 受控 <input type="checkbox"/> 作废保留		

目录

1. 概述.....	3
2. 处理器型号定义.....	3
2.1. Package 定义	3
2.2. Family/Model/Stepping 定义.....	3
3. 新增功能列表.....	4
3.1. 同一版 AGESA FW 同时支持 SL1/SL1R2/DM1	5
3.2. 完善 PI 中对 SL1/SL1R2 的兼容	5
3.3. 将 PLATFORM_SELECT 修改成为一个 PCD.....	5
3.4. 增加 Fabric MMIO/IO Manager 接口.....	5
3.5. SMBIOS 3.2 支持	5
3.6. 支持海光 2 号 CPU.....	6
3.7. 支持 PCIe Hot plug 功能.....	6
3.8. 支持 NTB 功能.....	6
3.9. 支持 Combo Firmware	6
4. PI 发布计划.....	7
5. ISSUES	7
5.1. Fixed Issues.....	7

1. 概述

本文档介绍海光 PI 适用范围以及开发计划，适用于如下产品系列：

- HYGON DHYANA CPU
- 2nd HYGON DHYANA CPU

本文档包含如下内容：

- 处理器型号定义
- 新增功能介绍
- ISSUES

2. 处理器型号定义

2.1. Package 定义

目前海光处理器有三种封装形式：

SL1 : 4-DIE LGA 封装

SL1R2 : 2-DIE LGA 封装

DM1 : 1-DIE BGA 封装

处理器的 Package Type 可以通过 CPUID Fn8000_0001_EBX[31:28]获取，值如下：

- 4: SL1 4-DIE
- 6: DM 1-DIE
- 7: SL1R2 2-DIE

2.2. Family/Model/Stepping 定义

处理器的版本号可以通过 CPUID Fn0000_0001_EAX 获取，寄存器定义如下：

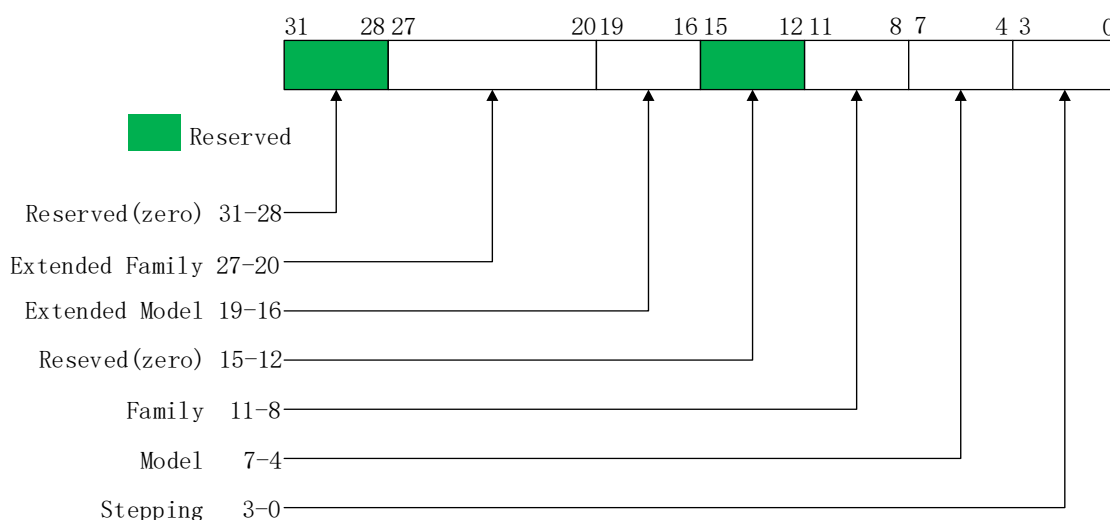


图-1 CPUID Fn0000_0001_EAX 格式

下列表格介绍 CPUID Fn0000_0001_EAX 在各个版本处理器的定义。

“X”表示该型号 CPU 存在这种版本号，“N/A”表示该型号 CPU 不存在这种版本号。

HYGON Dhyana Family 18 Model:0 系统处理器

表-1 HYGON Dhyana Family 18h SL1 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	SL1 Processors
00900F00h(DN-A0)	X	N/A
00900F01h(DN-A1)	X	X

表-2 HYGON Dhyana Family 18h DM1 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	DM1 Processors
00900F00h(DN-A0)	X	N/A
00900F01h(DN-A1)	X	N/A
00900F02h(DN-A2)	X	X

表-3 HYGON Dhyana Family 18h SL1R2 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	SL1R2 Processors
00900F00h(DN-A0)	X	N/A
00900F01h(DN-A1)	X	N/A
00900F02h(DN-A2)	X	X

HYGON Dhyana Family 18 Model:1 系统处理器

表-1 HYGON Dhyana Family 18h SL1 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	SL1 Processors
00900F00h(DN+-B0)	X	X
00900F01h(DN+-B1)	X	X

表-2 HYGON Dhyana Family 18h DM1 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	DM1 Processors
00900F00h(DN+-B0)	X	X
00900F01h(DN+-B1)	X	X

表-3 HYGON Dhyana Family 18h SL1R2 系列处理器

CPUID Fn0000_0001_EAX	Engineering Sample	SL1R2 Processors
00900F00h(DN+-B0)	X	X
00900F01h(DN+-B1)	X	X

3. 新增功能列表

表-4 新增功能列表

	更新内容	状态
1	同一版 FW 同时支持 SL1/SL1R2/DM1	DONE
2	完善 PI 中对 SL1/SL1R2 的兼容	DONE
3	将 PLATFORM_SELECT 修改成为一个 PCD	DONE
4	完善 PI 中 Fabric MMIO/IO Resource manager library 和 protocol	DONE

5	支持海光 2 号 CPU	DONE
6	支持 PCIe Hot plug 功能	DONE
7	支持 NTB 功能	DONE
8	增加对 smbios3.2 的支持	DONE
9	完善 RAS 处理机制	TODO
10	支持 Combo Firmware	TODO

3.1. 同一版 AGESA FW 同时支持 SL1/SL1R2/DM1

功能:

使用同一版 AGESA FW 可以支持 SL1/SL1R2/DM1 三种封装形式的 CPU

描述:

同一版 FW 可以同时支持 SL1/SL1R2/DM1 三种封装形式的 CPU, 在编译 BIOS 前, 不需要根据 CPU 的封装选择使用哪一版本的 AGESA FW。

完成计划:

已完成

3.2. 完善 PI 中对 SL1/SL1R2 的兼容

功能: 在 35N16 和 65N32 公板上, 同一个 BIOS Image 可以启动 SL1 和 SL1R2 两种封装的 CPU

描述: 修改 BIOS 代码, 读取 package type, 自动根据 type 走不同的初始化流程, 使得在同一块主板上, 无论插 SL1 和 SL1R2 哪种封装的 CPU, 都可以开机。

完成计划: 已完成 V0.07

3.3. 将 PLATFORM_SELECT 修改成为一个 PCD

功能: 将 PLATFORM_SELECT 修改成为一个 PCD, 更符合 UEFI 的规范。

描述: 将 PLATFORM_SELECT 修改成为一个 PCD。

完成计划: 已完成 V0.07

3.4. 增加 Fabric MMIO/IO Manager 接口

功能: 在 PI 增加 DF MMIO/IO manager library 和 protocol, 统一配置 MMIO/IO Base limit 寄存器, 并提供接口给需要使用这两种资源的函数调用, 以确保分配的各种资源不会冲突。

描述: 无

完成计划: 已完成 V0.07

3.5. SMBIOS 3.2 支持

功能: 在 Agesa 代码中增加对 SMBIOS 3.2 的支持

描述：无

完成计划：已完成 V0.08

3.6. 支持海光 2 号 CPU

功能：

在海光 1 号 PI 基础上，添加对海光 2 号 CPU 的支持

描述：

无

完成计划：已完成 V0.08

3.7. 支持 PCIe Hot plug 功能

功能：

对 PCIE 设备热插拔功能的支持

描述：

可以对 PCIE NVME 和 PCIE Card 热插拔功能进行支持，在 Window Server 2019/RedHat/Centos/Ubuntu 系统下可以进行热插拔操作，不会导致系统死机并且不产生严重问题

完成计划：已完成 V0.08

3.8. 支持 NTB 功能

功能：

在 BIOS 中增加对 NTB 的设置选项

描述：

在 BIOS setup 下增加对 NTB window 的设置功能，系统软件可以根据需求在 BIOS Setup 下设置 window 大小

完成计划：已完成 V0.08

3.9. 支持 Combo Firmware

功能：

同一主板上的 Bios Binary 既可以启动海光 1 号 CPU，也可以启动海光 2 号 CPU

描述：

相同封装的海光 1 号和海光 2 号 CPU 是 PIN-TO-PIN 兼容的，对于同一块主板，同一个 Bios Binary，海光 1 号和海光 2 号 CPU 相互更换不需要更新 Bios。此功能需要 IBV 对 BIOS 代码做出相应的调整，在编译代码时，将海光 1 号和海光 2 号 CPU 对应的 FW 同时封装到 16MB 的 Bios Binary 中

完成计划：V0.09 版本支持

4. PI 发布计划

表 4-1 PI 发布计划

PI 版本	发布日期
V0.01	2019/6/14
V0.02	2019/6/27
V0.03	2019/7/3
V0.04	2019/7/10
V0.05	2019/11/8
V0.06	2020/1/10
V0.07	2020/3/6
V0.08	2020/4/3
V0.09	2020/5/3
V0.10	-
V0.11	-

5. ISSUES

5.1. Fixed Issues

1. Set RedirectForReturn to 1 to fix "cpu soft lockup" error
2. Fix PS-841. Fix cTDP setting error
3. Modify some rdrand/rdseed codes. Only SP3 step 0 need to hide rdrand/rdseed item
4. Updated onboard I350 PXE rom to version 8.3.10
5. After setting cTDP manually, BIOS will reboot
6. Fix "rdrand/rdseed" error after loading default in bios
7. Enhance pcie training
8. Fix DM1-223, hang AC63 in reboot test, check ICR Delivery Status Bit.
9. Enable PCIE MMIO decode at SEC phase to avoid PEIM access PCI error at PEI early.
10. Support LRDIMM
11. Optimize the RDIMM SI on Hygon Platform
12. Fix SL1 7151 CPU ctdp issue
13. Fix PS-869. Two difference OPN chips can boot in 2P system.
14. PS-10: Fix SmbWrite in SMB_BYTE_DATA mode.
15. Comment some unused code which cause data abort when waf1 failed.
16. Clean unused Testpoint message.
17. Fix single die issue in AGESA0
18. Porting for motherboard; IDS serial port use FCH uart as default.
19. Add support for Hygon family 18h.
20. Fix PS-489, PS-490, Samsung DIMM 2Rx4 32G RRRW test failed on Hygon silicon.