

SOC LAB

Final project Report

Group 13

2024/01/04

Topic:

1. 實現 fir,matmul,qsort 硬體加速器
2. 以 sdrdram 取代 bram
3. 在 uart 添加 reciver FIFO 與 transmitter FIFO

UART

- Improvement:

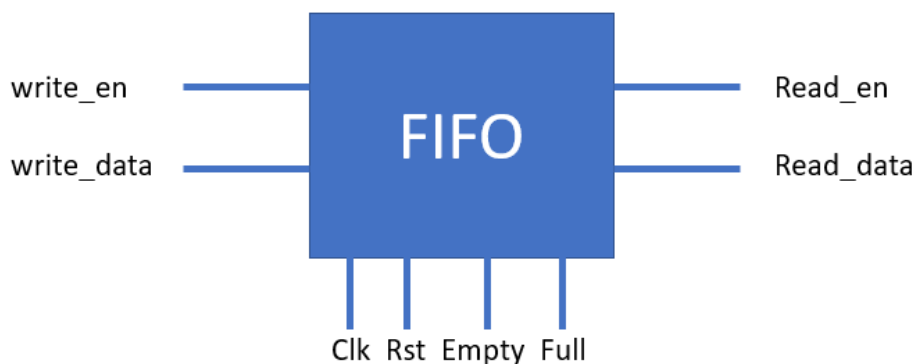
添加了 reciver FIFO 與 transmitter FIFO 。

- 目的:

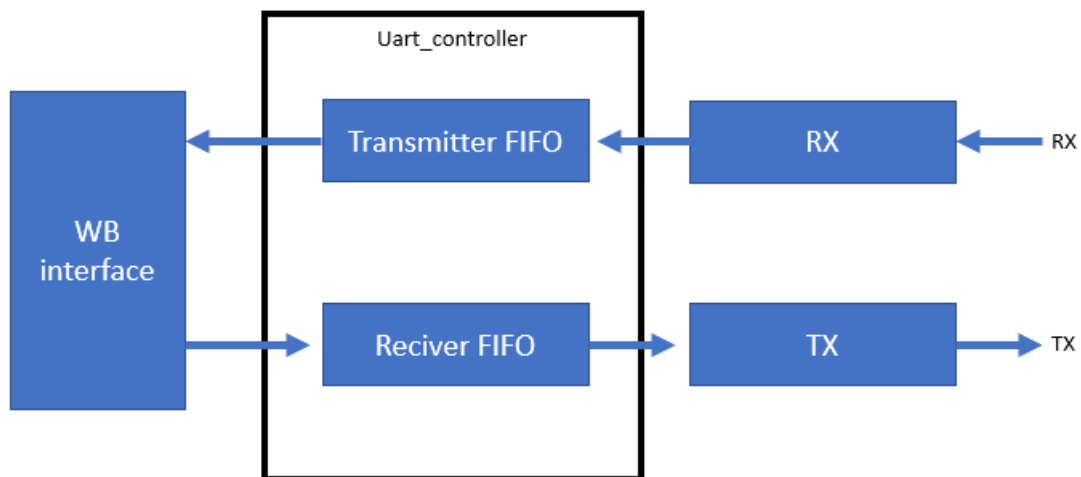
在尚未添加 fifo 時，當 rx 完成接收 data 時，會發出中斷訊號且 rx 會進入 wait 的狀態，並直到 data 通過 wishbone 離開時，rx 才會繼續接收下一筆 data 。

加入 fifo 後，當 rx 完成接收 data 時，一樣會發出中斷訊號，但 data 直接存入 fifo，此時 rx 即可進行下一筆 data 的接收。

另一方面，在尚未添加 fifo 時，processor 須等待 tx 完成傳輸後才會接續工作。但加入 fifo 後即可將 data 存入 fifo 中，而 processor 則可直接進行其餘工作。



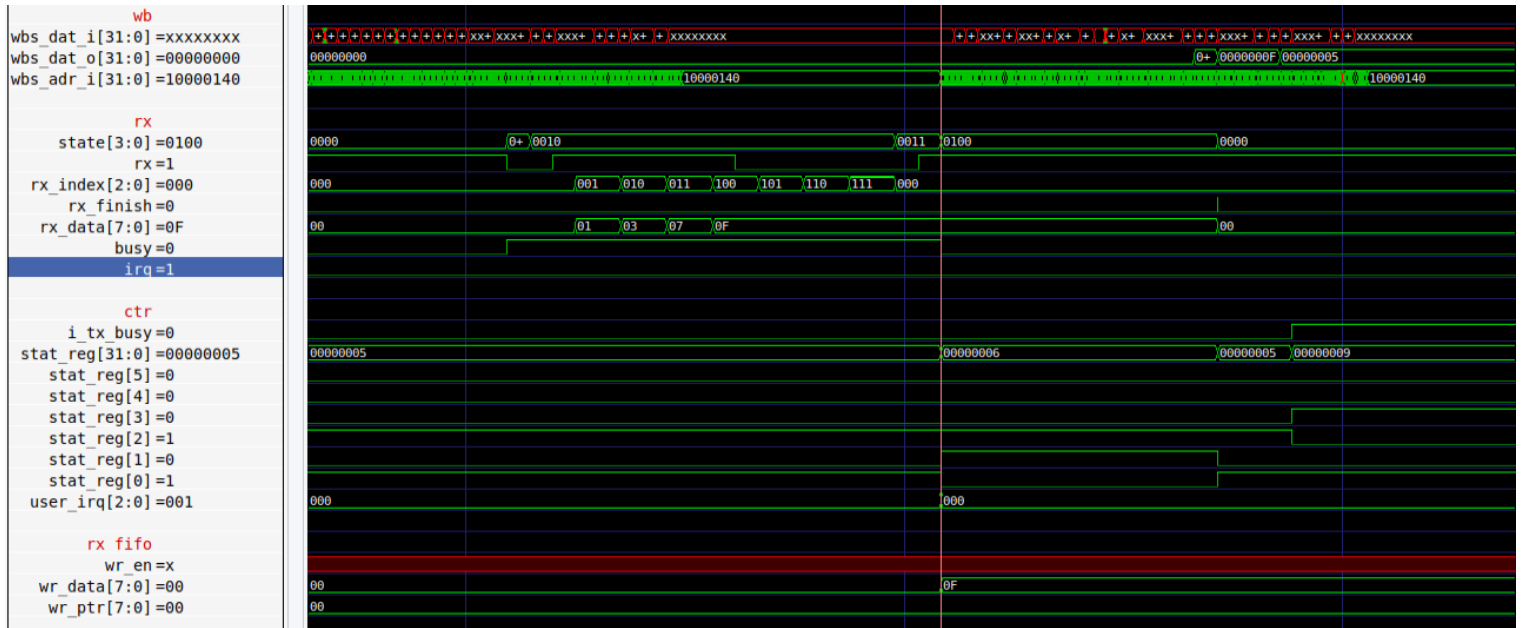
- 架構:



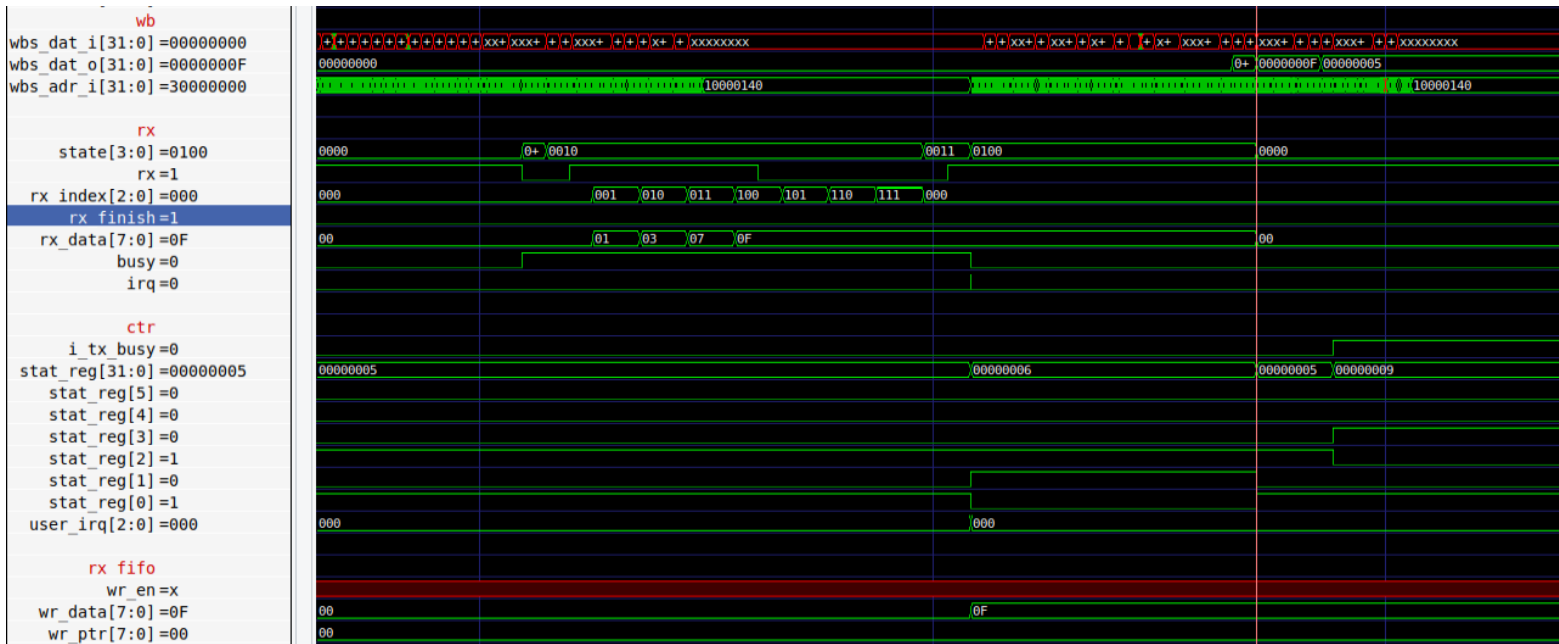
● 模擬結果:

無添加 FIFO:

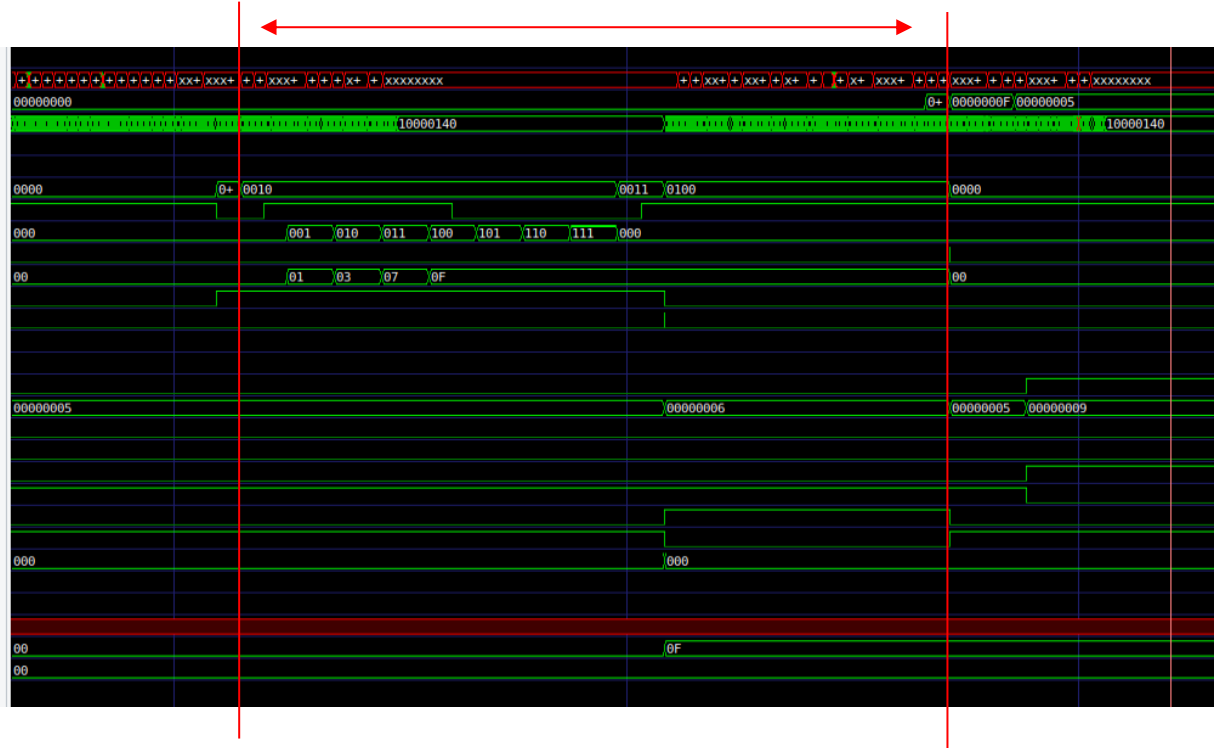
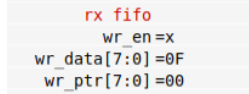
接收完 Rx 的 data 後會發送 irq 訊號



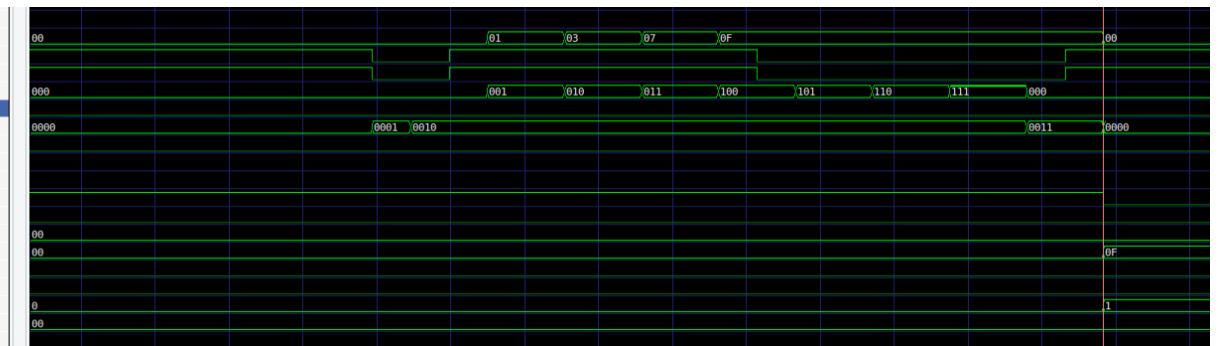
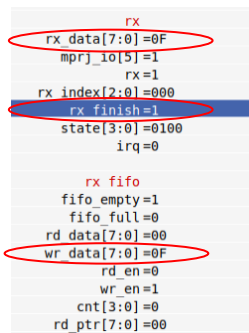
在 `wb_addr=3000 0000` 時 `rx_data` 會透過 `wb` 傳輸，完成後 `finish` 拉高。而 `finish` 拉高後 `rx` 可進行下一筆的 `data` 接收。



而 rx 完整一次傳輸，由 rx start_bits 直到 data 送入 wishbone，約需要 2664us，(rx_state 由 start_bits 到 wait_read 結束)



添加 FIFO 後:



Rx_data 接收完成後發送 irq 訊號且會存進 fifo，完成後 controller 隨即發送 finish。
(在此 tb 預設在收到 finish 後 255us 發送下一筆 rx)

