SOC LAB

LAB6 Report

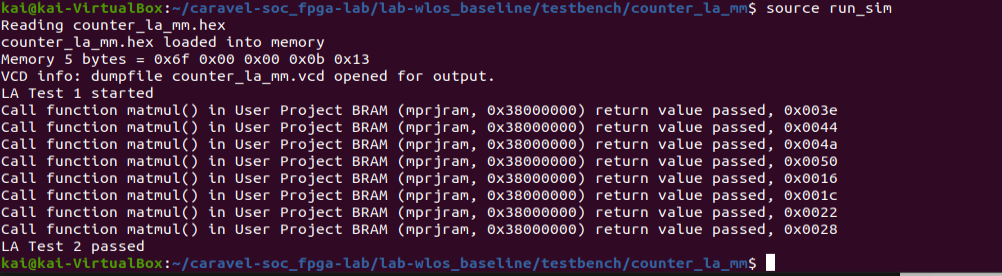
Group 13

2023/12/06

**Run Simulation**

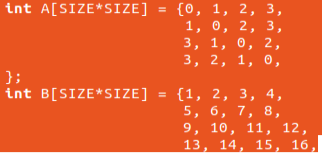
1. Matrix multiplication

* 執行simulation結果:

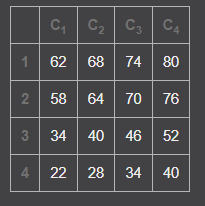


* 驗證方法:

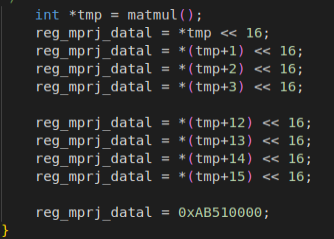
我們在headfile預設的矩陣參數如下



相乘後的結果應為

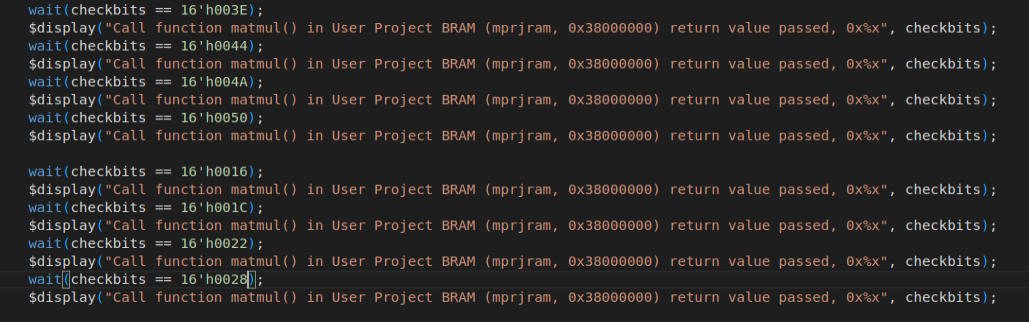


透過testbench的checkbits檢查運算結果是否正確，在此我們檢查了第一列與最後一列的結果



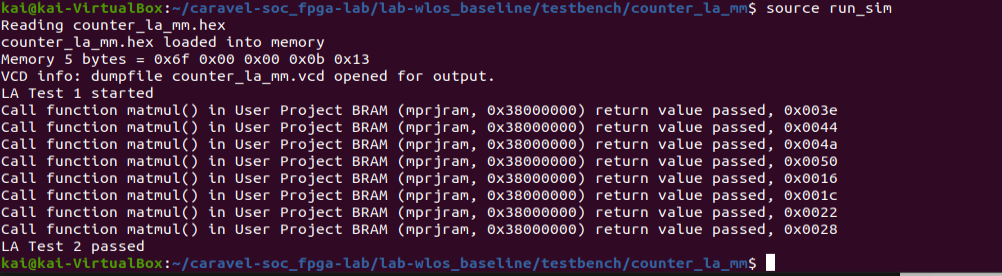
輸出結果依序應為{62, 68, 74, 80, 22, 28, 34, 40}

轉為16進制: {3E, 44, 4A, 50, 16, 1C, 22, 28}

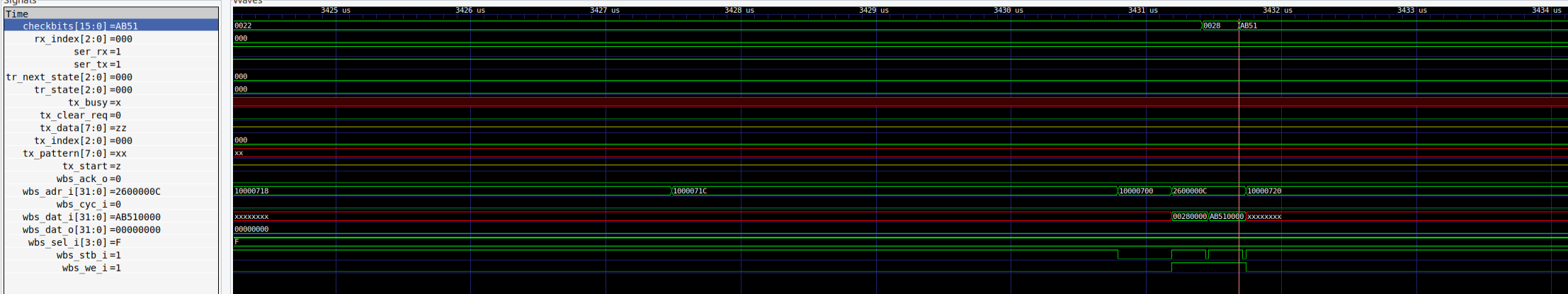


1. Quick sort

最終輸出結果正確

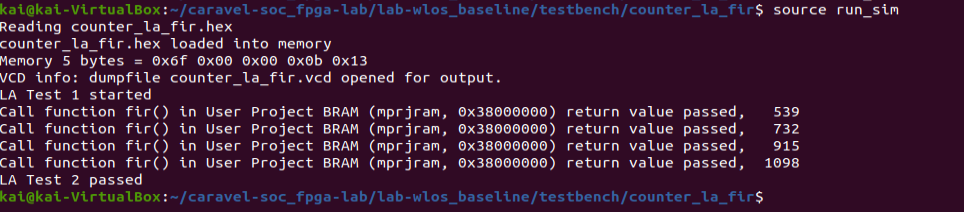


* waveform



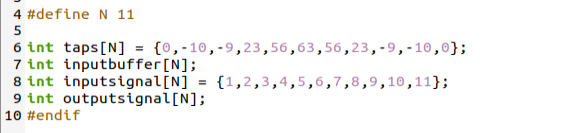
1. Fir

* 執行simulation結果:



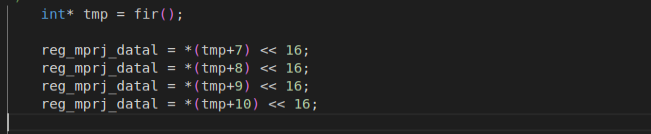
* 驗證方法:

我們在headfile定義的fir參數如下

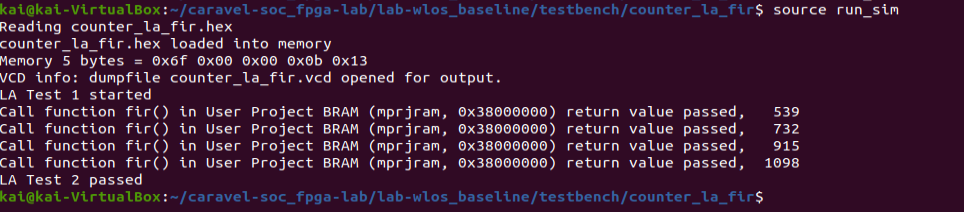


運算後的結果應為{0, -10, -29, -25, 35, 158, 337, 539, 732, 915, 1098}

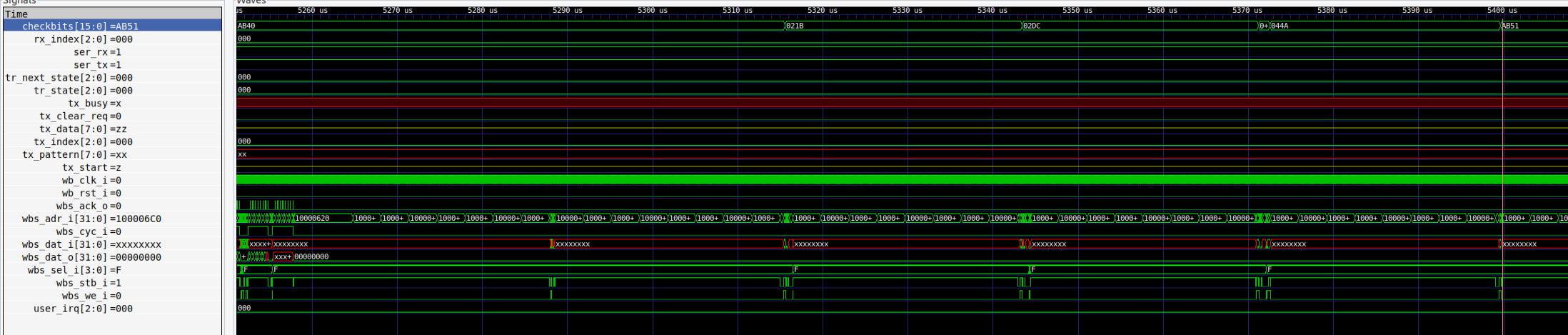
透過testbench的checkbits檢查運算結果是否正確，在此我們檢查了最後四筆的結果



最終輸出結果正確

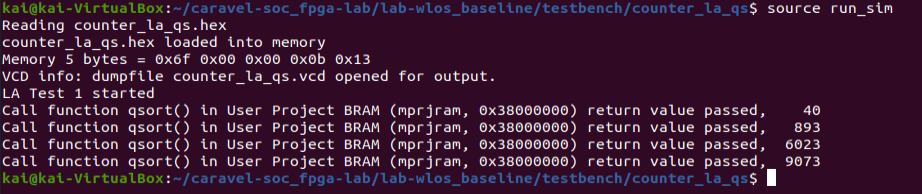


* waveform



1. Quick sort

* 執行simulation結果:



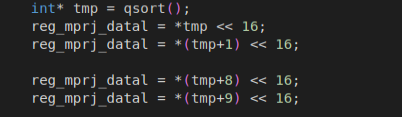
* 驗證方法:

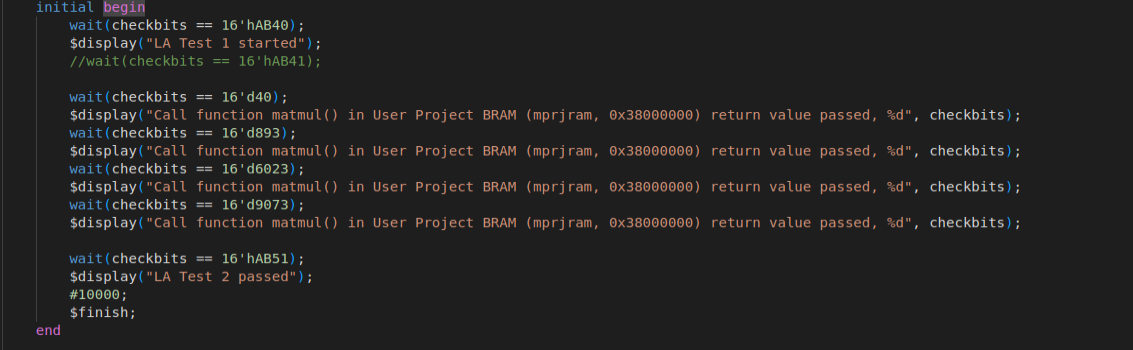
我們在headfile定義的參數如下



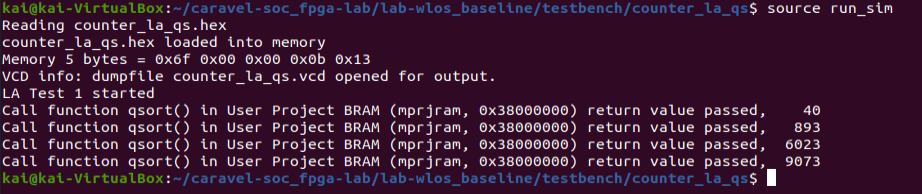
經排列後結果應為{40, 893, 2541, 2669, 3233, 4267, 4622, 5681, 6023, 9073}

透過testbench的checkbits檢查運算結果是否正確，在此我們檢查了前兩筆與最後兩筆的結果

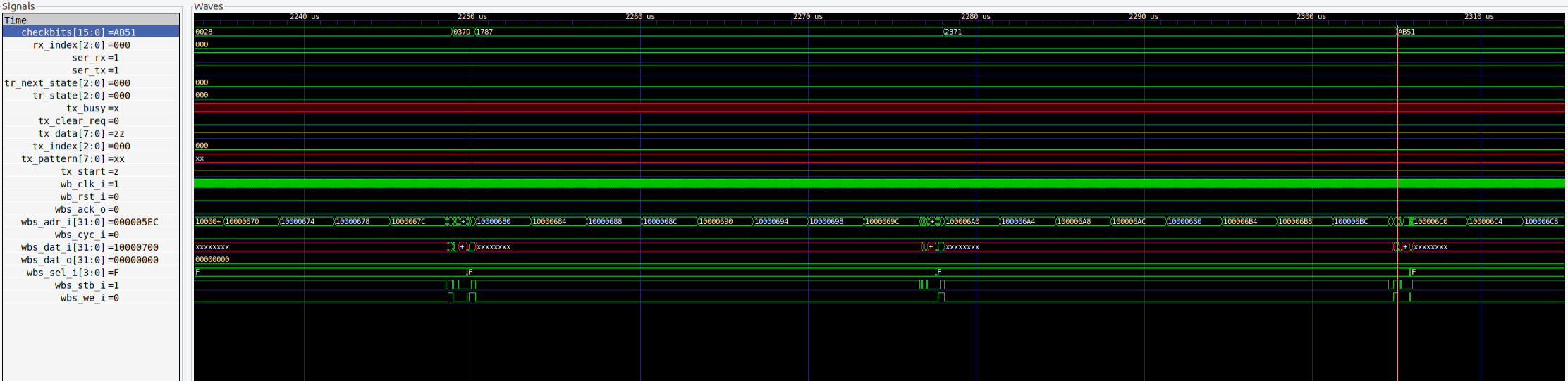




最終輸出結果正確



* waveform



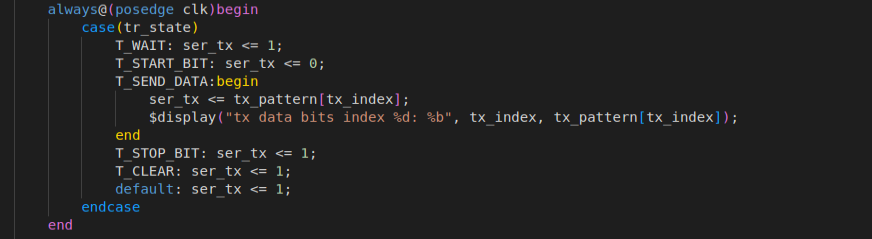
1. Uart

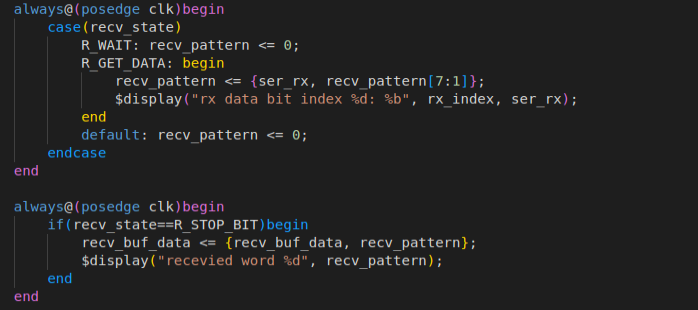
* 執行simulation結果:



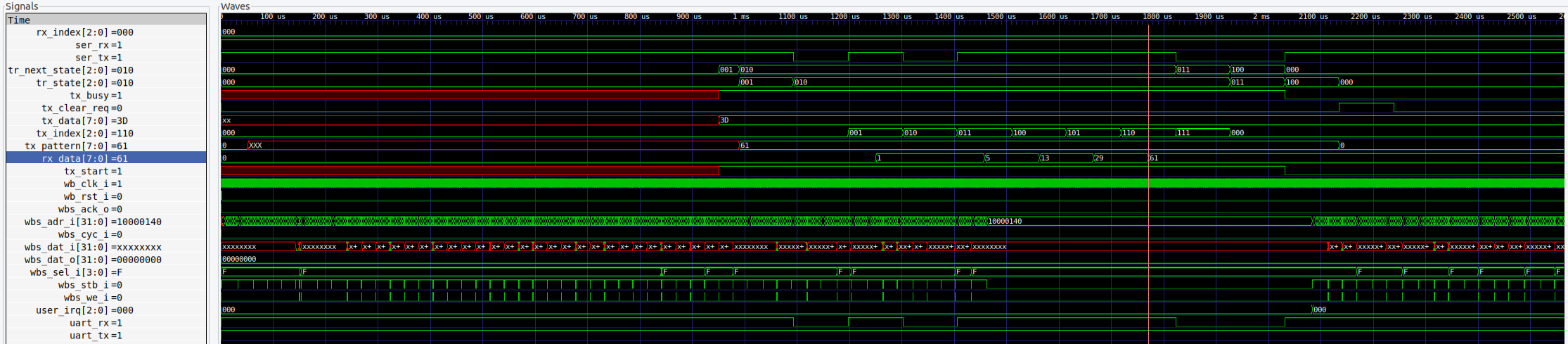
* 驗證方法:

Tbuart.v會check送入及送出的rx、tx



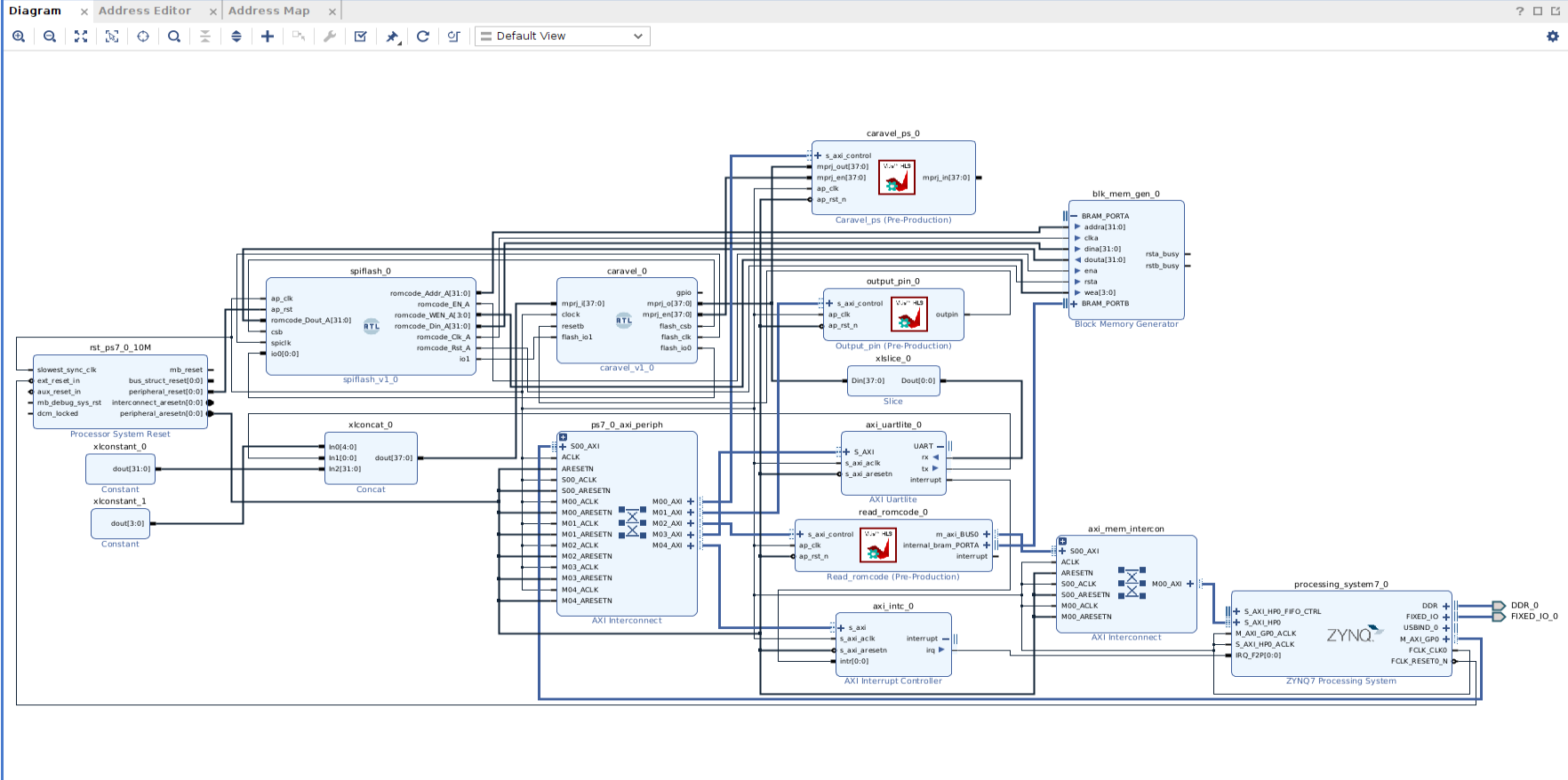


* waveform

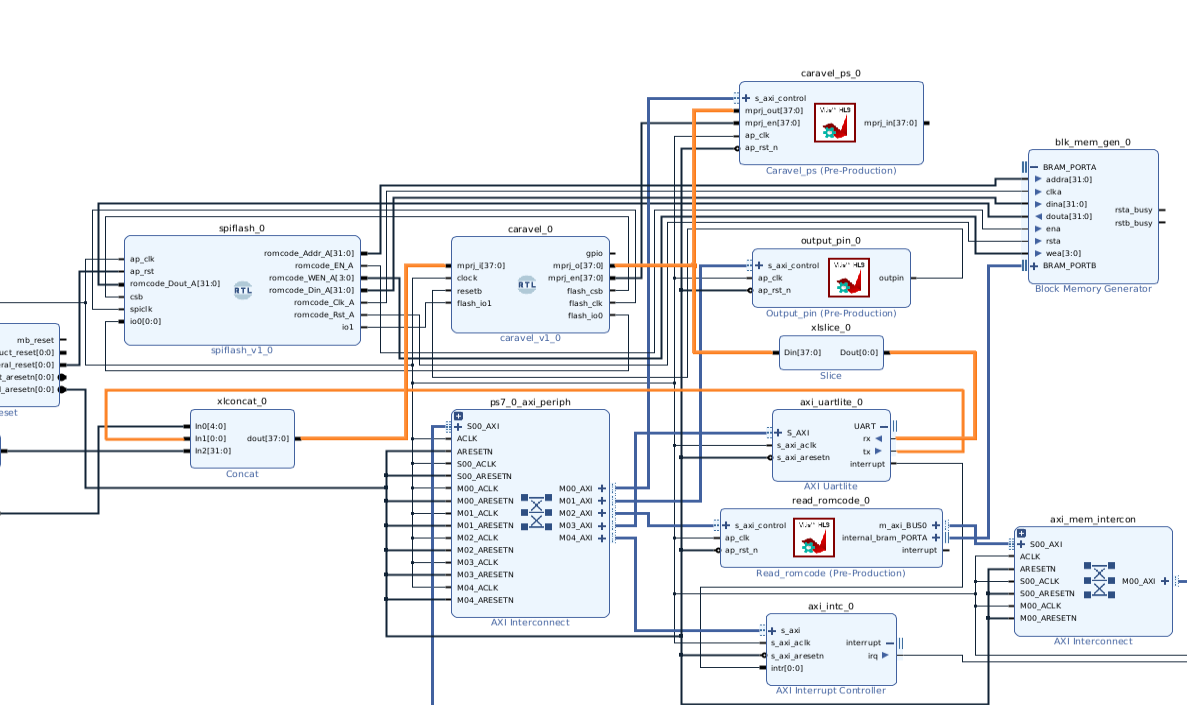


**Run UART on FPGA**

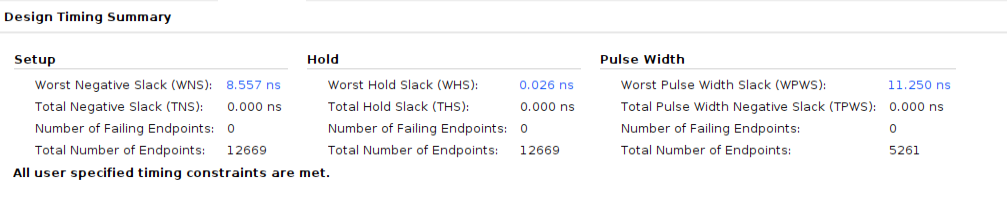
* Block diagram



//簡單說明運作方式

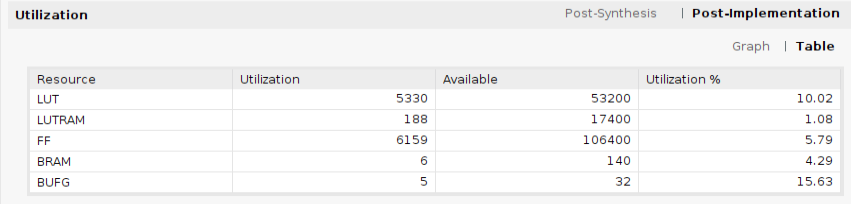


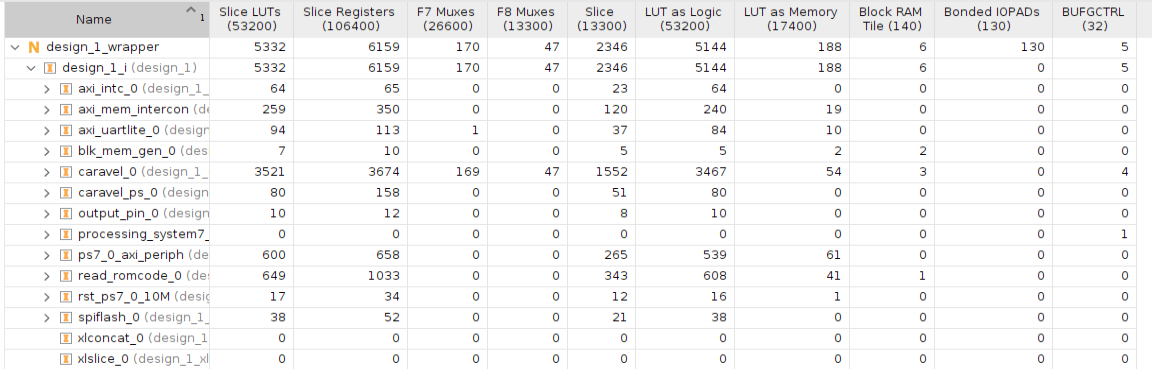
* Time report



//補充

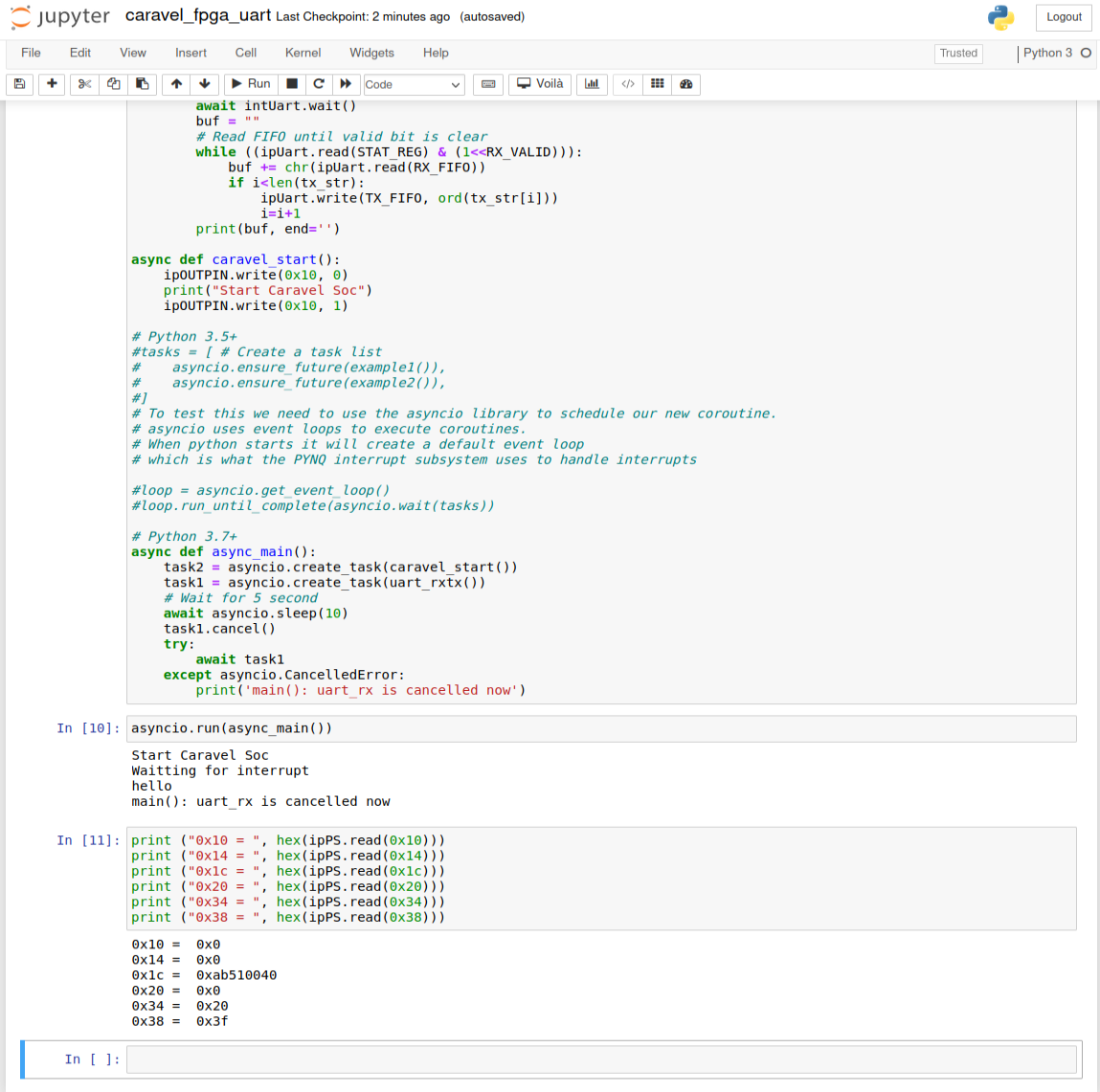
* Resource report



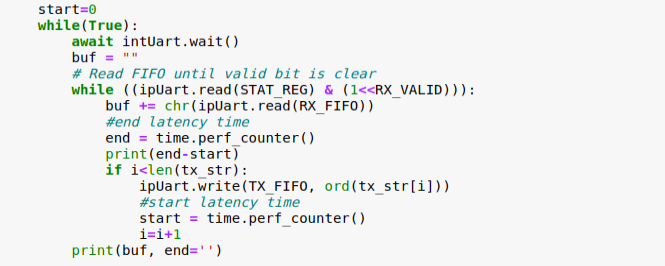


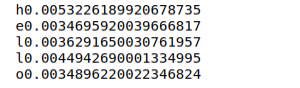
//補充

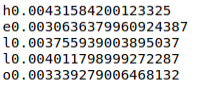
* result

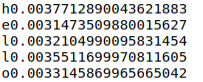


* Latency







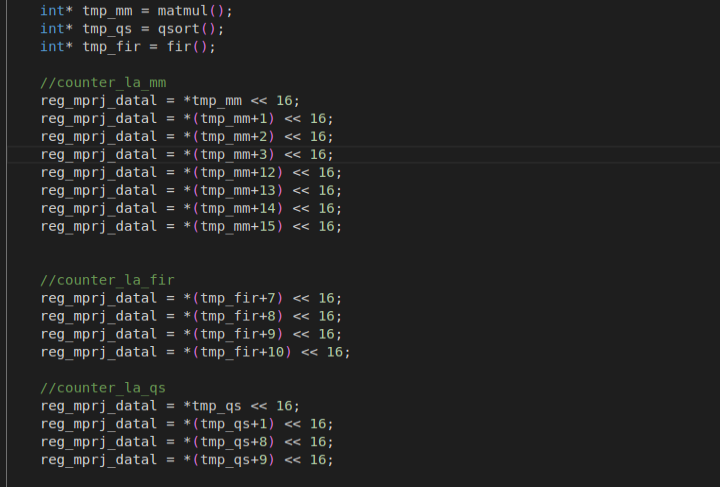


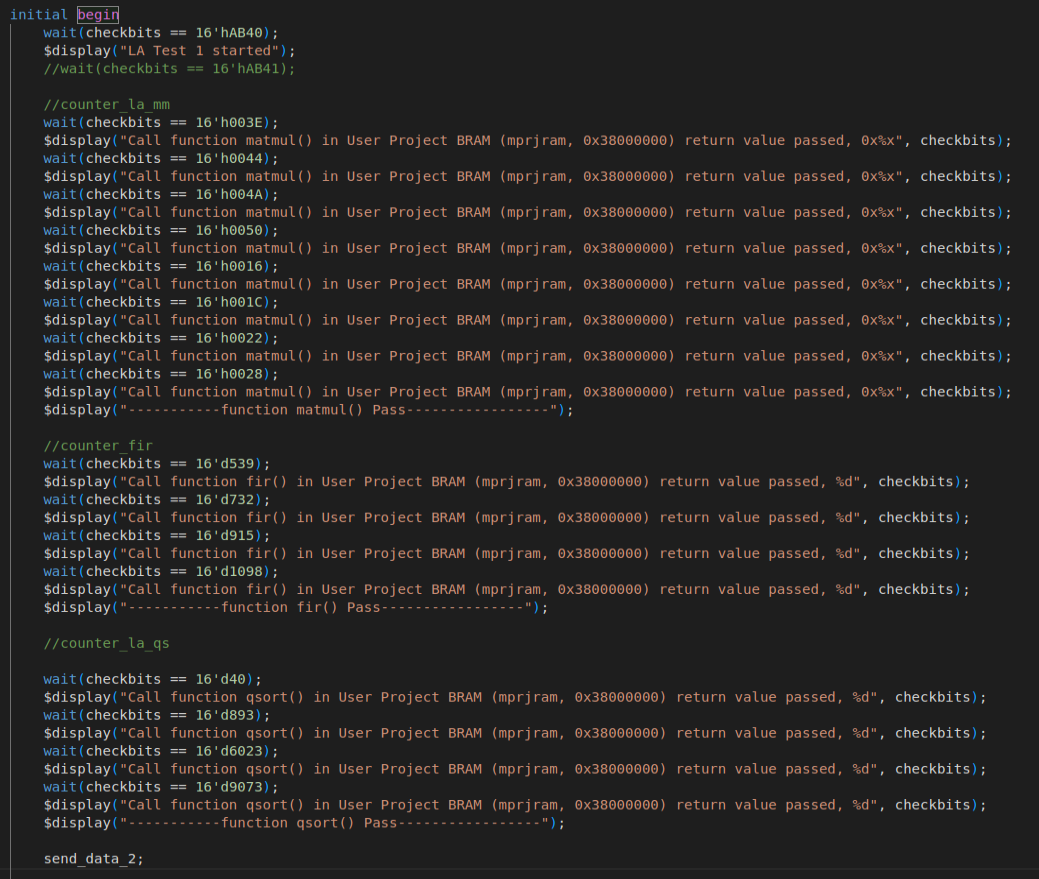
實測三輪後得每個character loop back的latency time 約為0.003~0.004s

* Suggestion for improving latency

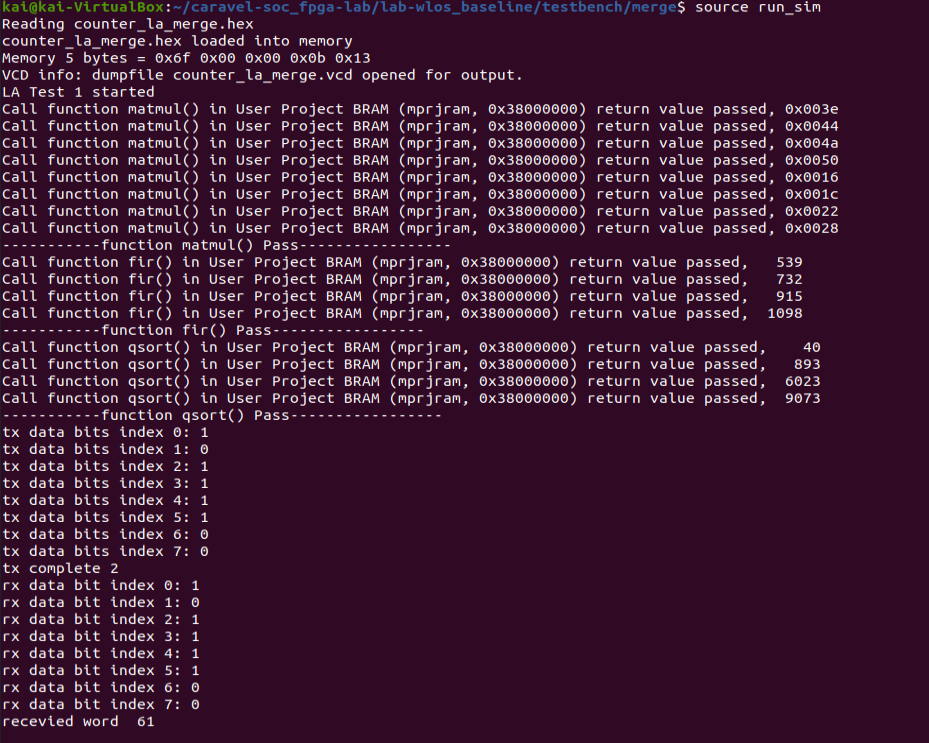
**合併Firmware**

* 驗證方法:

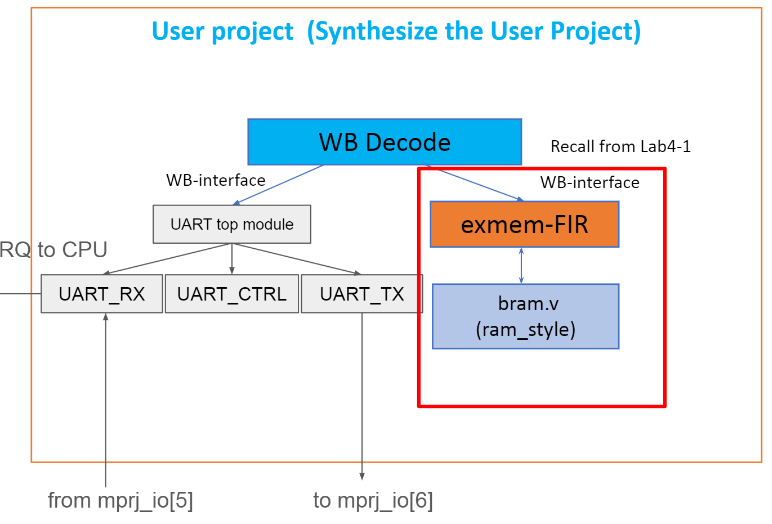
將先前的驗證方式合併，依序檢查matmul()、fir()、qsort()、uart的值



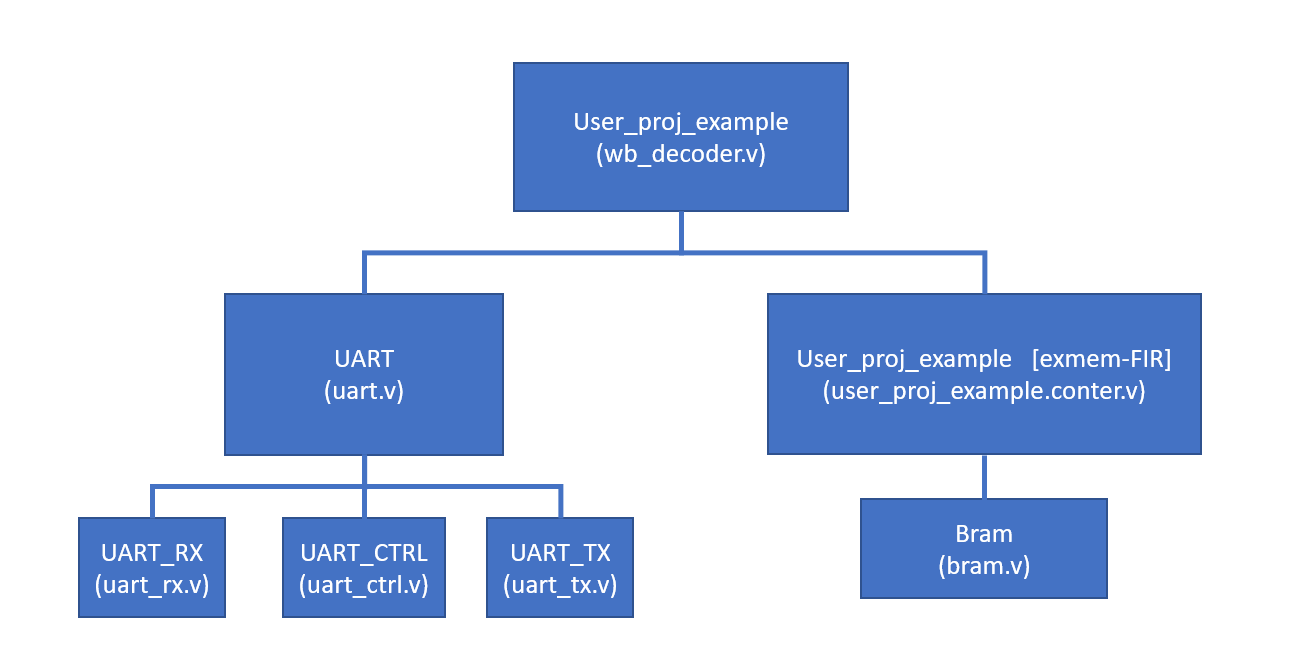
驗證結果:



**Wishbone decoder**



我們實作後的架構如下:



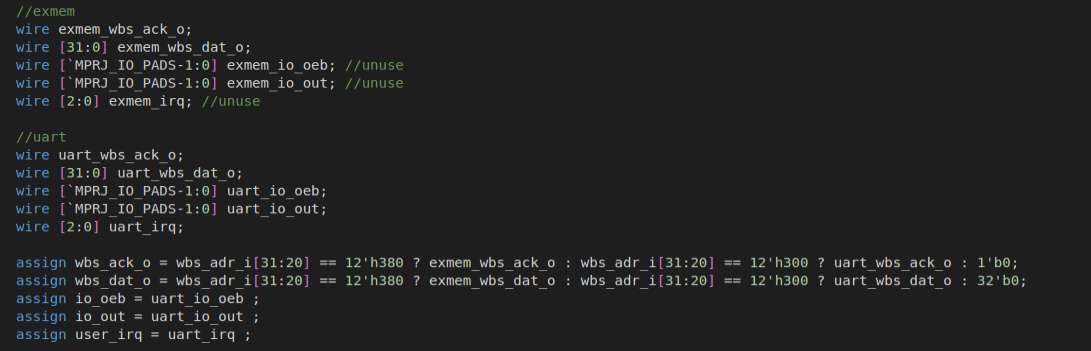
實作方法:

我們修改了user\_proj\_example.conter.v作為exmem-fir(如lab4-2)

在wb\_decoder中我們將user\_proj\_wrapper所有input wire接上uart、user\_proj\_example直接對接，只處理user\_proj\_wrapper的output wire。

此外，user\_proj\_example的io及irq為unuse因此我們直接將uart的io及irq輸出至wrapper。

最後根據address開頭為380或300來決定wbs\_ack與wbs\_dat是由uart或者user\_proj\_example來輸出。

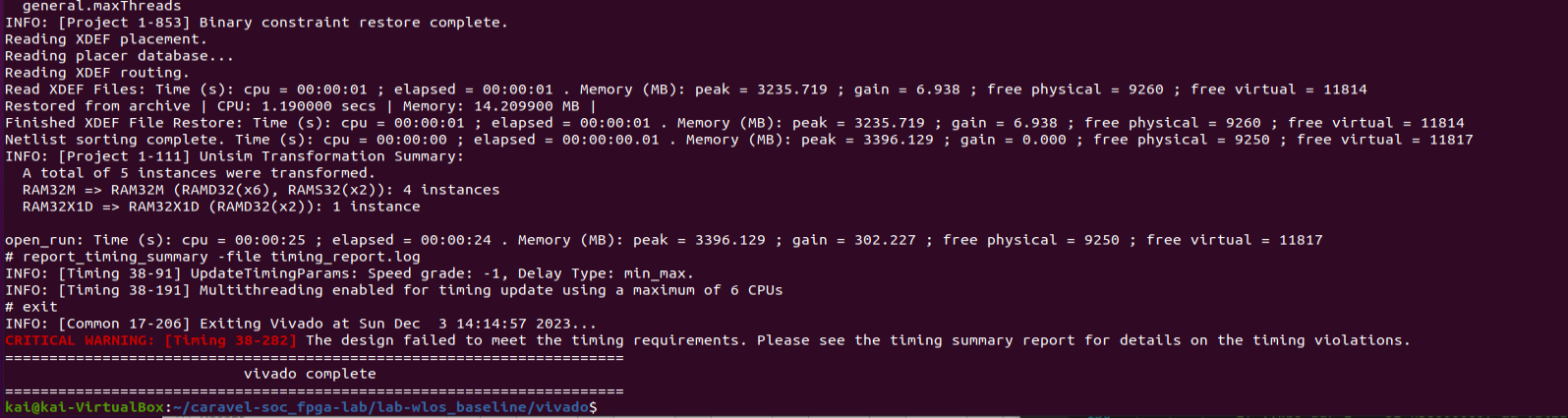


**Run Merged Firmware on FPGA**

* Block diagram
* Time report
* Test result
* Resource report
* Observe

Time report問題:

我們在模擬測試過結合後的各功能正常，但跑合成時出現fail to meet the timing requirement的問題。



後來參考github討論群同學的回答，將進vivado gui改變implementation的strategy，將default改成使用performance\_NetDelay\_high後有成功修復我們的hold time violation。

