

## Polytech IESE-4 *Bus et Interface*

### Les Bus Inter-IC : Le bus SPI

#### Mesure des performances d'un CAN avec le bus SPI

##### But du TP :

- ✓ Comprendre le schéma d'une carte dans le but de la réutiliser.
- ✓ Analyser les documents constructeurs pour identifier les performances d'un bus synchrone
- ✓ Mettre en œuvre un bus SPI
- ✓ Faire les bonnes mesures sur un bus synchrone

Dans le bus d'interfacer le Convertisseur Numérique/Analogique (CNA) 12 bits série MCP4922 (Microchip) avec le microcontrôleur STM32 via le bus SPI.

##### Matériel :

- Carte-MCP4922-NUCLEO ou Platine à trous + composants
- Platine Nucleo STM32F446
- Oscilloscope
- Multimètre

##### Documentation :

- Manuel de référence STM32F446
- Datasheet STM32F446
- Datasheet Nucleo-F446
- Datasheet CNA MCP4922
- Datasheet MCP1525
- Introduction au bus SPI
- README git atolllic V1.1.pdf

Le module sera validé sur la base d'un rapport. Ce rapport devra contenir les réponses justifiées incluant des renvois vers les Datasheets et des mesures provenant de l'oscilloscope.

## Interfaçage : partie matérielle

- a) Expliquer le schéma de la carte CNA nucleo grâce aux documents fournis et proposer le bloc diagramme d'interconnexion entre le micro et le CNA MCP4922
- b) Identifier le mode de fonctionnement (Maître ou esclave du microcontrôleur), ainsi que le mode de transfert des informations (CPOL, CPHA).
- c) Commenter la gestion du signal SPI chip select et du signal LDAC
- d) Quels sont les timings du bus SPI du CNA MCP4922 que le microcontrôleur doit respecter pour garantir un bon fonctionnement du CNA? (hypothèse LDAC toujours = 0)
- e) Comparer ces timings avec ceux du micro STM32 de la carte nucleo sachant que PCLK = 100MHz.
- f) Parmi les timings identifiés dans la question précédente, quels sont les timings qui limite la vitesse d'échantillonnage du CNA? (hypothèse LDAC toujours = 0)
- g) En déduire la fréquence max échantillonnage du CNA? En déduire la bande passante maximale théorique du signal? (hypothèse LDAC toujours = 0 et on ignorera le rise time/fall time pleine échelle de la sortie du CNA)
- h) La carte CNA dispose du MCP4922 12 bits, est ce que les CNA MCP4902 et MCP4912 permettraient d'avoir une vitesse d'échantillonnage plus rapide au détriment de la résolution? Justifier.
- i) Qu'en est il en prenant compte du rise time pleine échelle? Conclusion?

## Interfaçage : partie logicielle

- a) Quels sont les registres concernés pour le dialogue sur le bus SPI du STM32 et du CNA ? Préciser leurs rôles et justifier leurs valeurs d'initialisation.
- b) Indiquer comment seront configurées les GPIO du micro, justifier leur valeur d'initialisation.
- c) Établir un algorithm/flow chart de la séquence d'initialisation et la séquence réalisant l'écriture des 12 bits du CNA.
- d) Écrire un programme permettant d'envoyer des données via le bus SPI vers le CNA et visualiser la sortie analogique sur un oscilloscope en utilisant une constante dans un premier temps puis en générant une dent de scie

## Mesure des performances du bus SPI

- a) Grace à un oscilloscope, mesurer les timings qui ont été identifiés dans les questions précédentes? Qu'en pensez vous?
- b) Quelle est la partie de votre code qui limite la vitesse d'échantillonnage?

## Questions bonus les deux ou une au choix

- a) Pour mesurer les timings et le Bit Error Rate (BER) d'une liaison série rapide, il est parfois intéressant d'afficher un diagramme de l'œil des data. Pour cela,
  - i. Envoyer des données aléatoires sur le CNA avec la fonction *rand()* de la librairie *stdlib.h* en rajoutant un fonction *SignalRandom()*
  - ii. Afficher le diagramme de l'œil grâce à la fonction persistance de l'oscilloscope.
  - iii. Refaire la mesure des timings de la question 2-a en cherchant les min et max.
- b) A partir du code source,
  - i. Retrouver la valeur fréquence de l'horloge PCLK=100MHz qui cadence le périphérique SPI et expliquer la programmation des registres.
  - ii. Choisir une valeur de PCLK et du prescaler de l'horloge SPI pour obtenir la vitesse d'échantillonnage maximale du CNA.
  - iii. Refaire la mesure des timings de la question 2-a et/ou un mesure du diagramme de l'œil.
  - iv. Essayer de mettre en évidence de la limitation de la bande passante à cause du rise time de la sortie du CNA (ne pas oublier de prendre en compte les conditions de test de cette caractéristique du CNA)