

# HW2 Report

311510141 電子碩一蔡煜程

將 test\_lib.lib、module.v 和 module.pat 的資料以 parsetestlib、parsemodule 和 parsepattern 函式讀取進入程式，再使用 setload 與 settiming 函式計算每個 gate 的 output load 和 delay，以這些結果找出 longest path 與 shortest path。

## I. Timing\_Analyser::setload

藉由查詢 lib table 每個 gate 的 input capacitance，依照 gate 的順序和 output 連接到的 gate 累加 output load。

## II. Timing\_Analyser::settiming

將所有 input 與 wire 與 output 線存入一個邏輯陣列，並預設都是 2，接著更新 input 線的 logic 為 pattern 的輸入值，然後從 input 方向開始找尋 input pin 的線都已經不是 2 的 gate 開始判斷 logic 以及計算 timing 資訊，做完後更新 gate 的 output 線在邏輯陣列的 logic 值，以此方式一直循環到邏輯陣列的所有線 logic 都不等於 2 為止，即可停止函式。

### Comment：

這次實作在演算法方面並不困難，主要是在練習讀檔以及如何利用資料進行查表，前半部撰寫讀檔的程式較為繁瑣，並且有許多可能的例子要考慮。後半部的 timing 資訊計算則很容易抓取到錯誤的值或沒有累加到正確的 delay，在寫程式的過程中並不會感到困難但會心煩，可能我自己還沒培養好當碼農的心態，總之這次作業能夠做出來讓我對於 c++ 的信心增加許多，謝謝助教及老師用心。