

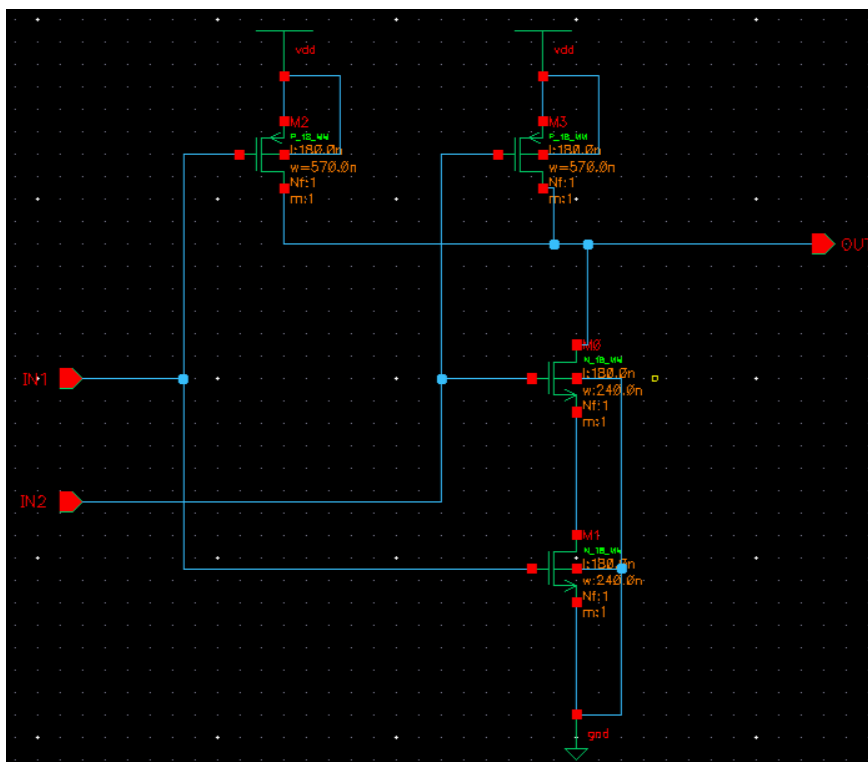
WIEiT, EiT3	Scalone układy i systemy elektroniczne	03.06.2024
Projekt bramki NAND – optymalizacja ch-k przejściowych		
Gruba nr 3	Wykonawca: Hubert Durnaś	Ćwiczenia laboratoryjne

Cel ćwiczenia:

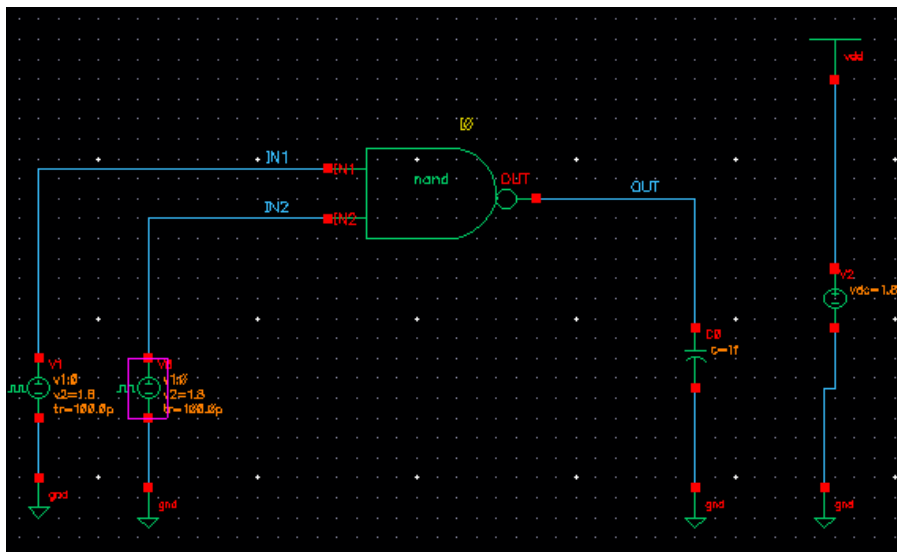
Celem tego ćwiczenia było stworzenie dwuwęściowej bramki NAND w technologii UMC 180 oraz półautomatyczne wygenerowanie topografii. Był to kluczowy etap, umożliwiający przeprowadzenie kilku symulacji parametrycznych, a także zapoznanie się z działaniem podstawowej bramki logicznej CMOS i jej charakterystycznymi parametrami, takich jak pobór mocy i energii.

Przebieg ćwiczenia:

Schemat dwuwęściowej bramki NAND na tranzystorach CMOS:



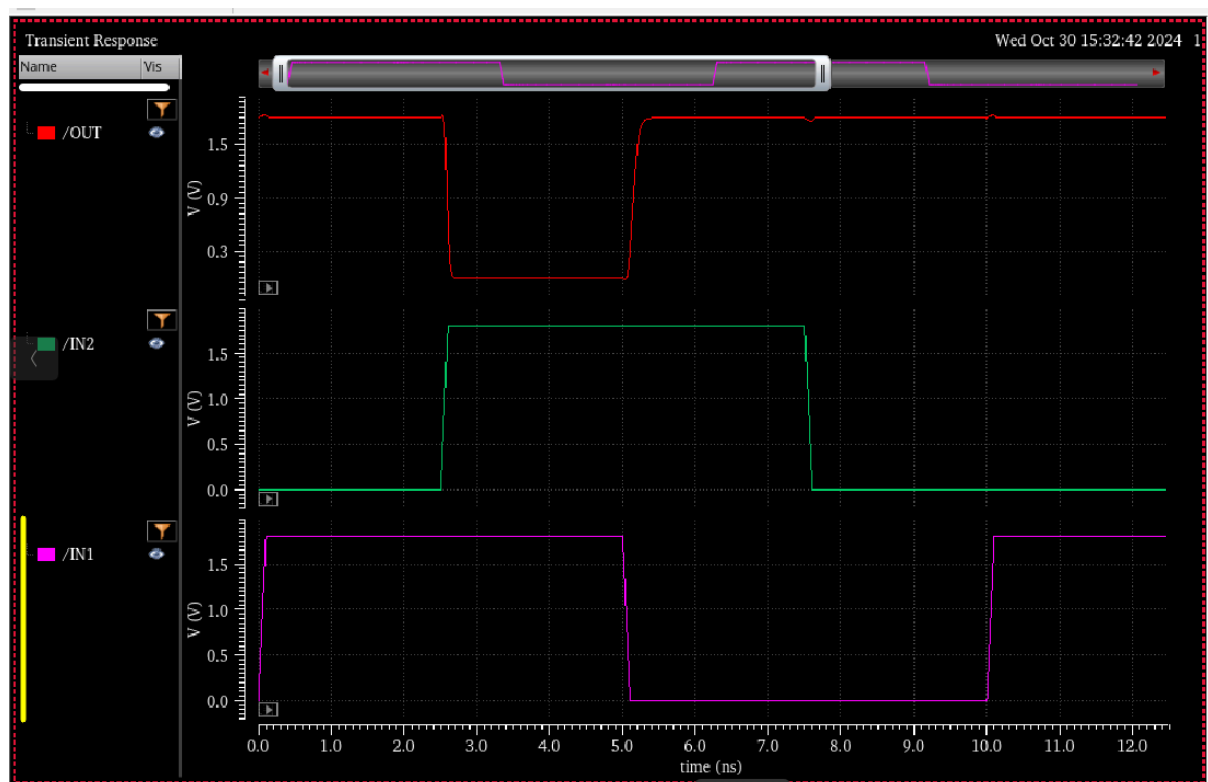
Schemat z symbolem bramki NAND do przeprowadzenia symulacji:



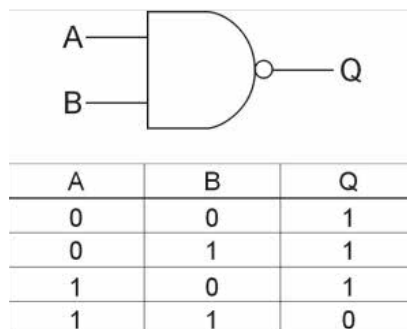
Parametry symulacji:

V0: 0 – 1,8 V, 100 MHz; V1: 0 – 1,8 V, 50 MHz; VDC = 1,8 V, C0 = 10 fF.

Analizę transient przeprowadzono w granicach 0 – 60 ns:

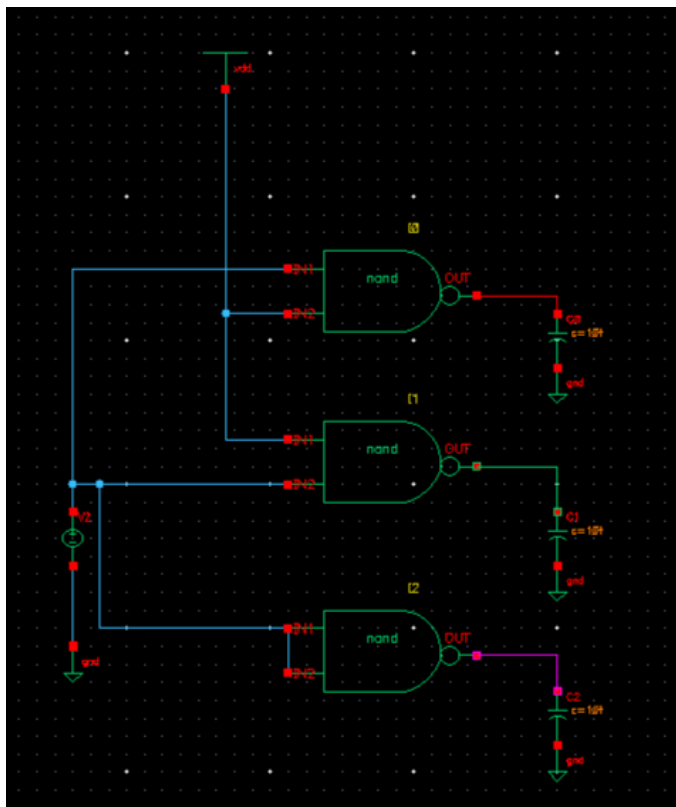


Jak widać, bramka działa poprawnie, zgodnie z tabelą prawdy dla bramki NAND.



Ustawiłem szerokość tranzystora PMOS jako "w", tak aby można było nią sterować.

Schemat w celu przeprowadzenia analizy parametrycznej DC:

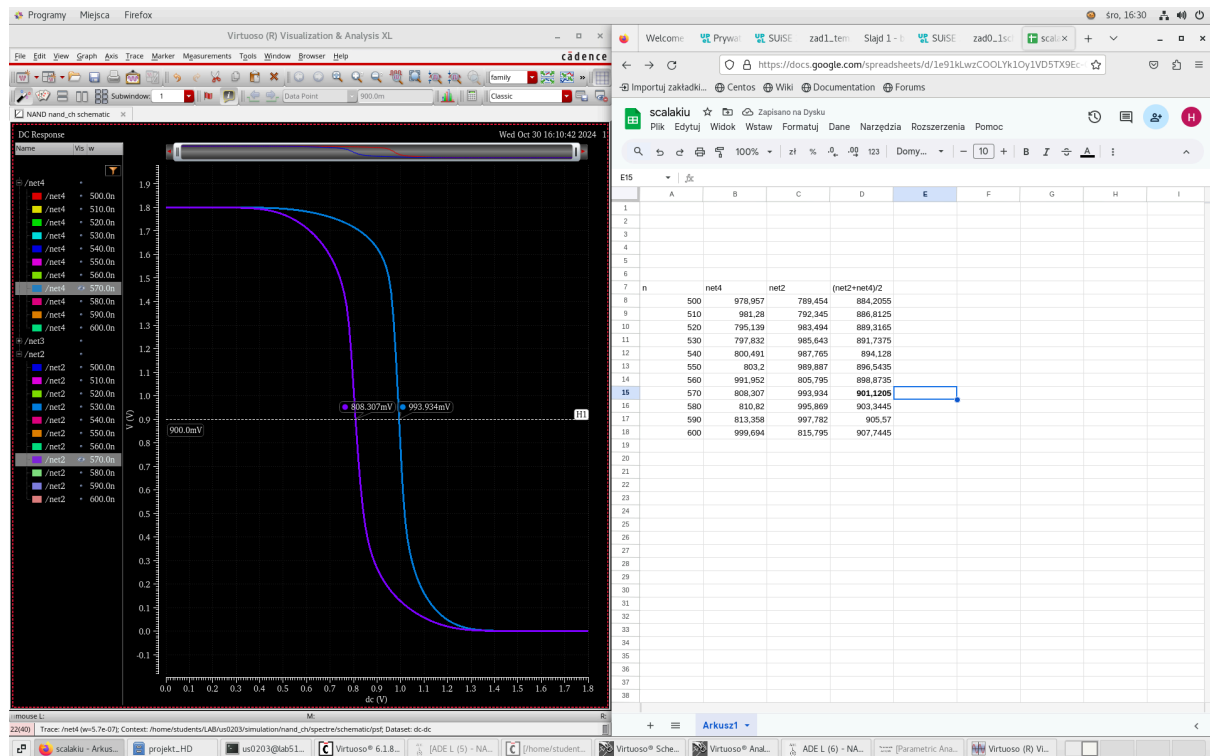


Zbadano wszystkie możliwe sposoby sterowania bramki.

=Parametry symulacji:

V1: 0 – 1,8 V, 100 MHz; VDC = 1,8 V, C0, C1, C2 = 1 nF.

Charakterystyki przejściowe bramki w zależności od szerokości tranzystora PMOS:

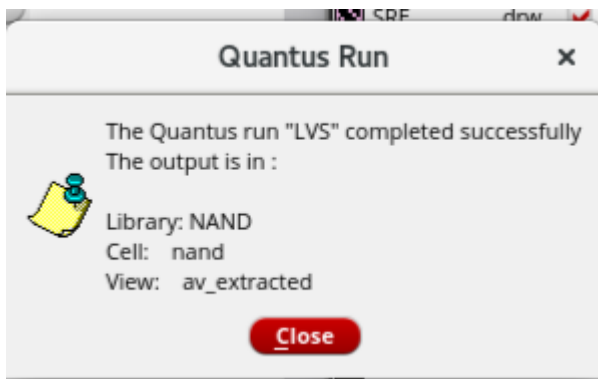
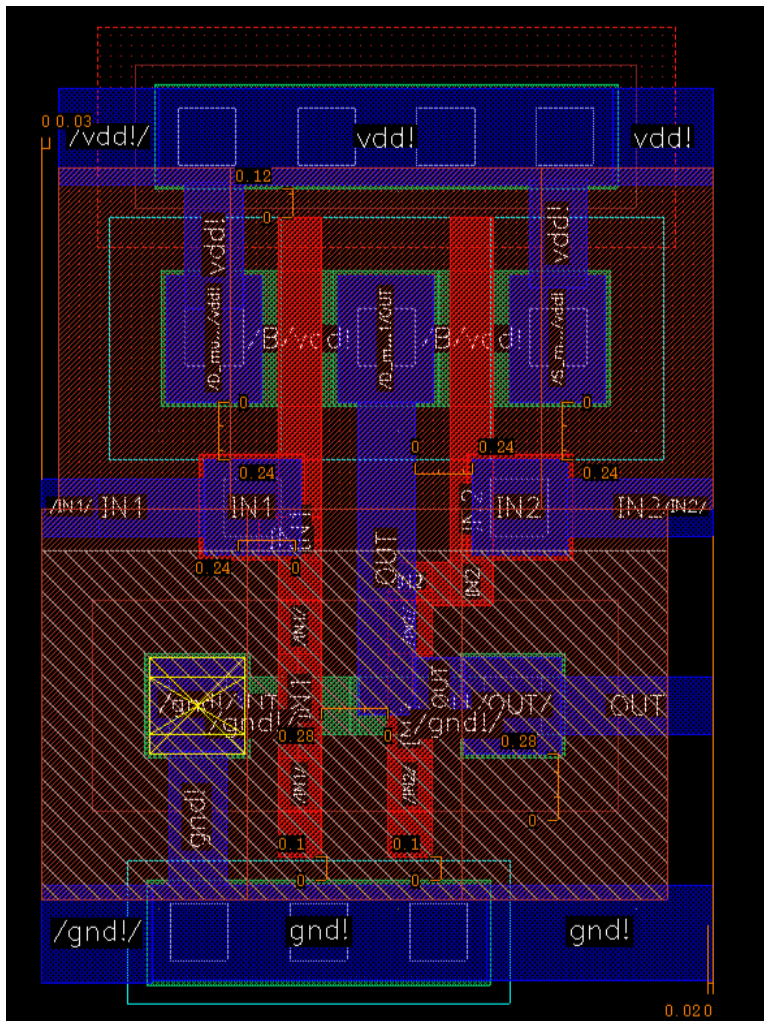


Przypadek, w którym szerokość tranzystora wynosiła 570 nm, okazał się najlepszy. Próg przełączania bramki wynosił wtedy 901,12 mV, co można uznać za bardzo dobre przybliżenie wartości idealnej $1/2 V_{dd} = 900$ mV.

Szerokości obu tranzystorów PMOS ustawiono w oprogramowaniu Cadence Virtuoso na 570 nm. Tak dobrany tranzystor pozwoli uzyskać największe możliwe marginesy zakłóceń bramki, które zostały zbadane w kolejnych krokach, po utworzeniu layoutu.

Półautomatyczne generowanie topografii, optymalizacja wymiarów bramki:

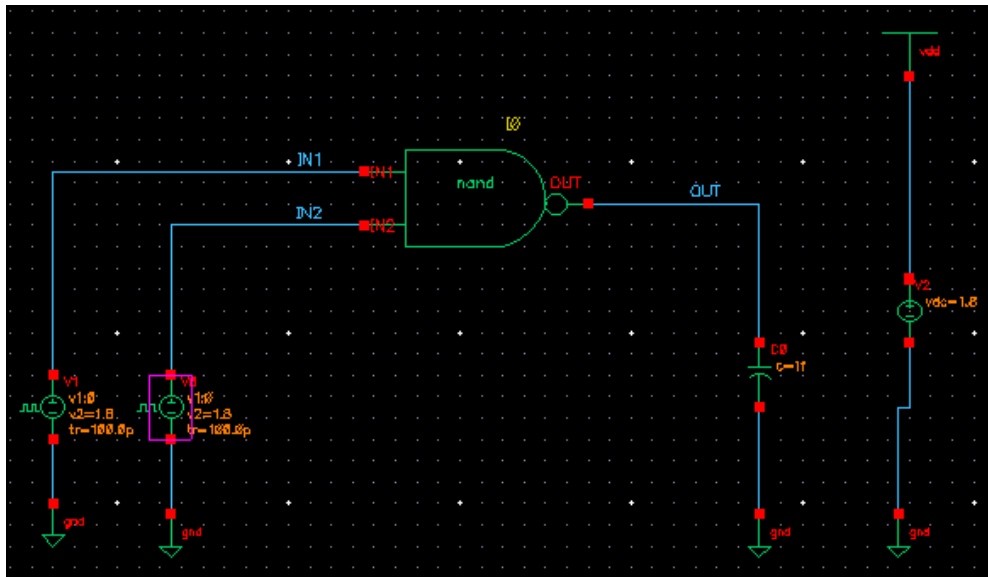
W kolejnym kroku, korzystając z funkcjonalności Virtuoso Layout GXL, wygenerowano topografię na podstawie wcześniej utworzonego schematu bramki. Dodano linie zasilające, struktury kontaktów i połączono pozostałe elementy. Zgodnie z zasadami zredukowano domyślne wymiary bramki. Analiza DRC oraz LVS zakończyły się sukcesem.



Ekstrakcja również przebiegła bez zarzutów.

Symulacje post-layout w celu wyznaczenia charakterystyk przejściowych i parametrów czasowych:

Wykreśliłem charakterystykę przejściową korzystając z poniższego schematu i analizy DC.

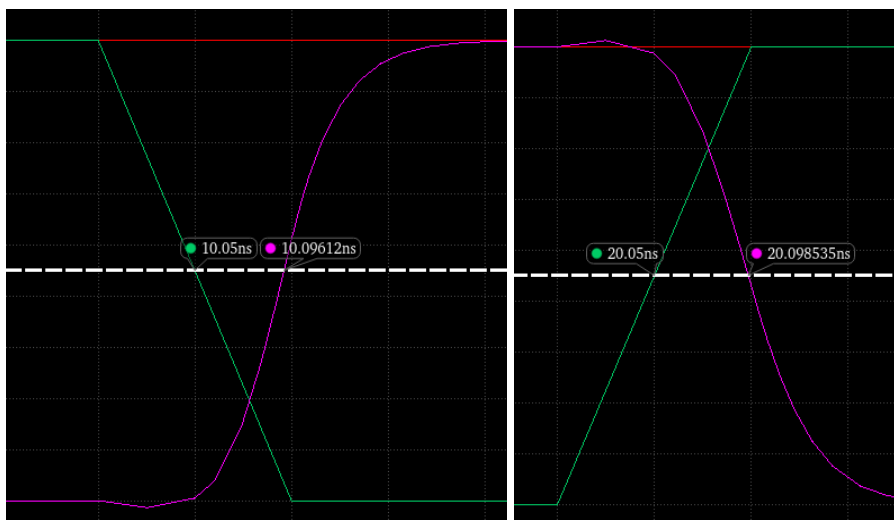


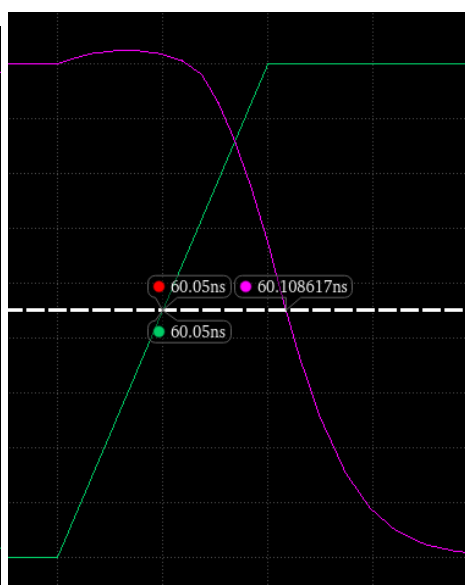
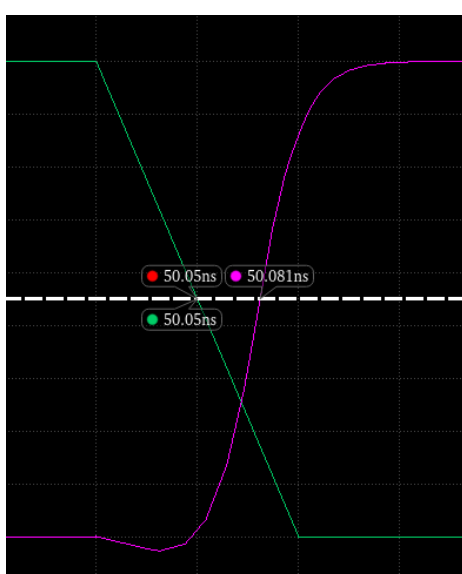
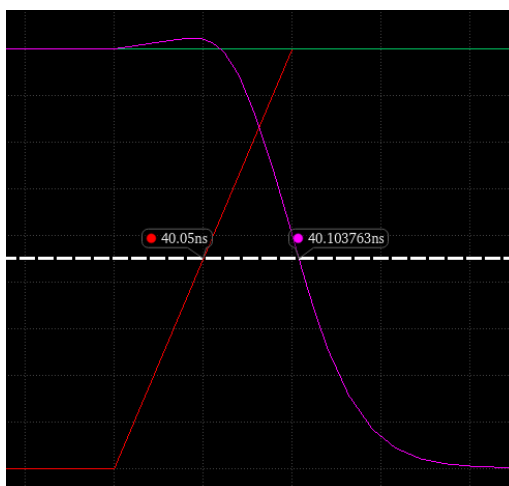
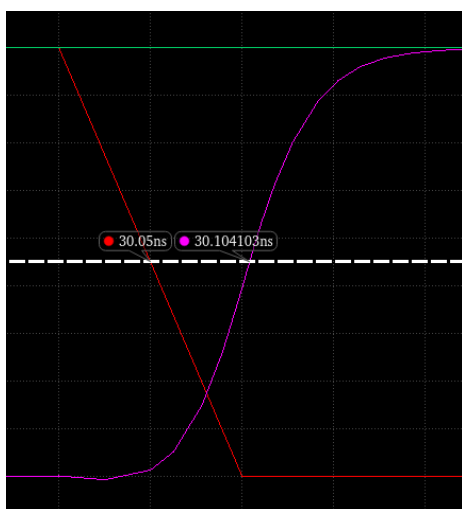
Parametry symulacji:

V0: 0 – 1,8 V, 100 MHz; V1: 0 – 1,8 V, 50 MHz; VDC = 1,8 V, C0 = 10 fF.

Dzięki charakterystyce przejściowej określiłem próg przełączania bramki, który wyniósł 804,555 mV, co świadczy o niepożądanym wpływie elementów pasożytniczych.

Korzystając z tego samego schematu przeprowadzono analizę transient w celu wyznaczenia czasu propagacji sygnału wyjściowego. Ustawiono markery na wartości równej połowie napięcia zasilania. Czas propagacji bramki to czas ustalania sygnału na wyjściu bramki, mierzony od chwili, gdy sygnał wejściowy osiąga połowę swojej maksymalnej wartości do chwili, gdy sygnał wyjściowy osiąga połowę swojej maksymalnej wartości. Podczas analizy można było oszacować kilka czasów propagacji w zależności od stanu logicznego.

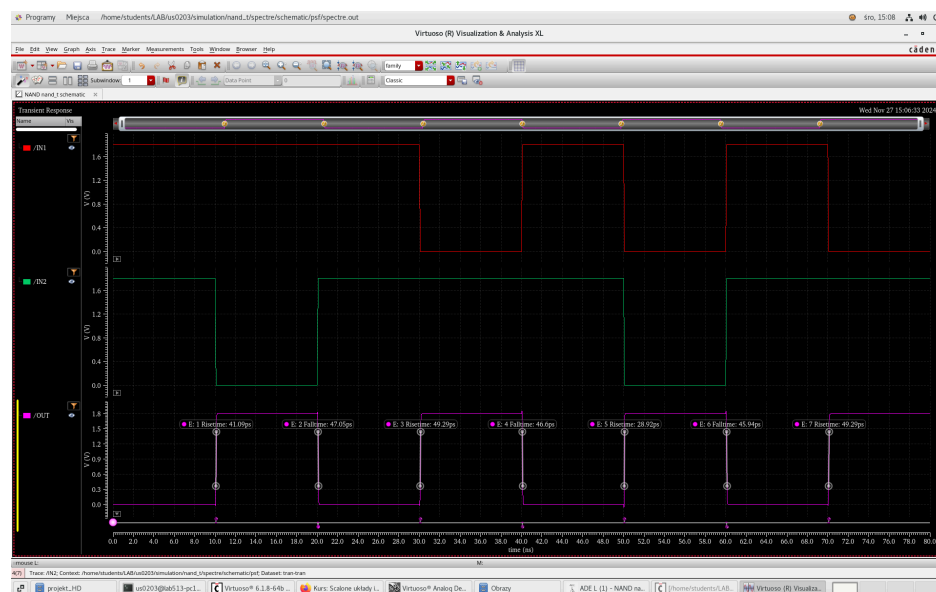




Można uśrednić te wszystkie czasy propagacji $t_p \approx 49,46 \text{ ps}$

Kolejnym krokiem było wyznaczenie czasu narastania i opadania sygnału wyjściowego. Do tego celu użyto poprzedniego schematu symulacyjnego. Warunki symulacyjne były takie same. Zmierzyłem czas narastania i opadania sygnału wyjściowego dla kilku przypadków i uśredniono wartości:

$$t_r \approx 42,1475 \text{ ps} \quad t_f \approx 46,53 \text{ ps}$$



Średni pobór mocy został wyznaczony z pomocą funkcjonalności wbudowanego kalkulatora w programie Cadence Virtuoso i tego samego schematu symulacyjnego co poprzednio.

$$E = 156,9 \cdot 10^{-15} \text{ J}$$

<code>integ(IT*(V2/MINUS) 0 60n " ")</code>	87.19E-15
<code>integ(IT*(V2/MINUS) 0 60n " ")*1.8</code>	156.9E-15

Zaobserwowano następujące przebiegi energii w zależności od czasu dla bramki NAND.



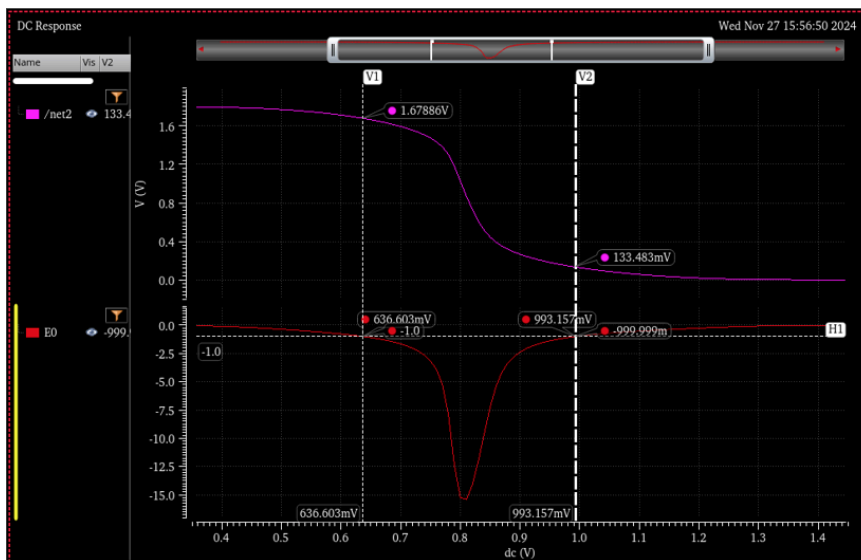
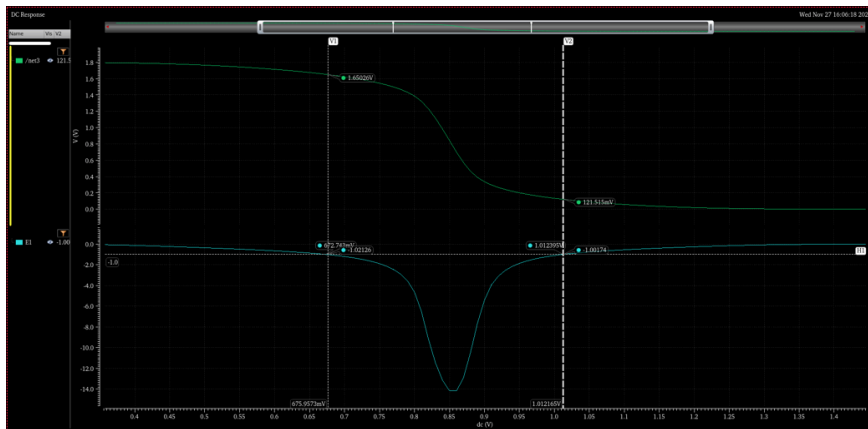
Moc średnia (za okres czasu $t_1 \div t_2$) przedstawia się następującym wzorem:

$$P_{sr} = V_{dd} \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} i_{dd}(t) dt$$

Po zastosowaniu powyższego wzoru uzyskano wartość średniego poboru mocy przy obciążeniu zaprojektowanej bramki NAND pojemnością 1 fF: $P_{sr} = 705,7 \text{ nW}$

Definicja marginesów zakłóceń mówi, że: margines zakłóceń dla stanu wysokiego to $MH = V_{OH} - V_{IH}$, margines zakłóceń dla stanu niskiego to $ML = V_{IL} - V_{OL}$. Granice między obszarami H, L i przejściowym są określone w punktach, w których nachylenie charakterystyki $u_o = u_o(u_i)$ jest równe -1.

Przeprowadzono analizę DC strojąc wartość źródła V1 od 0 do 1,8 V.



Marginesy zakłóceń: $MH \approx 36,14 \text{ mV}$; $ML \approx 19,238 \text{ mV}$

Ścieżka dostępu: `/home/students/LAB/us0203/NAND`