

WIEiT, EiT3	Scalone układy i systemy elektroniczne	05.01.2025
Projekt bramki złożonej OAI		
Grupa nr 3	Wykonawca: Hubert Durnaś	Ćwiczenia laboratoryjne

Cel ćwiczenia:

Celem tego ćwiczenia było stworzenie bramki złożonej OAI w technologii UMC 180 oraz półautomatyczne wygenerowanie jej topografii. Był to kluczowy etap, umożliwiający przeprowadzenie kilku symulacji parametrycznych, a także zapoznanie się z działaniem złożonej bramki logicznej i jej charakterystycznymi parametrami, takich jak pobór mocy i energii.

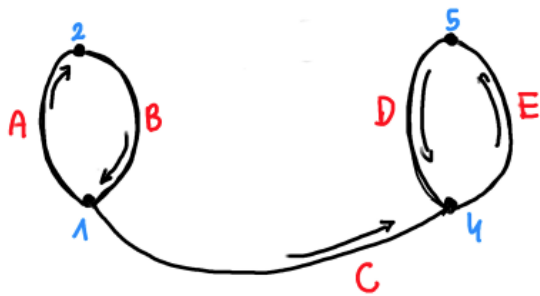
Bramka logiczna ma spełniać poniższą funkcję logiczną:

$$y = \overline{a \cdot b \cdot (c + d \cdot e)}$$

Przebieg ćwiczenia:

Schemat bramki transmisyjnej w technologii CMOS, który został narysowany, składa się z tranzystorów (NMOS i PMOS), które są połączone zgodnie z poniższymi grafami.

pMOS:

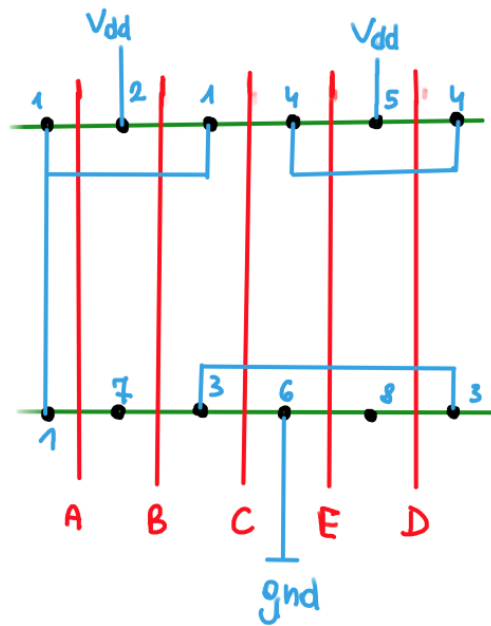


nMOS:



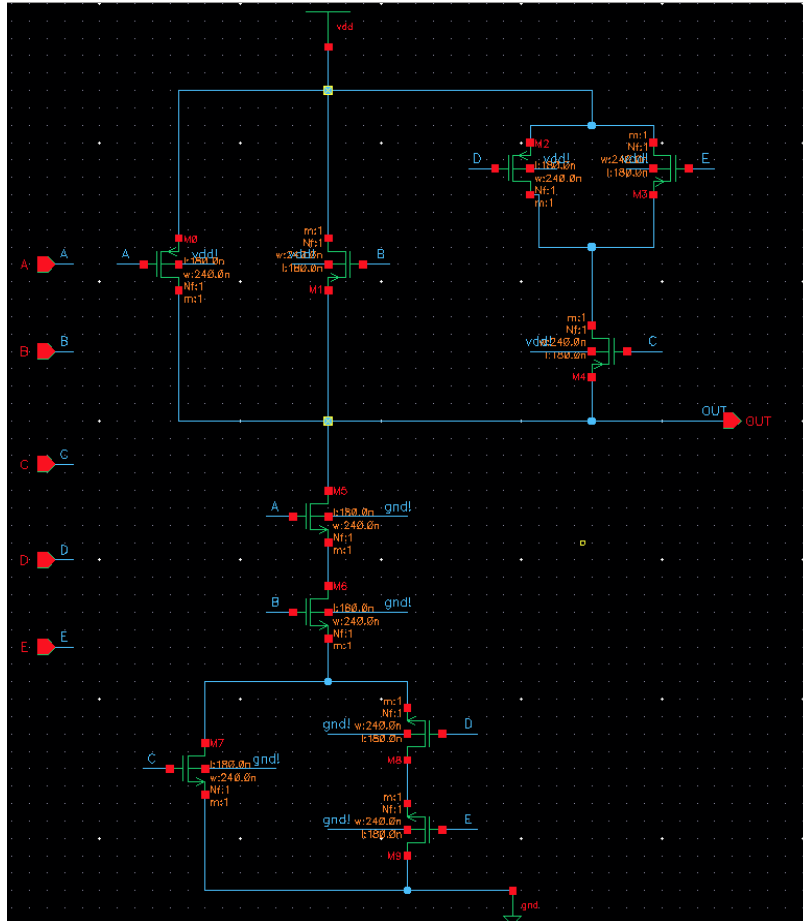
Naszym założeniem było znalezienie takiej kolejności wejść do bramki, aby można było umieścić tranzystory na jednym prostokącie dyfuzji. Rozwiązaniem tego problemu jest oczywiście metoda Eulera, czyli każdy węzeł grafu występuje tylko jeden raz.

Topografia układu z najbardziej optymalną ścieżką:

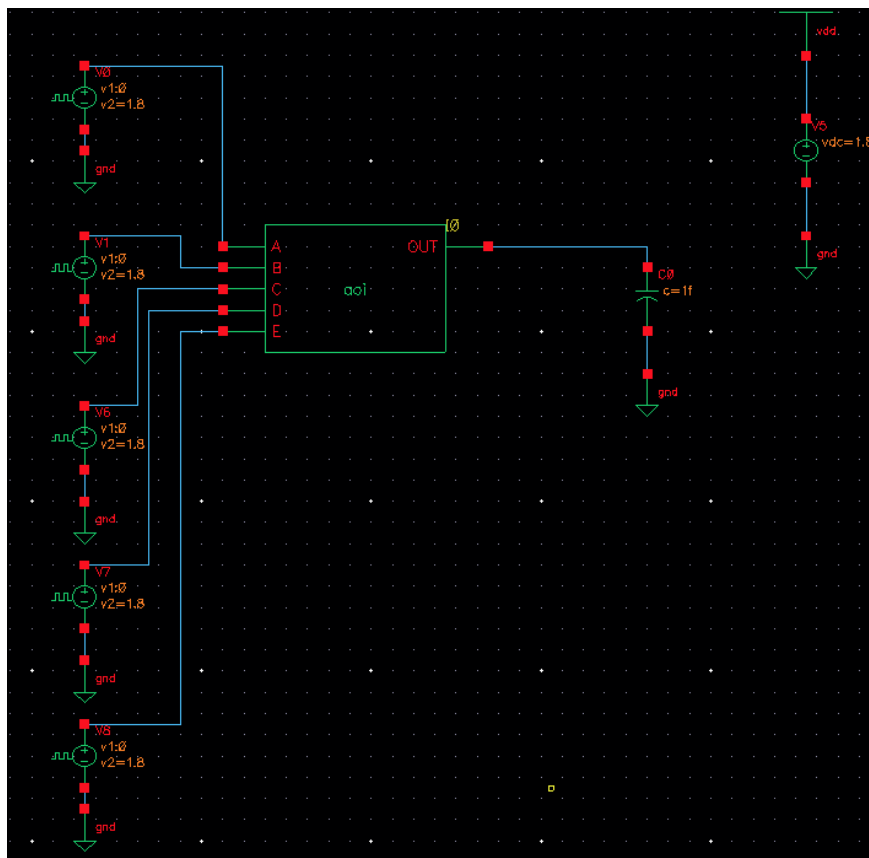


W programie Cadence Virtuoso mogłem zatem przystąpić do budowy bramki OAI.

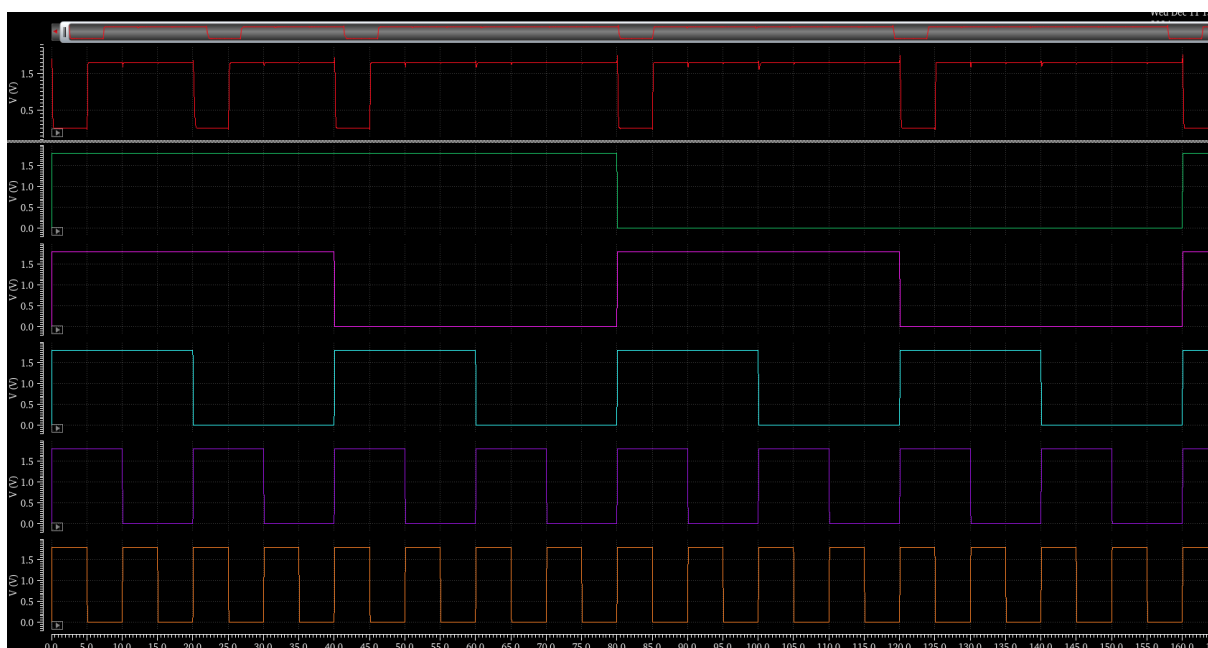
Schemat złożonej bramki OAI na tranzystorach CMOS:



Schemat z symbolem bramki do przeprowadzenia symulacji:



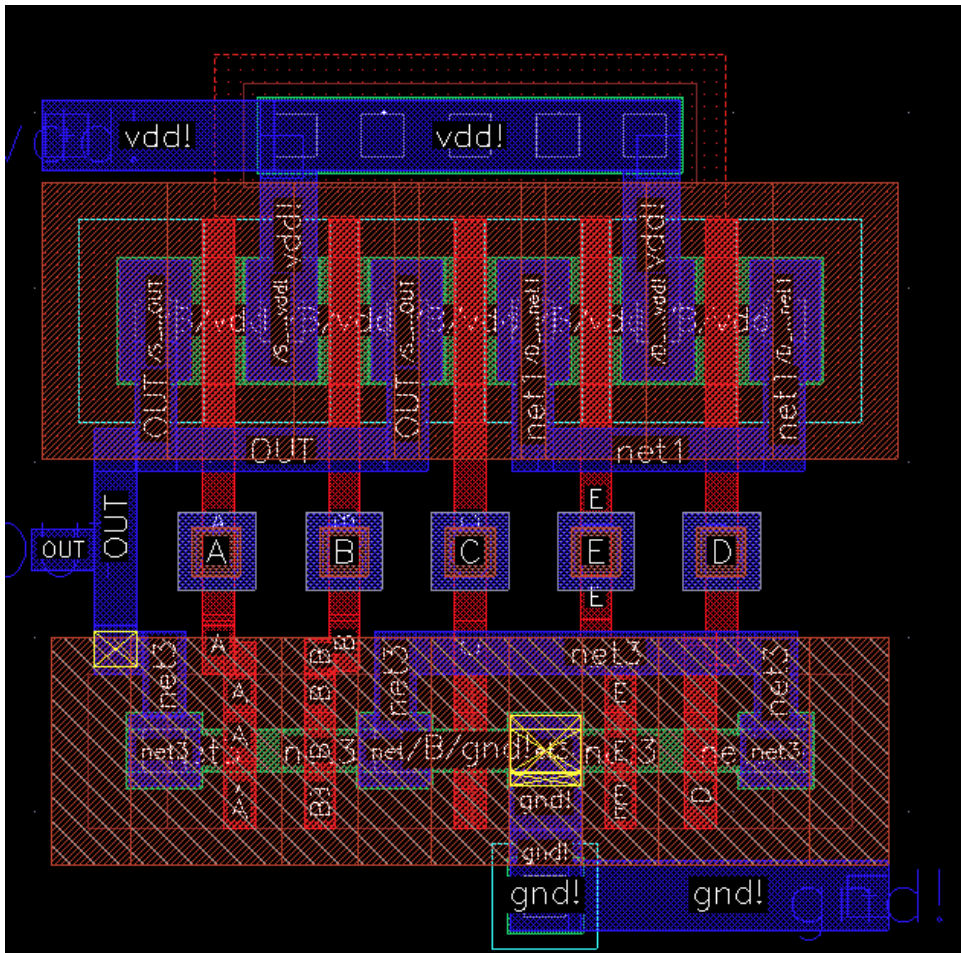
Analizę transient przeprowadzono w granicach 0 – 170 ns:



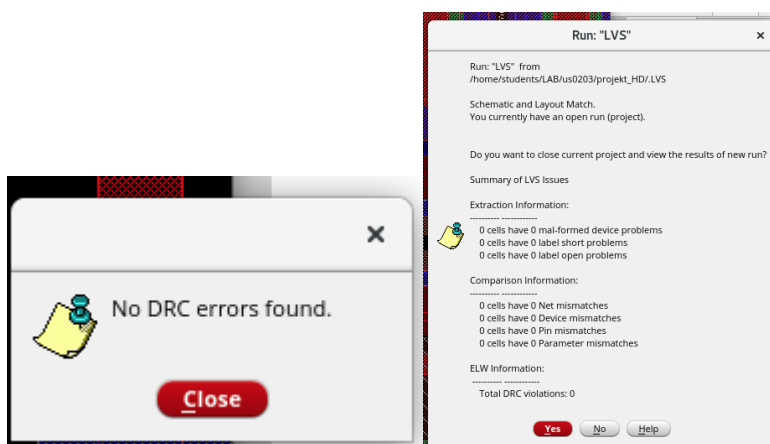
Jak widać, bramka działa poprawnie, zgodnie z tabelą prawdy poniżej.

Półautomatyczne generowanie topografii, optymalizacja wymiarów bramki:

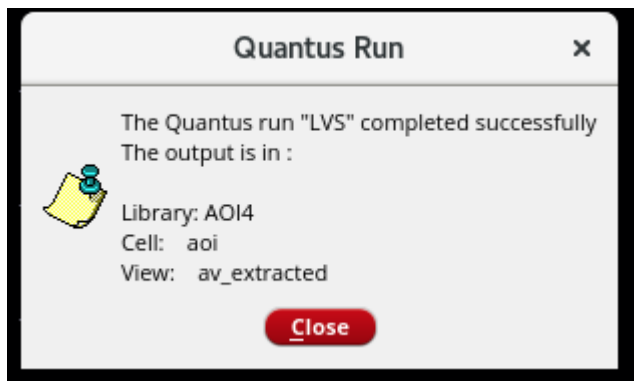
W kolejnym kroku, korzystając z funkcjonalności Virtuoso Layout GXL, wygenerowano topografię na podstawie wcześniej utworzonego schematu bramki. Dodano linie zasilające, struktury kontaktów i połączono pozostałe elementy. Layout wygląda tak jak na założonej topografii. Zgodnie z zasadami zredukowano domyślne wymiary bramki.



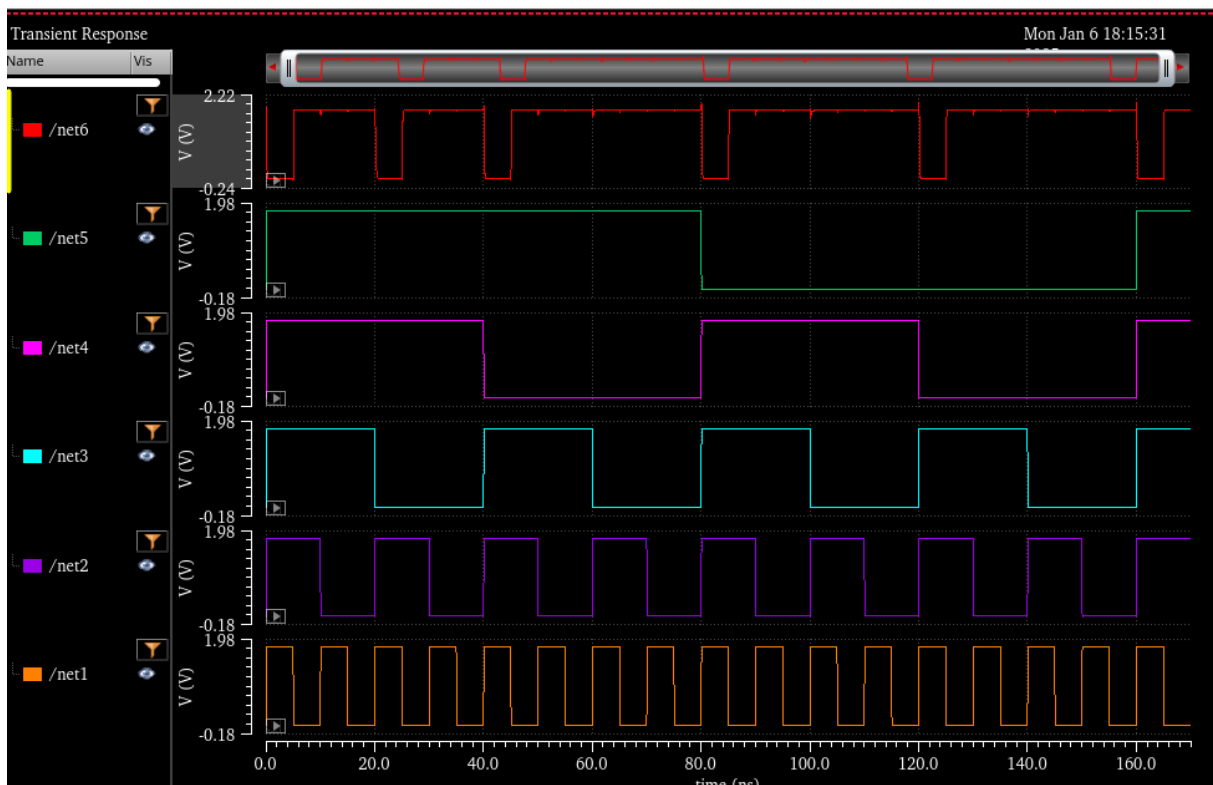
Analiza DRC oraz LVS zakończyły się sukcesem.



Ekstrakcja również przebiegła bez zarzutów.



Symulacje post-layout w celu wyznaczenia charakterystyk przejściowych i parametrów czasowych:

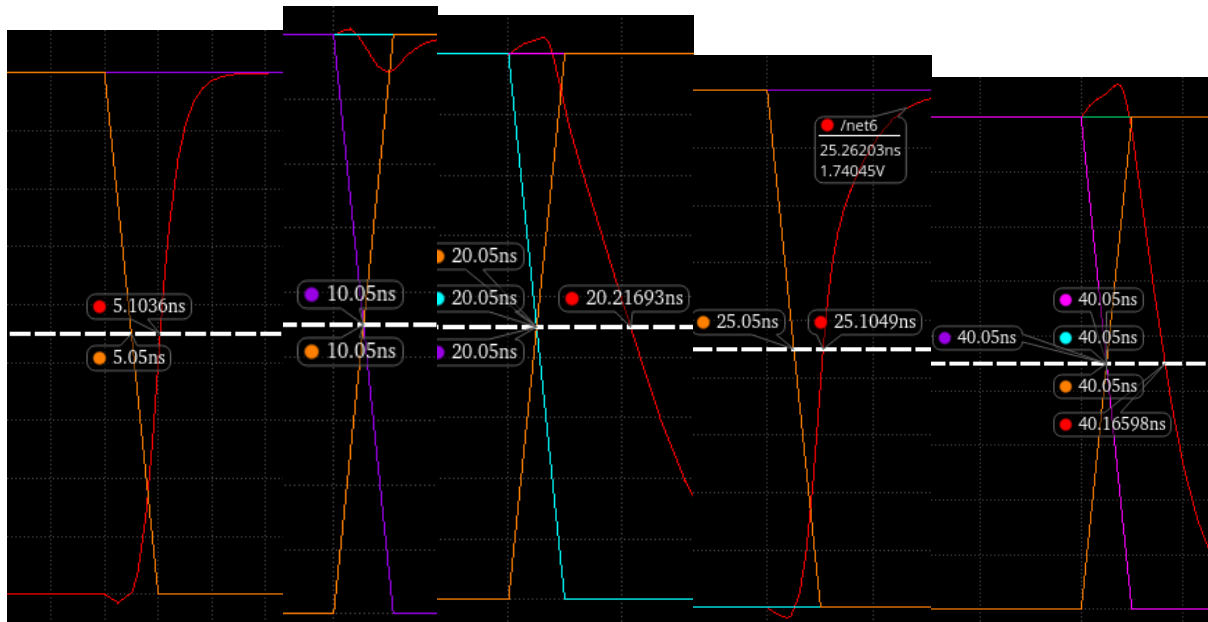


Parametry symulacji: V0: 0 – 1,8 V, 100 MHz; V1: 0 – 1,8 V, 50 MHz; VDC = 1,8 V, C0 = 10 fF, stop time 170ns

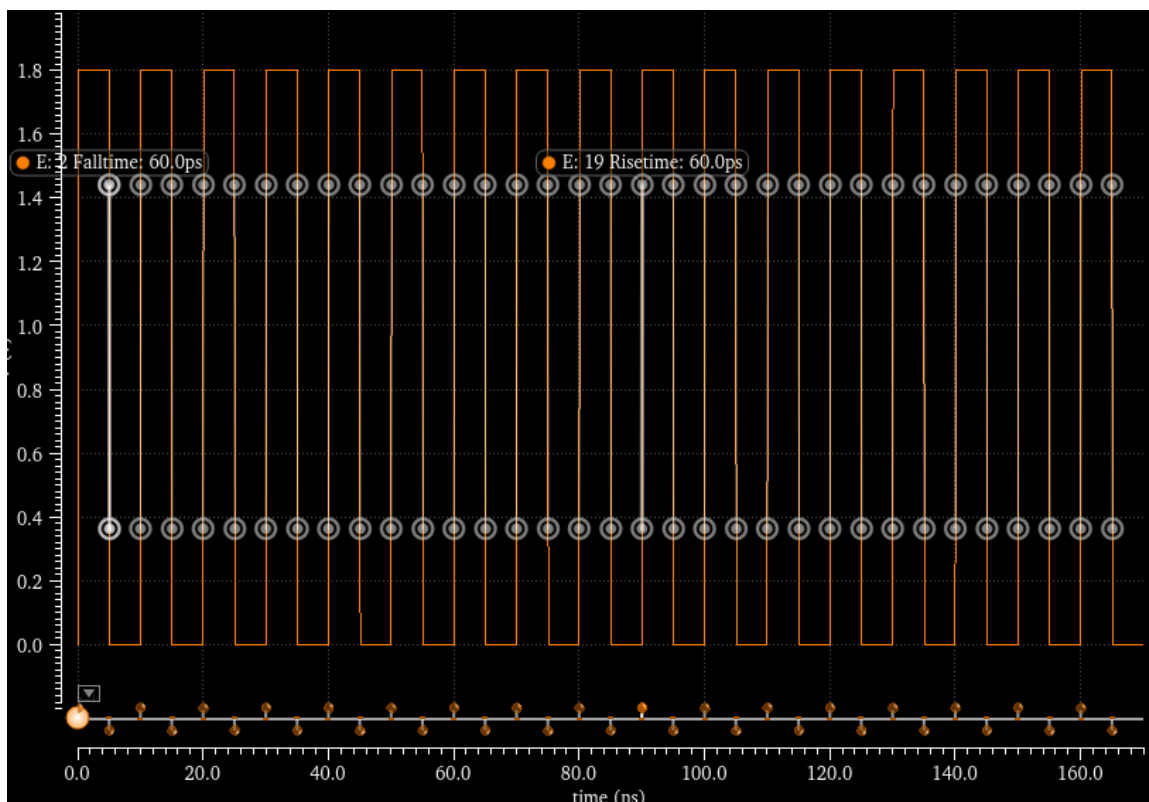
Korzystając z tego samego schematu przeprowadziłem analizę transient w celu wyznaczenia czasu propagacji sygnału wyjściowego. Ustawiono markery na wartości równej połowie napięcia zasilania. Czas propagacji bramki to czas ustalania sygnału na wyjściu bramki, mierzony od chwili, gdy sygnał wejściowy osiąga połowę swojej maksymalnej wartości do chwili, gdy sygnał wyjściowy osiąga połowę swojej maksymalnej wartości. Podczas analizy można było oszacować kilka czasów propagacji w zależności od stanu logicznego.

Można uśrednić te wszystkie czasy propagacji $t_p \approx 98,233$ ps

Poniżej załączam zdjęcia w których czas propagacji się zmieniał:



Kolejnym krokiem było wyznaczenie czasu narastania i opadania sygnału wyjściowego. Do tego celu użyto poprzedniego schematu symulacyjnego. Warunki symulacyjne były takie same. Zmierzyłem czas narastania i opadania sygnału wyjściowego dla kilku przypadków i i zarówno czas narastania jak i czas opadania wyniósł 60 ps



Średni pobór mocy został wyznaczony z pomocą funkcjonalności wbudowanego kalkulatora w programie Cadence Virtuoso i tego samego schematu symulacyjnego co poprzednio.

$$P = 89,5 \cdot 10^{-15} \text{ W}$$

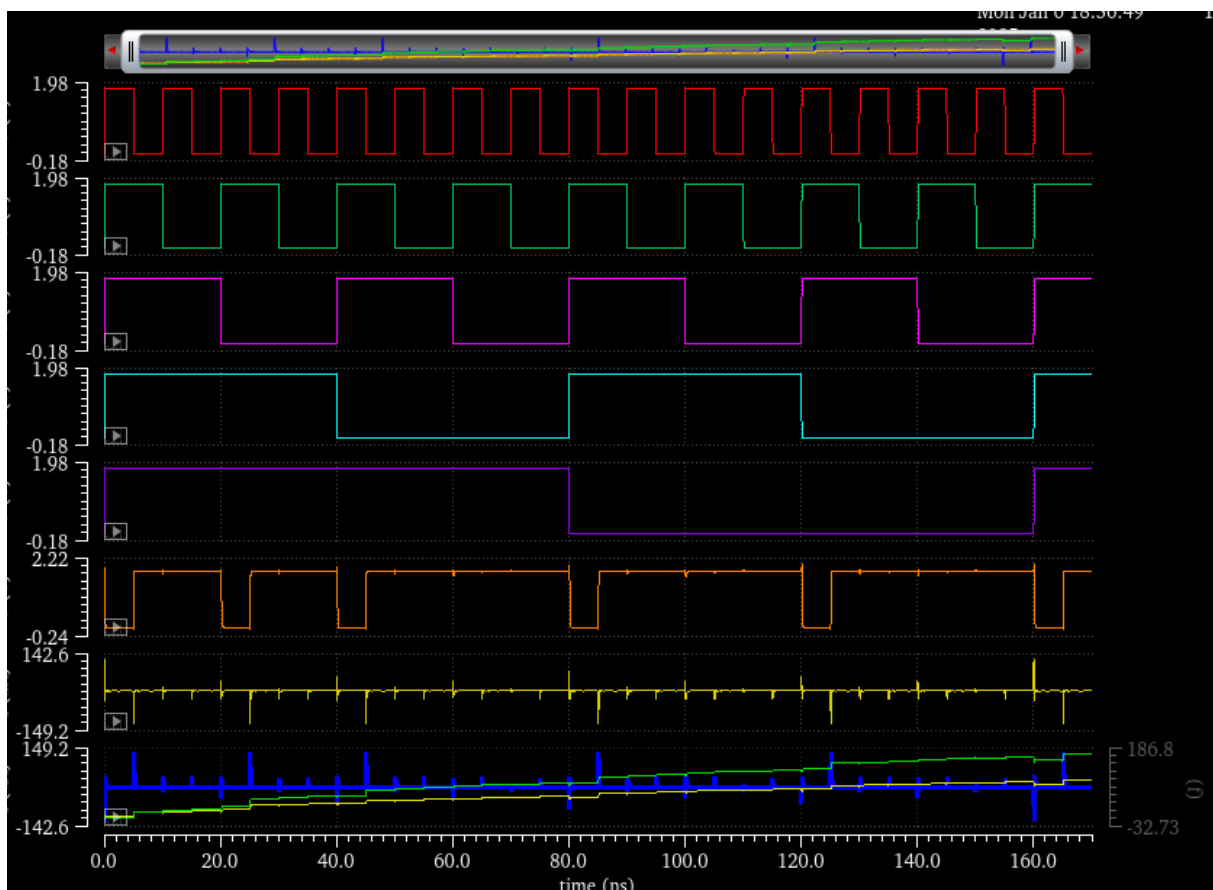
Moc średnia (za okres czasu $t_1 \div t_2$) przedstawia się następującym wzorem:

$$P_{sr} = V_{dd} \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} i_{dd}(t)$$

Zatem moc średnia wynosi:

$$P_{sr} = 1,01 \text{ uW}$$

Zaobserwowano następujące przebiegi energii w zależności od czasu dla bramki:



Ścieżka dostępu do layoutu: /home/students/LAB/us0203/projekt_HD/cds.lib