

2024《电子系统设计》思考题

第一章

1. 说明什么是电子系统。

电子系统是指由一组电子元器件或基本的电子单元电路相互连接、相互作用而形成的电路整体，它能按特定的控制信号去完成所设想的功能。

2. 从处理的信号类型来看，电子系统一般包括哪些子系统？

按处理的信号划分，电子系统的子系统可以分为：模拟子系统、数字子系统、模/数混合子系统以及处理机子系统等。

以处理器为核心构建的软、硬件结合的电子系统一般又被称为智能型电子系统，因为它具有智能化所需的记忆、学习、分析和控制等基本特点。

- 具有存储单元，可以接收并记忆信息、数据和命令；
- 装入合适的软件，就可以在不改动系统硬件结构的前提下获得不同的功能，并且可以在记忆的基础上进行学习；
- 可以进行必要的分析、判断，完成一些决策；
- 可以通过输出接口执行所作出的决定。

3. 简述电子元器件的发展对电子系统性能的影响。

电子管→晶体管→中小规模集成电路→大规模/超大规模集成电路→专用集成电路→系统芯片，体积，功耗，价格，效率，性能。

4. 现代电子系统的设计工作主要体现在哪几个方面？各包含什么内容？

系统级设计（系统建模与仿真），集成电路设计（IC设计/芯片设计），系统电路设计(板级电路设计)

- 系统级设计是高层设计，需要建立系统模型。
- 系统模型是将电子系统抽象化以后得到的描述系统功能和性能的数学模型和算法模型；
- 建立、分析、验证系统模型要使用相应的软件设计工具；
- 不考虑实际的操作和算法用什么方法来实现，考虑更多的是系统的结构及其工作过程是否能达到系统设计指标的要求（正确性和有效性）。
- 集成电路设计（芯片设计）是将控制、运算和数据处理等功能集成在半导体芯片上。
- 芯片设计有两种：一种是设计专用功能的芯片，即设计 ASIC 芯片；另一种是利用现成芯片进行新功能的开发，也叫做二次开发。
- 模拟集成困难，主要集中在数字集成电路设计。
- ASIC 芯片已经成为构建电子系统的主要器件，并向系统芯片(SoC: System on Chip)发展；
- SoC 即在同一块芯片上集成了控制部件（微处理器、存储器、I/O 接口）和执行部件（微型开关、微机械），能够自成体系、独立工作的芯片。
- 系统电路设计：就是利用电路原理和电子技术的相关知识设计出各功能模块的电路结构形式，给出元器件参数，达到性能指标要求。
- 包括电路原理图设计和 PCB 板设计
- 首先要对系统进行合理地划分，哪些用硬件电路来实现，哪些用软件来实现；
- 然后利用成熟的模拟电路、数字电路的基本结构作为单元电路进行搭建。也可以研

电子系统的实现是以电子元器件、单元电路为基础的，因此在电子元器件发展的不同阶段，电子系统也呈现出不同的特征。

例如：电子管→晶体管→集成电路

集成化的电子系统是现代大规模复杂系统的发展趋势，采用专用集成电路芯片ASIC
(Application Specific Integrated Circuit)。

产生新的系统设计方法：电子设计自动化
(EDA: Electronic Design Automation)

究新的电路结构、元器件加以应用，完成电路原理图设计；

- PCB 板的设计：就是在它上面安装实现系统的所有元器件，并按照要求将元器件连接成一个可以正常工作的系统。
 - 在 PCB 板上完成给电路供电、提供输入信号、输出驱动信号给外部设备等工作，支持系统测试。
 - PCB 板的设计和实现必须使整个系统的硬件电路满足电磁兼容的要求。
 - 软件设计也是电子系统的组成部分

5. 分析“传统设计方法不能满足现代复杂系统的设计需求”的原因（即 EDA 技术产生的原因）。

采用自底向上的设计过程：手工方式从底层开始设计，发现问题需返回初始阶段。

系统指标→电路原理图→元器件→PCB板→模块→子系统→系统（中间需调试）

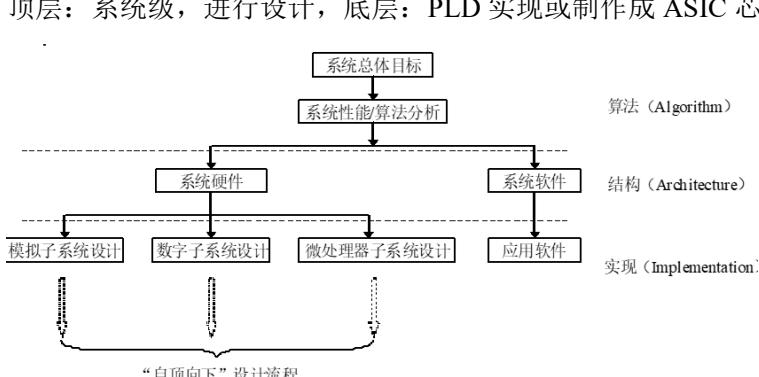
采用通用的元器件：设计受现有器件和工程师设计经验限制，电路集成度低，灵活性差，设计后系统功能固定。

在系统电路搭建完成后才能进行仿真和测试：调试工作必须在硬件电路搭建完成后才能进行。如果设计中有问题，则设计要重新进行，会耗费大量的人力物力，增加设计时间。

主要设计文件是电路原理图：对于复杂的电子系统，会产生大量的电路原理图，归档、阅读、修改和使用都不方便。

6. 以数字系统为例，说明 EDA 技术“自顶向下”的设计流程。其中的“顶层”和“底层”

各指什么？



数字系统自顶向下的设计流程

7. 采用 EDA 技术进行电子系统设计有哪些优势？

 - 降低了系统硬件电路的设计难度（远离繁杂电路设计）
 - 采用系统设计早期的仿真技术（早期发现缺陷，传统是后期仿真）
 - HDL 语言是强有力的设计工具（设计与工艺无关）
 - 自行设计 ASIC 芯片（不受通用元器件限制，PLD 设计 ASIC 可以方便的进行功能改进升级）

8 列举三十余全球著名的 FDA 软件供应商

- Cadence公司
 - IC设计与验证
 - 定制IC/模拟/RF设计
 - IP设计
 - IC封装
- Synopsys公司
 - 数字设计系列：编译器、RTL设计和综合、物理实现、物理验证、测试自动化
 - 模拟设计：编译器、电路仿真器
 - FPGA设计：逻辑综合工具Synplify
- Mentor Graphics公司
 - (2016年被西门子收购)
 - PCB设计软件
 - 物理验证
 - FPGA设计
- 另外，一些芯片设计公司也提供EDA设计软件，如Xilinx公司和Altera公司的FPGA设计软件。
- 国内EDA软件也在快速发展
 - 华大九天公司：模拟电路设计全流程
 - RF电路设计全流程

9. 什么叫做 SoC？

- SoC 即在同一块芯片上集成了控制部件（微处理器、存储器、I/O 接口）和执行部件（微型开关、微机械），能够自成体系、独立工作的芯片。

第二章

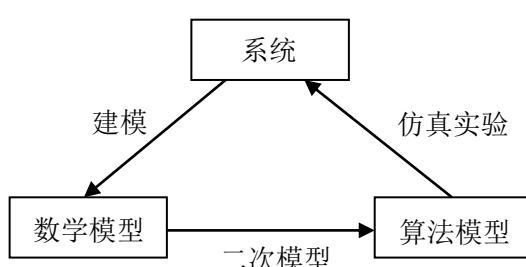
1. 系统级建模和仿真有什么样的重要性？

在数学模型上进行“试验”，对系统可行性和有效性进行研究，避免电子系统设计的盲目性。

提高后续产品设计效率，缩短开发周期

通过系统模型，可以预先对系统进行仿真分析，并对系统做实时修正和参数调整，以提高系统的性能，减少设计系统过程中反复修改的时间，实现高效率地开发系统的目标。

2. 计算机仿真的三个基本要素是什么？它们之间有什么样的关系？



3. 计算机仿真有哪些作用？

- 对于复杂的系统，计算机仿真可以提供简单、有效的求解方法。
- 在实际系统建立之前，可以对系统的性能进行研究，优化系统架构和参数的设计，提高设计质量。
- 仿真可以避免某些实际系统（如高压、爆炸）试验的危险性，操作更安全方便。
- 对系统操作人员而言，计算机仿真学习系统原理、学习系统实际操作的良好的训练方法。

4. 什么叫做用户全定制 IC 设计、用户半定制 IC 设计？它们各有什么特点？

全：用户要求厂家专门定做的芯片

- 针对用户要求专门制作（从“零”做起）；
- 功能独特，不具有通用性；
- 在集成度、速度、大批量成本和面积优化等性能方面有优势；
- IC 的设计和测试周期较长。

半：设计和生产过程的某些部分可预加工成标准单元，可为所有用户选用

- 针对用户要求专门制作（在“母片”上制作）；

- 功能独特，不具有通用性；
- 某些部分预先加工成标准单元，即母片；
- IC 的设计和制作的时间短；
- 芯片尺寸较大。

PLD: 具有标准电路和半定制电路两者的特征；

- 像标准电路一样可以从市场上购买，生产者和用户是分离的；
- 与用户半定制 IC 设计类似，厂家只做了个“平台”，用户在其上进行设计；

5. 简述数字系统设计的抽象层次。

系统→功能模块→逻辑门→晶体管电路→版图

6. 在数字 IC 的设计流程中，前端设计和后端设计一般是如何划分的？前端设计分为哪几个层次？每一个层次的功能是什么？

划分：前端设计与系统实现技术无关，后端设计则密切相关

前端：**(1) 系统级描述**

对 IC 内部系统的数学模型的描述，决定系统做什么及性能如何，不考虑系统的实际操作和用什么方法来实现，是一种抽象的描述。

(2) RTL 级描述

要得到数字系统的硬件结构，必须对系统进行 RTL 级描述，即寄存器传输级描述，可以导出系统逻辑表达式，才能映射到由具体逻辑元件组成的硬件结构。（用 HDL 语言描述都可称为）

(3) 逻辑综合

利用逻辑综合工具将 RTL 级描述程序转换成用基本逻辑元件表示的文件（门级网表文件）门级网表文件分为：

一般性的网表文件：与物理实现技术无关

目标网表文件：与物理实现技术有关

7. 数字 IC 的后端设计包括哪些主要内容？

布局、布线→参数提取→时序仿真、验证

8. 数字系统最终的硬件实现有哪几种方式？它们各有什么特点？

FPGA/CPLD 实现：集成度高，速度快，开发周期短，设计灵活方便，前期投资风险低，用户可自定义功能，器件可重复编程，适用小批量试制，产量增大造价高昂。

ASIC/SOC 实现：速度更快，集成度更高，没有多余部分，结构和性能更加优化，大批量生产造价低，前期设计成本高，需半导体厂家合作

9. 采用 HDL 语言对系统进行描述有那几种描述风格？各有什么特点？

行为描述

- 直接描述所需逻辑电路的行为；
- 体现了 HDL 的优点，其行为描述与高级语言相似；
- 只需关注实体行为、函数模型和输出结果，无需关注具体的电路组织和门级实现，有些语句不能综合；
- 主要的行为元素是“过程”（always）。

数据流描述

- 描述数据流程的运动路径、运动方向和运动结果；
- 采用 assign 连续赋值语句；
- 完全能够进行逻辑综合。

结构化描述

- 描述层次结构：复杂系统可分为多个子系统，子系统又可分为多个模块；
- 使用基本库模块和用户自建模块当作元件，使用模块例化语句调用元件；
- 便于团队设计，便于大型电子系统设计的管理。

三种描述风格的比较

| | 优点 | 缺点 | 适用场合 |
|-------|----------------|----------|------------|
| 行为描述 | 逻辑关系描述清楚 | 不一定能综合 | 系统建模、复杂的电路 |
| 数据流描述 | 布尔函数定义明白 | 难以获得逻辑方程 | 小门数设计 |
| 结构化描述 | 连接关系清晰，电路模块化清晰 | 程序复杂 | 层次化设计 |

10. 简述 ASIC 电路的特点。

便于实现高容量高复杂度的数字系统，提高系统性能，有利于保护知识产权
降低了产品的综合成本。

提高了产品的可靠性。

提高了产品的保密程度和竞争能力。

降低了电子产品的功耗。

提高电子产品的工作速度。

大大减少了电子产品的体积和重量。

IC 的前端设计不涉及布局布线专业知识和经验，使得非微电子设计人员都能够参与到芯片的设计工作中。

11. 什么是 IP 模块？IP 模块有哪三种形式？它们各有什么特点？

具有知识产权，必须通过许可协议来使用的模块

■ IP: Intelligent Property (知识产权);

- IP模块：就是指可以通过知识产权贸易在各设计公司间流通的完成特定功能的电路模块，或称为**IP Core**、IP内核，功能相对复杂，如CPU。

- 元件：简单的通用的模块，一般不具有知识产权；

软 IP

- 以 HDL 代码形式存在，不涉及后端设计，为后续设计留有空间；
- IP 的设计灵活性和适应性强，成本较低；
- 需要设计人员深入理解 HDL 代码，并将其转换成掩膜布局，以产生合理的物理层设计结果；
- 对面积、时序和功耗的可预测性差，性能上不可能得到全面优化。

软IP（soft core）：以HDL代码形式存在的IP；

固IP（firm core）：完成了综合的功能块，以网表文件的形式提交；

硬IP（hard core）：物理掩膜布局已经得到证明的IP，以版图形式提交。

固 IP

- 以网表文件的形式存在，具有一定的设计深度；
- 完成功能验证、时序分析等过程，具有可综合性和物理实现效率；
- 如果客户与固 IP 使用同一个 IC 生产线的单元库，则 IP 应用的成功率会很高。

硬 IP

- 性能、尺寸和功耗已经优化，并映射到一个特定的工艺技术，其物理掩膜布局已经得到验证，灵活性最小；
- 在使用具有不同语义环境的设计或由另一个设计者完成的设计时，硬 IP 是最安全的途径。
- 基于移植的复用使用硬 IP，这是一种最省时省力的复用方法。
- 需要布局移植工具解决新、旧工艺技术不同的问题。

12. IP 复用方法有什么重要性？

- 成功的 IP 复用：在尽可能短的时间里，以尽可能小的代价，把可预测其性能、功能和面积的现有 IP 结合进一个新的片上（SoC）系统中。
- 最关键的是最小代价和可预测性

13. 模拟 IC 芯片的设计流程中最关键一步是什么？

- 集成电路设计最关键的是电路拓扑结构和参数确定；

14. 在模拟 IC 的设计中，电路分析有什么样的作用？

电路分析是设计基础，模拟集成电路的设计是以模拟电路的分析为基础的，设计者首先要了解模拟集成电路中常用模块的典型电路拓扑结构以及各种电路结构的优缺点

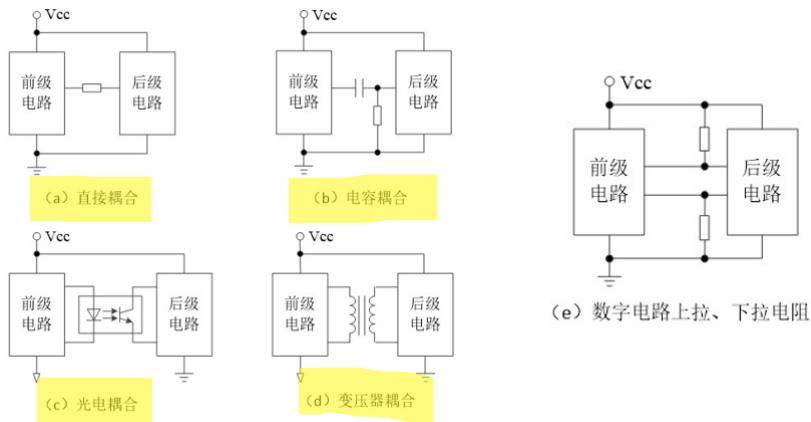
15. 模拟 IC 设计比较困难的原因有哪些？

- (1) 模拟集成电路处理的信号是在时间轴和幅度轴上都连续的信号，对电路处理的精度要求高；
- (2) 模拟电路除了关注速度和功耗之外，还需要关注增益、线性度、精度、电源电压等很多指标，设计必须在这种多维的空间中进行优化；
- (3) 模拟电路对噪声、串扰和其他电路引入的干扰更加敏感，因此在设计中必须将外围环境的影响考虑在内；
- (4) 模拟电路的性能会受到元器件的二阶效应的影响，特别是工艺进入深亚微米之后，二阶效应的影响更加显著；
- (5) 模拟电路的建模和仿真还不够成熟，对复杂系统的建模存在很大的困难，仿真时间也会很长；
- (6) 现代工艺主要是针对数字电路进行优化的，对模拟电路的支持和优化力度远不如数字电路。

16. 系统电路的主要设计内容是哪两部分？

- 电路原理图设计和 PCB 板图设计；

17. 模拟电路模块的级间耦合有哪几种方式？旁路和去耦的作用是什么？



旁路主要针对元件或者电缆引入的射频噪声，就是利用电容产生一个交流短路，去除多余能量，起到滤波的作用。

去耦主要针对电源网络中的高频干扰。去耦电容可以有效地降低电源电压的波动，防止浪涌电流。

18. 系统电路有几种“地”？在包含数字电路和模拟电路的系统中，应如何设计接地方式？

电子系统通常有两种地：工作地和安全地；

工作地是电路里的“零”电位点，即电子系统信号参考点。

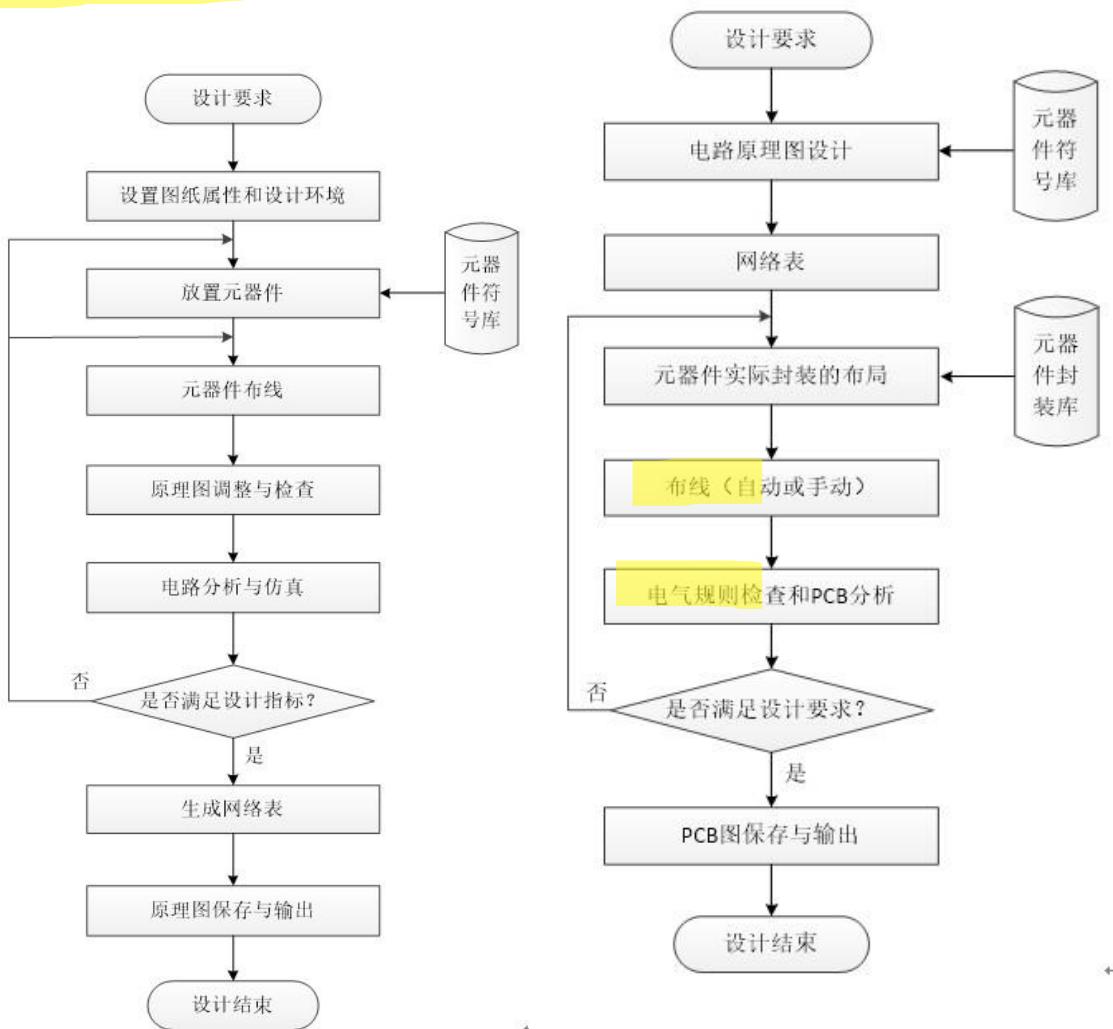
将电子设备的外壳通过一个低阻抗通路接到大地，此时设备的外壳是真正的接地，称为安全地。

“模拟地”和“数字地”采用星形连接到工作地和安全地。



19. 设计电路原理图和 PCB 版图的 EDA 软件需要提供什么功能?

支持电路原理图编辑和仿真, PCB 要满足电磁兼容, 流程图中基本都可由 EDA 实现



20. 印刷电路板的布局、布线设计中有哪些应遵循的基本规则?

布线: 首先设计电源线和地线;

按信号的传输方向, 顺序设计各个电路模块的走线;

注意导线的宽度、线距和拐角的设计;

注意双面板和多层板各层的功能和走线划分。

布局: 选择合适的印刷电路板;

合理安排不同类型的电路模块;

合理排列各类元器件;

合理安排电源和地线的分布。

第三章

1. 什么叫做现场可编程性?

用户任何时候都可以通过电路板上的下载电缆或硬件编程器来修改 FPGA/CPLD 的配置, 以达到修改自己设计的目的

2. 可编程逻辑器件有什么优点?

规模较大、设计灵活方便、管脚功能可调整

构建复杂系统时, 电路板面积小, 功耗低

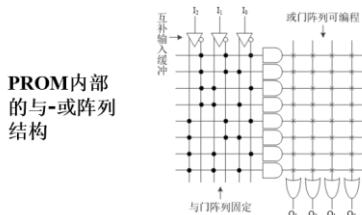
3. 了解基于乘积项和基于查找表实现组合逻辑的原理。

由数字逻辑电路知识可知：任何一个组合逻辑都可以表示为乘积项之和的形式，例如：

$$f_1 = (A+B) \cdot C \cdot \bar{D} = A \cdot C \cdot \bar{D} + B \cdot C \cdot \bar{D}$$

$$f_2 = A \cdot (\bar{B}+C) \cdot \bar{D} = A \cdot \bar{B} \cdot \bar{D} + A \cdot C \cdot \bar{D}$$

因此可以采用一个“与-或”阵列实现各种逻辑函数。

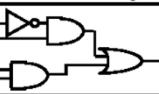


基于查找表

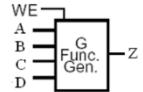
组合逻辑存放在一个16*1的SRAM查找表（LUT）中

$$\text{例如 } Z = A \cdot B + C \cdot D$$

Combinatorial Logic



组合逻辑能完成什么样的逻辑功能取决于输入端数，而不取决于逻辑功能是否复杂



Look Up Table

4-bit address

| A | B | C | D | Z |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

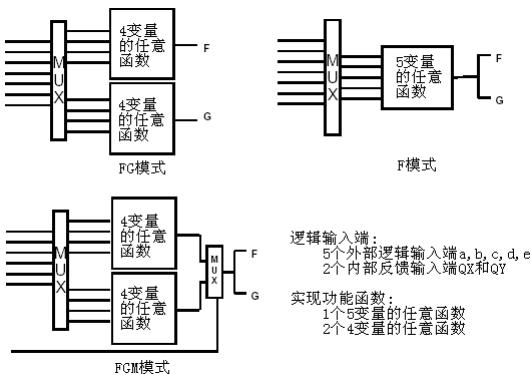
4. FPGA 和 CPLD 是如何实现时序逻辑的？

在 FPGA 中，时序逻辑通常是通过使用查找表（LUT）和触发器（Flip-Flops）来实现的。LUT 可以配置为实现组合逻辑，而触发器则用于存储状态信息，实现时序逻辑功能。

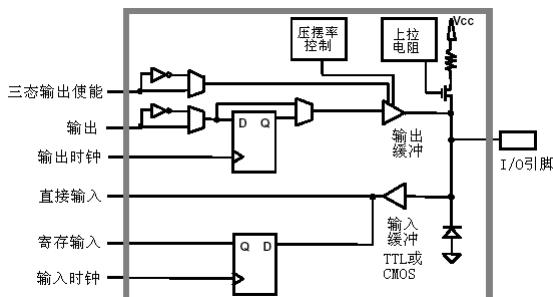
在 CPLD 中，时序逻辑的实现依赖于可编程逻辑宏单元（LMC），这些宏单元包括与阵列、或门和触发器，能独立地配置为时序或组合工作方式

5. Xilinx 公司的 XC3000 系列 FPGA 结构中包括哪几个主要部分？各部分的功能是什么？

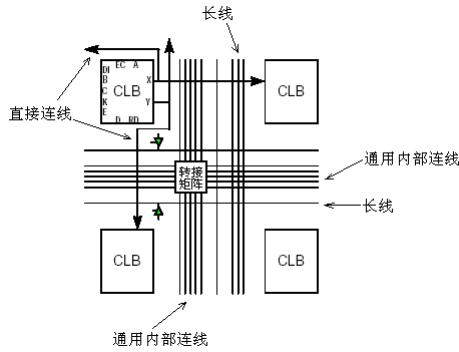
- 可编程逻辑块 CLB (Configurable Logic Block): 5 个逻辑变量输入端，2 个逻辑变量输出端，组合逻辑部分延时固定，实现功能函数。



- 可编程输入输出模块 IOB (Input/Output Block): 上半为输出控制，下半为输入控制，输入输出选择由可配置存储单元决定，上拉电阻只在输入端输入。



- 可编程内部连线 PI (Programmable Interconnect): 实现 CLB 之间，IOB 之间，CLB 与 IOB 之间连接。

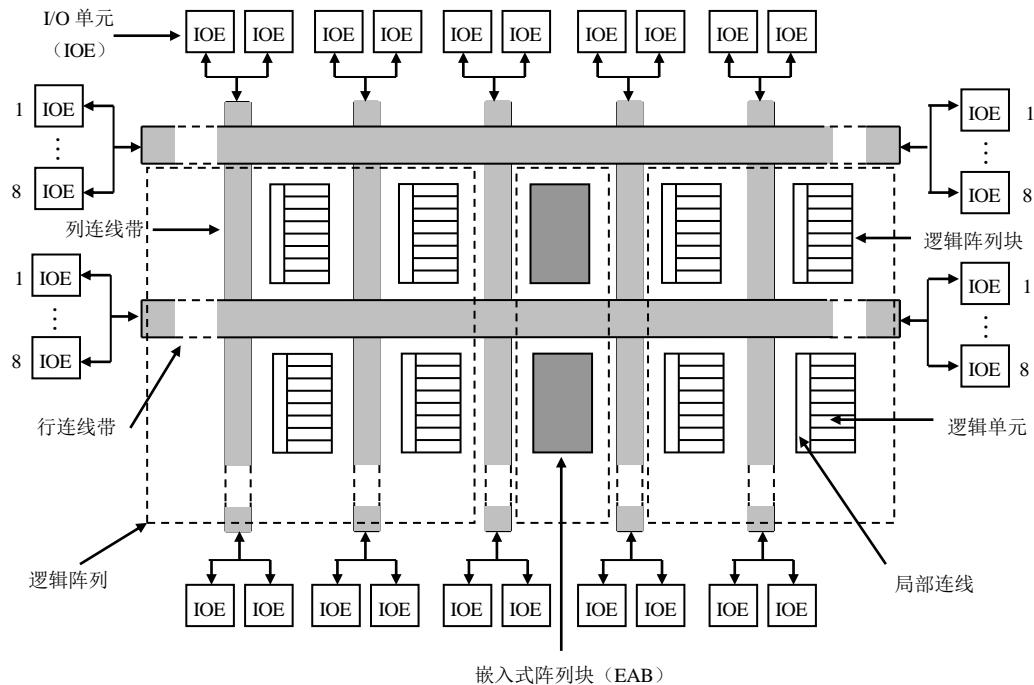


通用内部连线将金属线段连接起来形成网络；直接连线实现 CLB 之间互联，长线传递传输距离长或偏移率小的信号，芯片最边上的转接矩阵旁有两根附加长线。

- **可配置存储器（SRAM 阵列）**：静态存储器，装载配置文件，控制 CLB,IOB,PI 连接，可重复使用，掉电内容丢失。

6. ALTERA 的 FLEX10K 系列器件结构中包括哪几个主要部分？各部分的功能是什么？

嵌入式阵列,逻辑阵列,快速通道, I/O 单元（内部有 SRAM）



嵌入式阵列由嵌入式阵列块 EAB 构成，用来实现逻辑功能和存储功能；

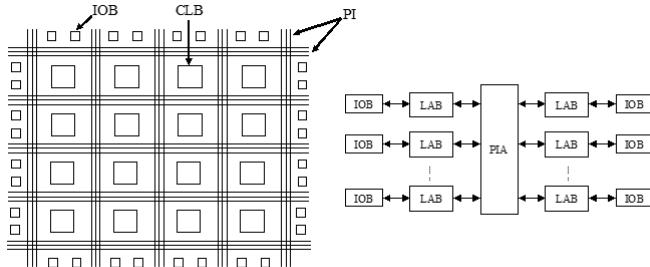
逻辑阵列由逻辑阵列块 LAB 构成，每个 LAB 包括 8 个 LE (逻辑单元)，和 LE 相连的进位链和级联链，LAB 控制信号，LAB 局部互连线。

LE 包括 4 输入查找表 LUT,一个带有同步使能的可编程触发器，一个进位链和一个级联链。

快速通道实现 LE 和器件 I/O 引脚之间的链接，提供器件内部信号互联和引脚之间的信号互联。

I/O 单元 (IOE) 完成器件 I/O 引脚的驱动。

7. FPGA 和 CPLD 在结构上有什么不同点？由此产生的性能的不同点有哪些？



FPGA

CPLD

相同：都属于 PLD 器件，结构上都由三部分组成，包括一个二维逻辑块阵列（PLD 器件的逻辑组成核心），输入/输出块（控制 PLD 输入输出信号），连接逻辑块的互联资源

不同：CPLD 由逻辑阵列块 LAB，I/O 控制模块 IOB 和可编程逻辑连线阵列 PIA 组成

LAB 采用宏单元结构，包括与阵列，或门和触发器

IOB 驱动 I/O 引脚

PIA 是集中式不限资源，实现内部信号和信号与管脚的互联

采用 EPROM 等保存编程信息

FPGA 由 CLB,IOB,PI 组成，

CLB 由一个组合逻辑，几个触发器，几个多路选择器和控制单元组成，组合逻辑通过查找表实现

IOB 在芯片四周

PI 在 CLB 之间，用于内部逻辑相互连接

有点状分布 SRAM 装载配置文件

逻辑单元的粒度不一样，设计灵活性不同；

FPGA 芯片的逻辑门密度比 CPLD 芯片高；

内部连线结构不同；

时序延迟的特性不同；

CPLD 更适合于完成各类算法和组合逻辑，而 FPGA 更适合于完成时序较多的逻辑电路；

CPLD 是非易失性器件，FPGA 是易失性器件；

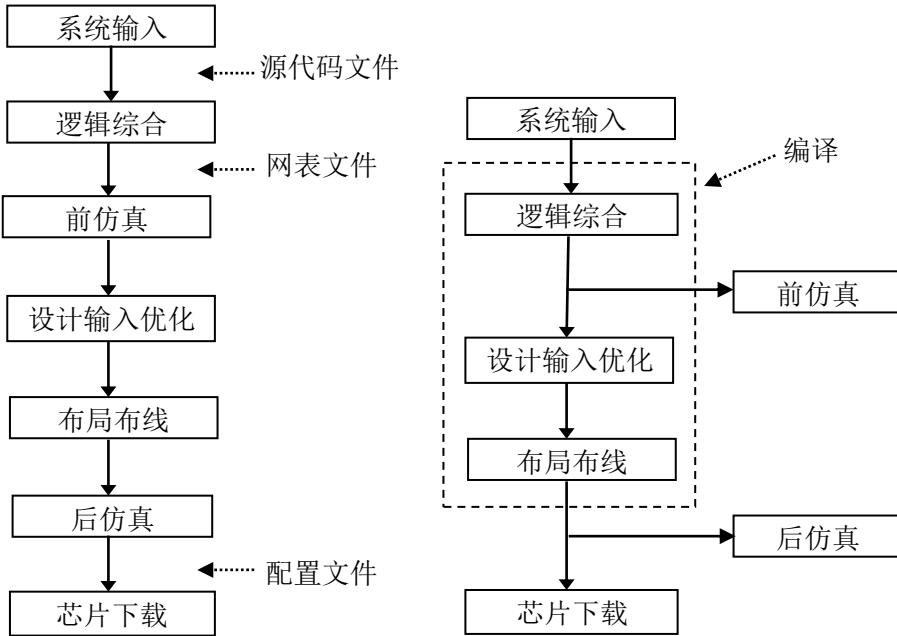
CPLD 的宏单元结构导致其功耗比 FPGA 高，集成度越高越明显。

两者的优点：FPGA/CPLD 芯片的集成度越来越大，易于实现单片系统；

- 研制开发费用相对较低，不会带来硬件方面的损耗；
- 可以反复编程、擦除和使用，可以很灵活地进行原型产品试制；
- 设计周期短，有利于产品快速上市。

8. 简述 FPGA/CPLD 的设计流程。

设计输入-前仿真-设计输入编译-设计输入优化-布局布线-后仿真-芯片配置



9. Cyclone V SoC 的硬件结构中除了可编程逻辑之外，还有哪些主要功能模块？

存储器模块，精度可变的数字信号处理模块等，通信收发器模块，基于 ARM 的硬核处理器系统，外部存储器接口控制器，PCIe 硬核模块，PLL

第四章、第五章

复习 Verilog HDL 语言规范，练习编程，要求编写的程序可综合。Verilog 语句的具体书写格式可不记，考试时给一个语句格式模板（如讲义 5.5 小节所示）。

标识符：26 个字母加 0-9 加 \$ 和 _；第一个符号必须是字母或下划线，下划线不可连续使用，下划线前后要有英文字母或数字，不可使用关键字，字符数 ≤ 1024 ，可区分大小写。

转义标识符不算在标识符的一部分中，\outgate 和 outgate 一样。若是数字开头或关键字则要带上

整数表示形式：十进制：16, +1, -2;

基数格式

位宽'进制 数值 b/B 2, o/O8.d/D10,h/H16

4'b1011

可以插入下划线分隔数位，但是不可出现在最高位前

位宽不给出则是相应数值定义的长度，'H A126=4*4'h A126

负号要放在位宽之前

实数表示形式：十进制：必须带小数点，前后都要有数字

科学计数法：237.2e2,8E-3

实数赋给整数类型变量四舍五入隐式转换

字符串：不可放成多行书写，每个字符用 8 位 ASCII 码保存，HE L L O→9*8

数据类型：

线网类型：wire,tri,supply0,supply1 可以综合，输入输出默认 wire 类型，输出可以通过 assign 直接连续赋值 wire 类型变量可作为任何形式表达式或赋值的输入，只能作为连续赋值或模块例化的输出

寄存器类型：wire,integer 可以综合，reg 只能被 always,initial 过程赋值，integer 变量为 32 位，Integer：integer A[3:0]，表示范围界限，定义 4 个整数，integer 为整体，不可拿出位单独使

用，是有符号整数， reg 和 integer 相互赋值，数据类型自动转换

操作符：单元，二元，三元；单元：符号，数；二元：数 1，符号，数 2；三元：数 1 符号数 2 符号数 3

按位逻辑操作：&，|，~，^,~^

```
~4'b1011=4'b0100;  
4'b1101&4'b0010=4'b0000  
4'b1101|4'b0010=4'b1111  
4'b1100^4'b0010=4'b1110  
4'b1100~~4'b0010=4'b0001
```

缩位操作：&,|,^,~&,~|,~^，针对所有位从左往右操作得到一位结果

逻辑操作：&&，||，!

算术操作：除法取模在 2 的幂次方做除法可综合

关系操作：>,<,==,==

逻辑操作和关系操作中含 x 结果就是 x，全等逐位比较，位宽不同就是否

拼接操作:{A,B,C}每个变量要有确定位宽，可以嵌套

连续赋值语句只能对线网类型使用，表达式可以是寄存器或函数等， assign [延时]A=2'b10;

延时只能仿真，不能综合， assign 是并行语句

过程语句：initial：仿真，不可综合

Always 可以综合，顺序语句，其中语句顺序执行，内部赋值只能对 reg 类型，不能在内部再出现过程语句

两个 always 间是并行的， initial 也是

always@ (敏感信号列表，任一信号变换都会触发执行一遍，一般把所有都作为敏感信号)

```
begin  
语句  
End
```

Initial：从仿真 0 时刻顺序执行所有语句，只执行一遍

```
Begin  
语句  
End
```

Always, initial 内部可以包含过程赋值语句， if 条件语句， case 条件语句，循环语句

过程赋值语句 阻塞式 =，非阻塞式 <=，左侧必须是 reg，可以延时赋值，或整句延时
非阻塞不限制语句执行，但赋值结果要等整个过程结束，两种不可以混用

任务或者函数中不能出现 always,initial 并行语句，内部是顺序的

第六章

熟悉采用 Quartus II 进行功能模块设计的主要步骤及其作用。

第七章

1. 为什么以微处理器为核心的电子系统被称为智能电子系统？

- 以处理器为核心的电子系统经常被称为智能系统，主要特征是具有自适应和自学习的能力。
- 智能控制任务往往是不确定性的、非线性和复杂的，只有以处理器为核心的电子系统可以进行处理。

2. 简述智能电子系统的软、硬件设计的相互关系以及各自的特点。

相互依存，相互制约；

- 智能电子系统的软、硬件之间的功能划分十分重要；
- 硬件实现系统功能可以提高工作速度，减少软件工作量，但硬件结构会比较复杂；
- 软件实现系统功能可降低硬件的结构和成本，但运行速度会受到影响，增加了软件工作量。

3. 采用通用微处理器、DSP 和 PLD 为核心构建的系统各有什么侧重点？

- 单片机、嵌入式处理器侧重于控制功能；
- DSP 侧重于实时数字信号处理运算；
- PLD 侧重于灵活的硬件重构；

4. 简述 FPGA 的三个发展阶段。

逻辑级 FPGA 芯片：实现逻辑功能，起到逻辑粘合作用；

系统级 FPGA 芯片：可以实现一个系统的功能；

平台级 FPGA 芯片：可以实现多种应用系统；

发展方向：SoC 芯片

5. 什么叫做 FPGA 基本系统？

- 以 FPGA 为核心构建的系统电路主要包括：
 - 基本系统：
 - 核心芯片、电源、时钟、配置电路等
 - 各种通道接口：
 - 输入通道、输出通道、人机通道、相互通道

6. 以 Cyclone 器件中的 EP1C6 为例（TQFP 封装），说明 FPGA 引脚功能的分类以及 I/O 内部分块（BANK）的目的。

EP1C6 的外部引脚包括

- 专用功能引脚：
电源、地、时钟、配置、JTAG 等
- 通用 I/O 引脚：
由用户进行设计和使用

分块目的：使同一块内引脚具有相同的特性，不同块的引脚可以使用不同电压值的电源或不同频率的时钟，也可以支持不同的 I/O 标准，因此同一片 FPGA 芯片可以通过配置不同块的引脚连接不同的外部设备

7. 以 EP1C6 为例（TQFP 封装），说明其外部电源引脚、时钟引脚有哪几种类型？

EP1C6 的电源引脚有：

VCCINT：内部操作和输入缓冲器的电源，BANK2 和 BANK4 各有三个，专用；

VCCIO：I/O 端口输出驱动的电源，每个 BANK 有两个（VCCIO1~VCCIO4 各两个），专用；

VREF：外接诸如 DDR 存储器时的参考电源，每个 BANK 有三个（例如 VREF0B1~VREF2B1 为 BANK1 的三个），可用作 I/O 引脚

具有全局时钟网络，内部最多 2 个 PLL，支持倍频、移相、差分 I/O；

外部专用时钟引脚：CLK0~CLK3，2 个位于 BANK1，2 个位于 BANK3；

外部有 DPCLK0~DPCLK7 八个时钟复用引脚，可作 I/O 引脚使用。

8. 什么叫做 FPGA 的配置？Cyclone 系列 FPGA 的配置有哪几种方式？上电时的配置方式是如何确定的？实验时的配置文件是如何配置到 FPGA 里的？

FPGA 内部的逻辑和电路连接都是利用内部 SRAM 存储单元控制实现的；

在系统上电时，对 FPGA 内部的 SRAM 单元装载数据的物理过程叫做配置；

配置方式：主动串行 AS, 被动串行 PS, JTAG 模式

Cyclone 器件上有两个管脚 MSEL1、MSEL0 决定器件的配置模式。

9. 以 FPGA 为核心构建的系统电路的外围电路包括哪些通道？各部分的主要功能是什么？

FPGA 外围电路包括：

- **输入通道：**被控对象状态和控制条件的检测信号的输入通道；
- **输出通道：**经过处理的信号要输出并对控制对象实施控制；
- **人机通道：**用于人对系统进行状态干预、数据输入以及系统报告运行状态和结果
- **相互通道：**FPGA 与微处理器或 FPGA 与其他外部设备之间实现通信的通道接口

相互通道

10. 了解 LED 灯、按键、矩阵键盘、数码管、点阵、蜂鸣器的工作原理以及用 FPGA 控制它们的方式。

11. 以讲义中 TLC549 模/数转换器和 TLC7528 数/模转换器为例，了解 ADC 和 DAC 与 FPGA 的硬件连接方法，了解在 FPGA 中设计 ADC/DAC 控制器的方法。

12. 了解 FPGA 与各种接口的连接方法。