

Übung 5: Strukturelle Beschreibung

Aufgabe: Hexadezimal-Zähler

Beschreiben Sie einen strukturalen VHDL-Block, der den Binär2Hex-Konverter aus Übung 1 mit einem Kontrollblock verbindet. Dieser Hexadezimal-Zähler soll auf einem Altera Development Board implementiert werden.

Funktion:

Solange die Taste "btn_n" gedrückt wird, sollen die Zahlen 0 bis 15 in hexadezimaler Form auf der Siebensegmentanzeige "hex_n" dargestellt werden.

Damit die einzelnen Zahlen von Auge unterschieden werden können und nicht nur als gleichzeitiges Leuchten aller Segmente wahrgenommen werden, braucht es im Kontrollblock "ctrl" zwei Zähler (Zähl-Prozesse). Der erste Zähler dient als Frequenzteiler, damit der eigentliche Zähler (zweiter Zähler) nicht mit dem Systemclock von 0 bis 15 zählt, sondern höchstens mit 10Hz, d.h. nur ca. jedes 5'000'000-te Mal.

Achten Sie darauf, dass der gesamte Block vollsynchron ist, d.h. alle Register mit demselben Systemclock "clk" getaktet sind.



| Name | Richtung | Typ | Bedeutung |
|-------|----------|-------------------------------|--|
| clk | IN | std_ulogic | Systemclock: 50MHz |
| rst_n | IN | std_ulogic | Reset (aktiv low) |
| btn_n | IN | std_ulogic | Taste btn_n (aktiv low), d.h. = '0': Taste gedrückt = '1': Taste losgelassen Siehe unten! |
| hex_n | OUT | std_ulogic_vector(6 DOWNT0 0) | Steuersignale für die einzelnen Segmente der 7-Segment-Anzeige (aktiv_low). Reihenfolge wie auf Altera-Boards: <div style="text-align: center;"> </div> |

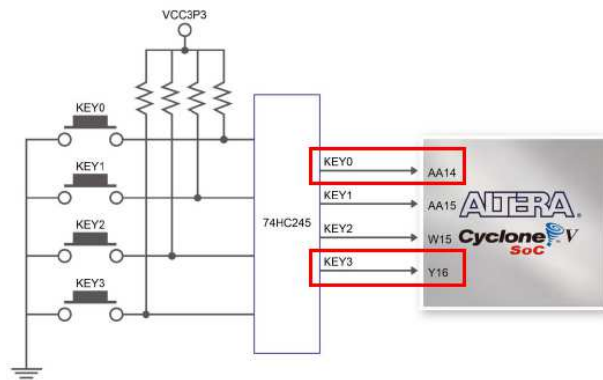
Aufgaben:

1. Implementieren Sie den Hexadezimal-Zähler in VHDL.
2. Simulieren Sie den Zähler mit einem Force-File.
3. Synthetisieren Sie den Zähler mit Quartus für ein DE0-Board

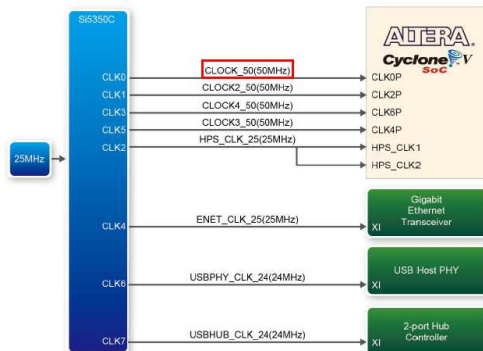
DE 1-SoC

Die Tasten auf dem DE1-SoC-Board sind entprellt

- rst_n: KEY 0 (Pin AA14)
- btn_n: KEY 3 (Pin Y16)

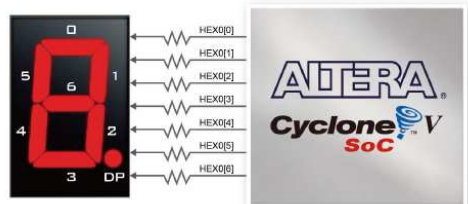


- clk: Clock 50MHz (Pin AF14)



| Signal Name | FPGA Pin No. | Description | I/O Standard |
|---------------|--------------|--------------------|--------------|
| CLOCK 50 | PIN_AF14 | 50 MHz clock input | 3.3V |
| CLOCK2 50 | PIN_AA16 | 50 MHz clock input | 3.3V |
| CLOCK3 50 | PIN_Y26 | 50 MHz clock input | 3.3V |
| CLOCK4 50 | PIN_K14 | 50 MHz clock input | 3.3V |
| HPS_CLOCK1 25 | PIN_D25 | 25 MHz clock input | 3.3V |
| HPS_CLOCK2 25 | PIN_F25 | 25 MHz clock input | 3.3V |

- hex_n:



| Signal Name | FPGA Pin No. | Description | I/O Standard |
|-------------|--------------|--------------------------|--------------|
| HEX0[0] | PIN_AE26 | Seven Segment Digit 0[0] | 3.3V |
| HEX0[1] | PIN_AE27 | Seven Segment Digit 0[1] | 3.3V |
| HEX0[2] | PIN_AE28 | Seven Segment Digit 0[2] | 3.3V |
| HEX0[3] | PIN_AG27 | Seven Segment Digit 0[3] | 3.3V |
| HEX0[4] | PIN_AF28 | Seven Segment Digit 0[4] | 3.3V |
| HEX0[5] | PIN_AG28 | Seven Segment Digit 0[5] | 3.3V |
| HEX0[6] | PIN_AH28 | Seven Segment Digit 0[6] | 3.3V |