

## Übung 3: Sequentielle Logik

### Aufgabe: Zähler

Beschreiben Sie einen VHDL-Block, der von 0 bis 15 zählt und dann wieder bei 0 beginnt (wrap around). Zusätzlich zum Zählerstand "cnt" soll auch das Kontrollsignal "ctrl" generiert werden, das bei jedem 10-ten bis 13-ten Zählerwert aktiv ist.

ENTITY:

Name	Richtung	Typ	Bedeutung
rst_n	IN	std_ulogic	System-Reset, aktiv low
clk	IN	std_ulogic	System-Clk, 50 MHz
cnt	OUT	std_ulogic_vector(3 DOWNT0 0)	Zählerwert
ctrl	OUT	std_ulogic	1 bei jedem 10-ten bis 13-ten Zählerwert

Aufgaben:

1. Implementieren Sie den Zähler in VHDL.
2. Simulieren Sie den Zähler mit einem Force-File.