

Übung 2: Kombinatorische Logik

Aufgabe: Addierer - Subtrahierer

Beschreiben Sie einen VHDL-Block, der zwei 8-bit-unsigned Zahlen sowohl addieren als auch subtrahieren kann. Die Unterscheidung zwischen Addition und Subtraktion wird durch das "mode"-Signal gesteuert, wobei '0' Addition, '1' Subtraktion bedeutet. Zusätzlich gibt es einen Ausgang für overflow bei der Addition resp. underflow bei der Subtraktion.

ENTITY:

Name	Richtung	Typ	Bedeutung
x	IN	unsigned(7 DOWNT0 0)	Summand 1 resp. Minuend
y	IN	unsigned(7 DOWNT0 0)	Summand 2 resp. Subtrahend
mode	IN	std_ulogic	0 für Addition, 1 für Subtraktion
result	OUT	unsigned(7 DOWNT0 0)	Summe resp. Differenz
ov_un_fl	OUT	std_ulogic	Überlauf bei der Addition resp. "Unterlauf" bei der Subtraktion

Aufgaben:

1. Implementieren Sie den Addierer/Subtrahierer in VHDL.
2. Simulieren Sie den Addierer/Subtrahierer mit einem Force-File.
3. Optional: Synthetisieren Sie den Block mit Quartus (z.Bsp. mit CycloneV 5CSEMA5F31C6) und schauen Sie sich die Netzliste an. Entspricht sie den Erwartungen?