

## 实验 3 报告 2

第 32 小组  
施璠、袁峥

### 一、实验任务（10%）

1. 设计一款静态 5 级流水简单 MIPS CPU。
2. 本次实验要求延续 lab2 实验中的以下要求：
  - (1) CPU 复位从虚拟地址 0xbfc00000 处取指。
  - (2) CPU 虚实地址转换采用：虚即是实。
  - (3) CPU 对外访存接口为取指、数据访问分开的同步 SRAM 接口。
  - (4) CPU 只实现一个操作模式：核心模式，不要求实现其他操作模式。
  - (5) 不要求支持例外和中断。
  - (6) CPU 顶层连出写回级的 debug 信号，以供验证平台使用。
3. 整个实验中，最后要求实现 MIPS I 指令集，除了 ERET（非 MIPS I）、MTC0、MFC0、BREAK、SYSCALL 指令，其余指令均要求实现，共 56 条指令。
  - (1) 要求实现 MIPS 架构的延迟槽技术，延迟槽不再设定为 NOP 指令，可能是任意指令。
  - (2) 控制相关由分支指令造成，通过延迟槽技术可以完美解决。
  - (3) 结构相关即某一级流水停顿了，会阻塞上游的流水级。
  - (4) 要求数据相关采用前递处理。
  - (5) 乘除法指令实现可以调用 Xilinx 的乘除法 IP，推荐能力有余的同学自行编写乘除法器，乘法采用 booth 算法+华莱士、除法采用迭代算法。

### 二、实验设计（30%）

整个 CPU 设计共分为 10 个模块，分别为 ALU、IF\_stage、ID\_stage、EXE\_stage、MEM\_stage、WB\_stage、next\_pc、regfile、stall 和 mycpu。其中 IF\_stage、ID\_stage、EXE\_stage、MEM\_stage 和 WB\_stage 分别为 CPU 五级流水的阶段，ALU 模块在 EXE\_stage 级进行算逻运算，next\_pc 产生下条指令地址，regfile 为寄存器堆，stall 为流水线的阻塞总调度，mycpu 是整个设计的顶层，负责其他各个模块的整体调度。每个模块的具体内容介绍及接口情况在上一份实验报告中已经详细介绍，由于本周没有做任何修改，因此在此不再赘述。整体设计图如下：



---

### 三、实验过程（60%）

#### （一）实验流水账

由于在国庆期间已经基本完成了本次实验，因此上周最后上交的程序也可以完成本周的测试，本周没有对于程序进行修改，只是进行了本周测试数据的仿真和上板，并发现通过。

#### （二）错误记录

本周没有进行修改，未发现错误。