

108061217 鍾永桓

Problem Defined

Part I (60%)

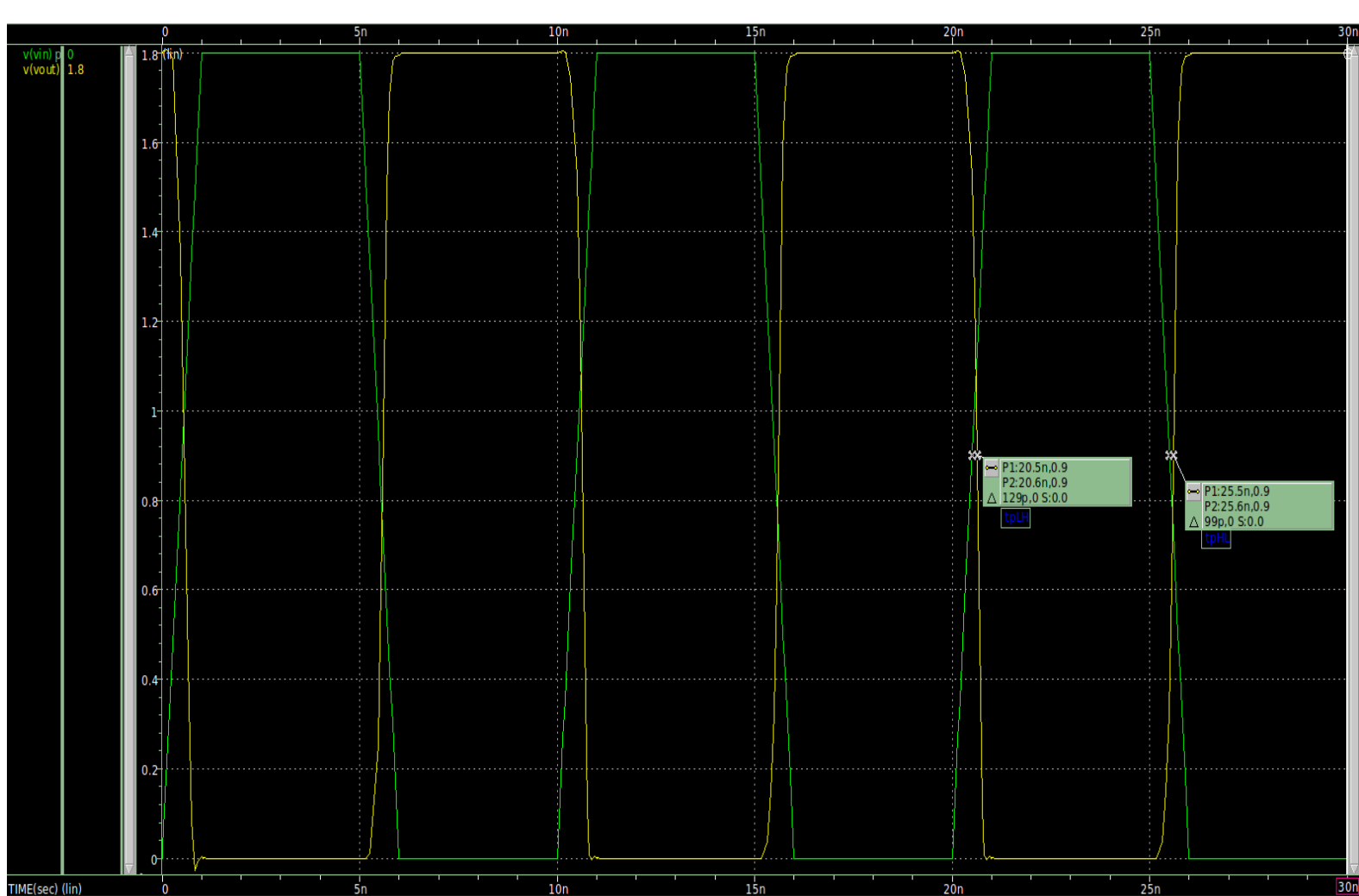
1. Please find the optimized width of NMOS and PMOS with minimum length ( $0.18\mu\text{m}$ ) and Cload =  $0.1\text{pF}$  under balanced trigger point ( $V_{in} = V_{out} = 0.5 \times V_{DD}$ ) and @TT  $25^\circ\text{C}$ , which makes FoM < 8500 (FoM = Power x Delay, unit:  $\mu\text{W} \times \text{ps}$ ) (20%)

Ans:

the optimized width: NMOS :  $4.2\mu\text{m}$  ; PMOS :  $11.4\mu\text{m}$

在 NMOS 和 PMOS 的寬度以上值這個情況且 length 是  $0.18\mu\text{m}$  時，在題目的條件下 Delay(  $t_{plh}:1.248\text{e-}10\text{s}$  , $t_{phl}:7.662\text{e-}11\text{s}$ )是  $100.7\text{ps}$  ,而 power 是  $74.17\mu\text{W}$ ,由此計算所得出的 FoM 是  $7470(\mu\text{W} \times \text{ps})$ ,符合本題的限制。

vin-vout 波形圖:



2. With minimum length ( $0.18\mu\text{m}$ ), please use the NMOS width obtained in Q1 to find the PMOS width under balanced trigger point ( $V_{in} = V_{out} = 0.5 \times V_{DD}$ ) at different corners and temperatures. Please fill the simulation results in Table 1. (10%)

comer	Temperature(°C)	NMOS width(μm)	PMOS width(μm)	Power(μW)	Delay (ps)	FoM (Power x Delay)(μW x ps)
SS	-40	4.2	14.58	48.2	184.2	8899
	25	4.2	12.39	52.22	170.2	8886
	125	4.2	10.24	47.56	250.6	11920
SF	-40	4.2	4.1	44.3	188.5	8348
	25	4.2	3.54	45.51	215.2	9793
	125	4.2	2.96	43.68	248.8	10910
TT	-40	4.2	12.71	75.53	86.51	6534
	25	4.2	11.4	74.17	100.7	7479
	125	4.2	9.9	80.04	137.4	11000
FS	-40	4.2	9.48	56.4	79.31	4473
	25	4.2	8.63	68.14	123.9	8443
	125	4.2	7.63	72.94	152.1	11090
FF	-40	4.2	12.01	89.83	70.45	6328
	25	4.2	10.9	88.5	105.8	9362
	125	4.2	9.6	93.57	121.4	11360

3. Find the value of VIL, VIH, VOL, VOH, and noise margin NML and NMH @TT 25°C. (20%)

VIL: 0.7422(v)

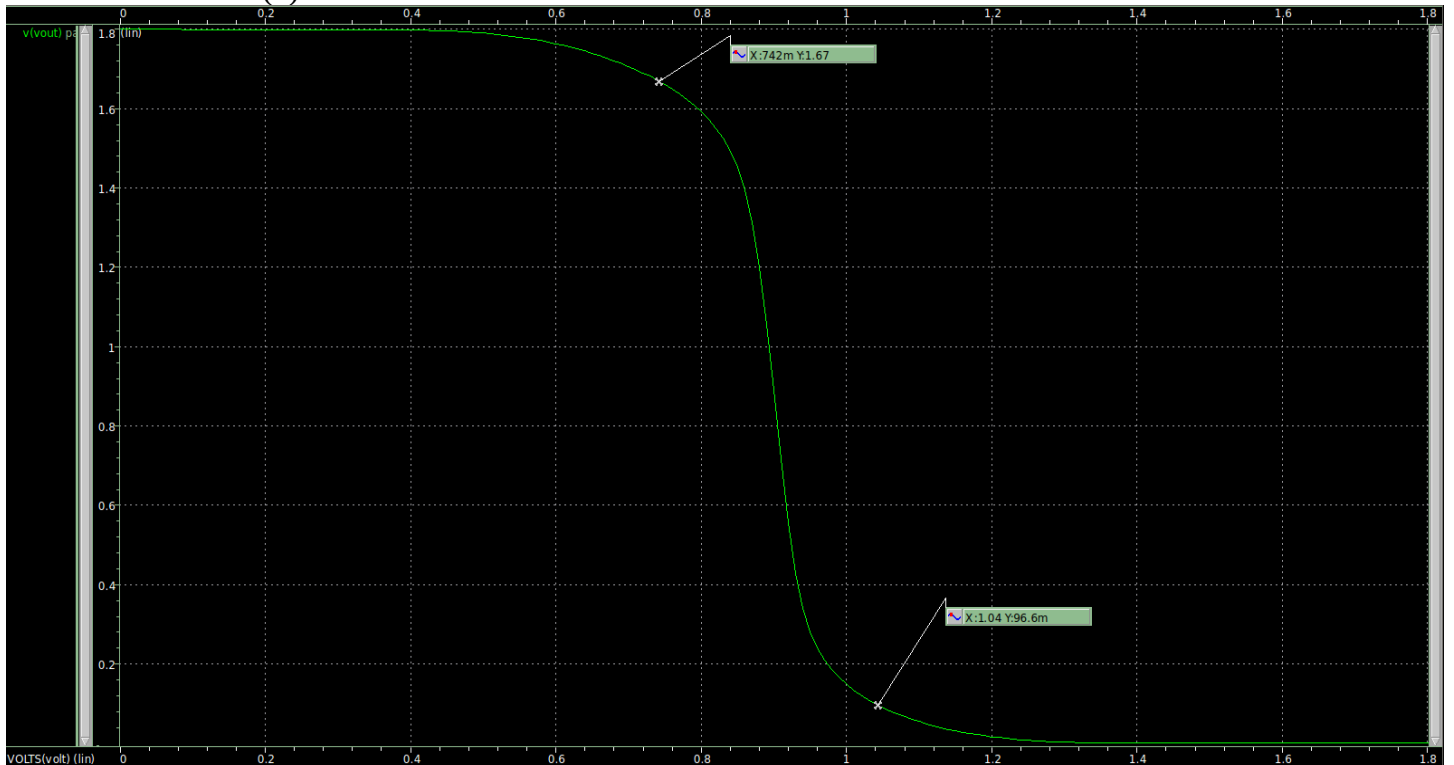
VIH: 1.0438(v)

VOL: 0.09666(v)

VOH: 1.6694(v)

NML: 0.6456(v)

NMH: 0.6256(v)



4. Comment what you have observed from Table 1 and give some discussions. (10%)

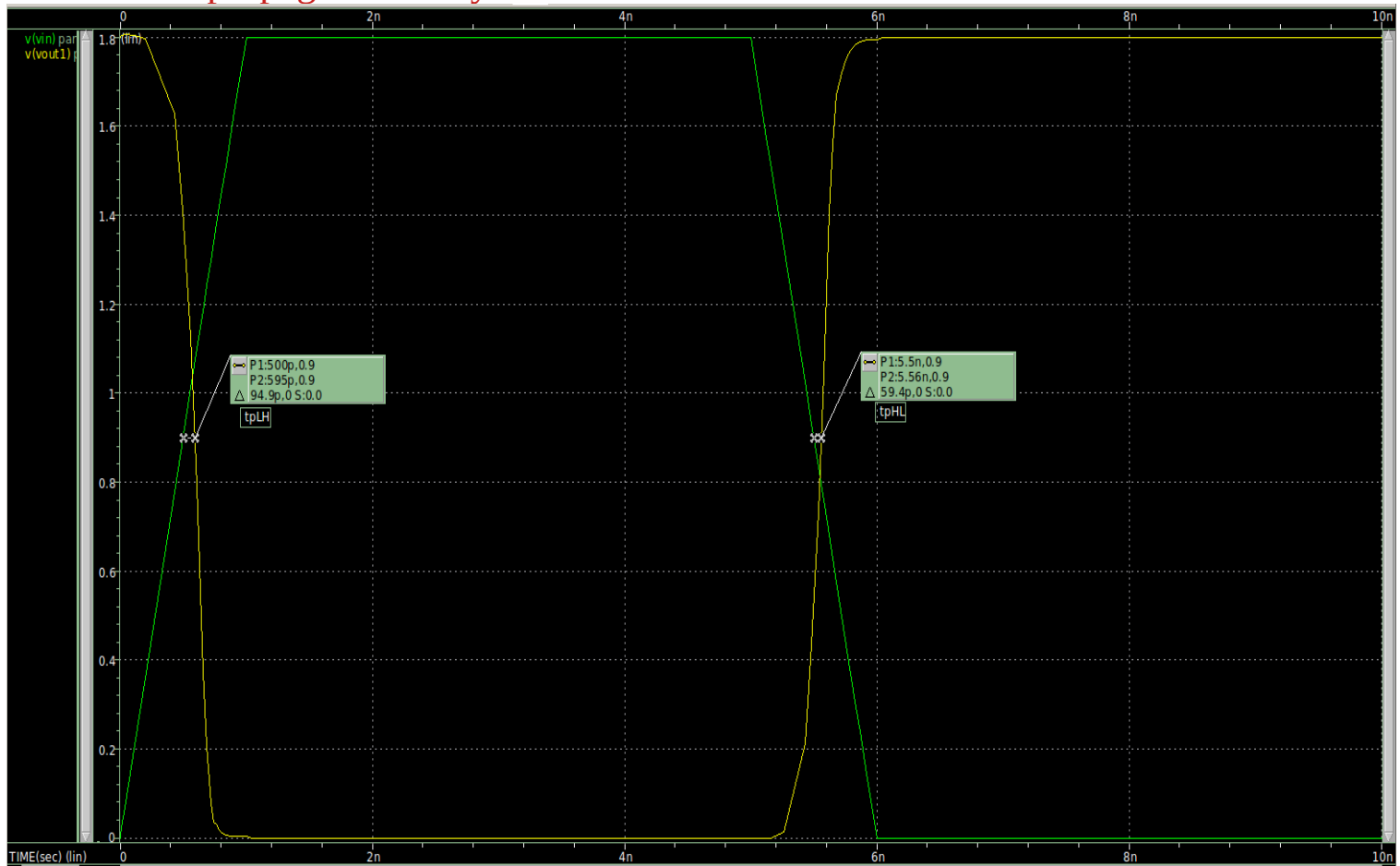
首先可以由 table 1 觀察到要符合條件( $V_{in} = V_{out} = 0.5 \times V_{DD}$ ) 的 P/N ratio 會在不同溫度和 corner 下有所不同，溫度高的時候 P/N ratio 較小，大都數情況  $w_p$  和  $w_n$  的比例約在 2-3.5 之間，但當 nmos 是 s 而 pmos 是 f 時 P/N ratio 會明顯比較小，此時 trigger point 會比較偏向 VDD，所以為了使 trigger point 電壓在  $V_{DD}/2$  不使用太大的 pmos width，pmos width 大時，trigger point 的電壓也較大。power 會受到 corner 的影響，而且受到 nmos 影響較大，當 pmos 都是 f 或 s 時，如果 nmos 是 f，power 會明顯比 nmos 是 s 時大，而 delay 受到溫度和 corner 影響，大致呈現的是溫度高的時候 delay 也高，而且 nmos 是 f 時 delay 會明顯比 nmos 是 s 時小，至於 FoM，雖會受 corner 影響，但因為當 delay 小時 power 大，delay 大時 power 小，所以無法看出其和 corner 的關係，然而可以看出在溫度高的情況下 FoM 會特別大，總結來說可以得知無論是 corner 或溫度都對所設計的電路會有很大的影響，忽略這些影響可能會使電路因為某些誤差或特別條件下無法有預期的結果。

## Part II (40%)

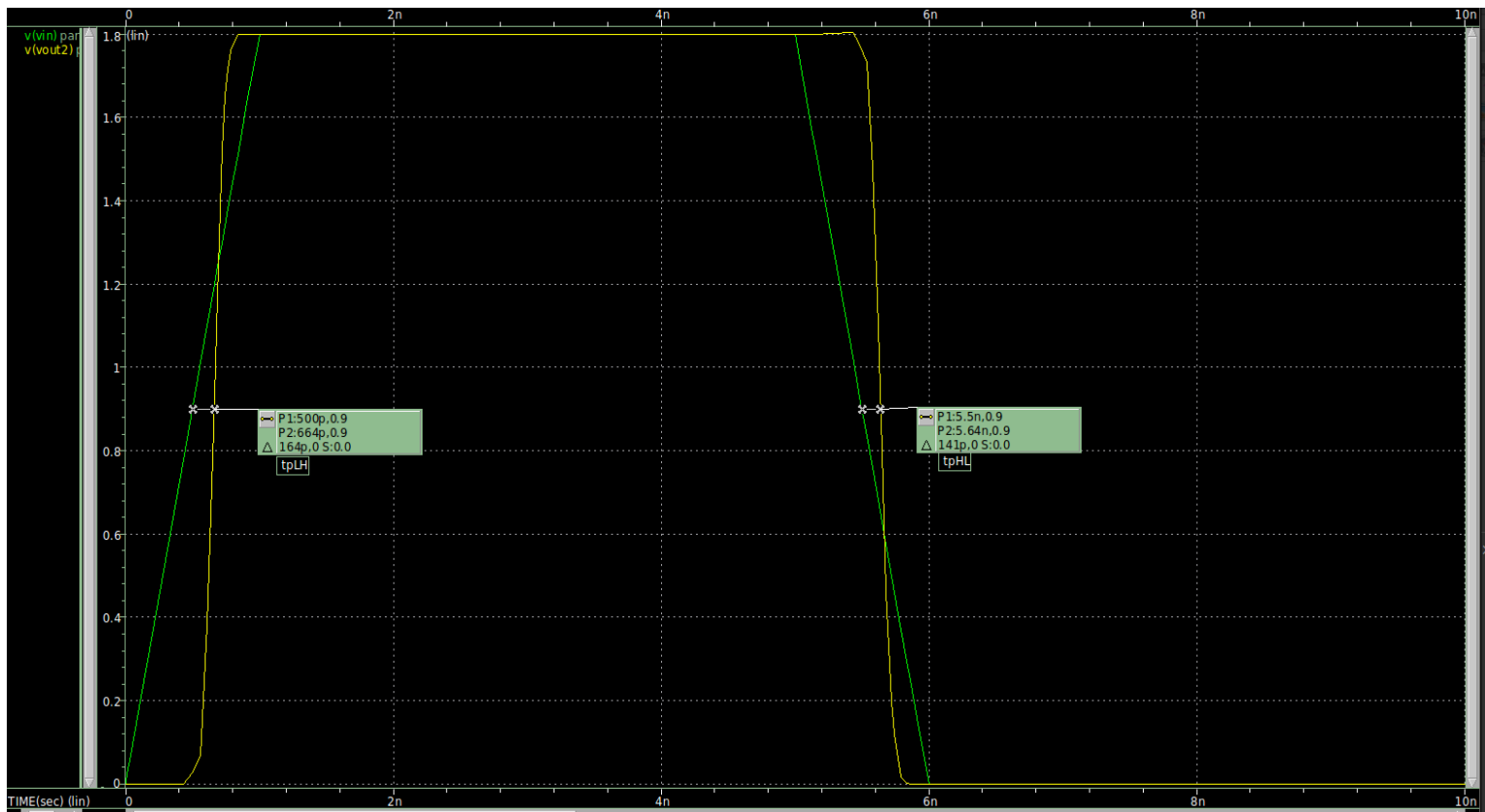
1. Please design an inverter chain with odd stages and  $CL = 10pF$  to reach propagation delay less than  $1ns$  @TT 25°C. The first inverter, INV1, is under balanced trigger point. NMOS size of INV1 is fixed at  $(W/L)_n = (0.5\mu m/0.18\mu m)$ . Please show your waveform for each node and label the propagation delay. (20%)

vout1:第一個 inverter 的輸出, vout2:第二個 inverter 的輸出,vout3:第三個 inverter 的輸出,vout4:第四個 inverter 的輸出,vout5:第五個(最後一個)inverter 的輸出

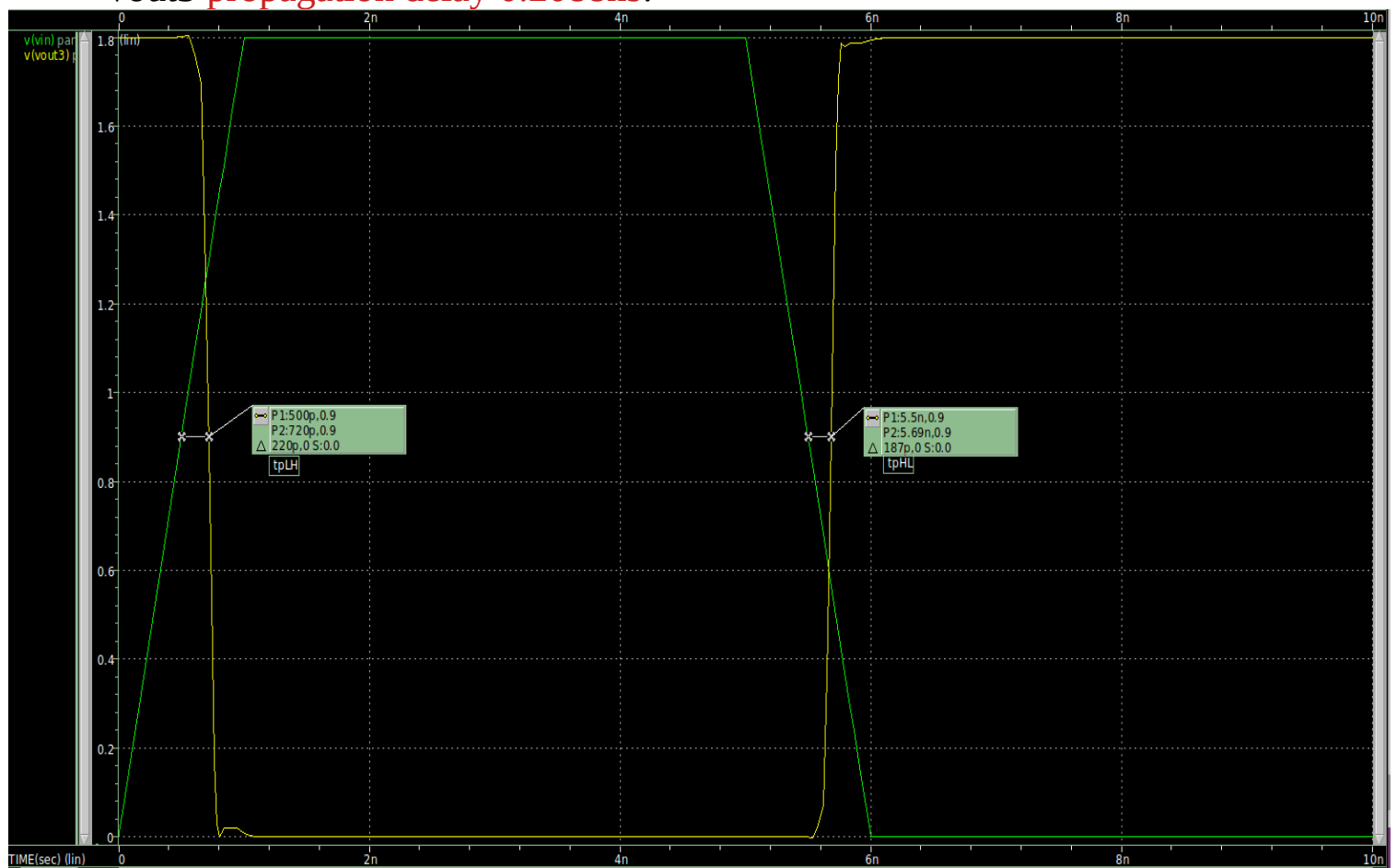
vout1 propagation delay 0.07802ns:



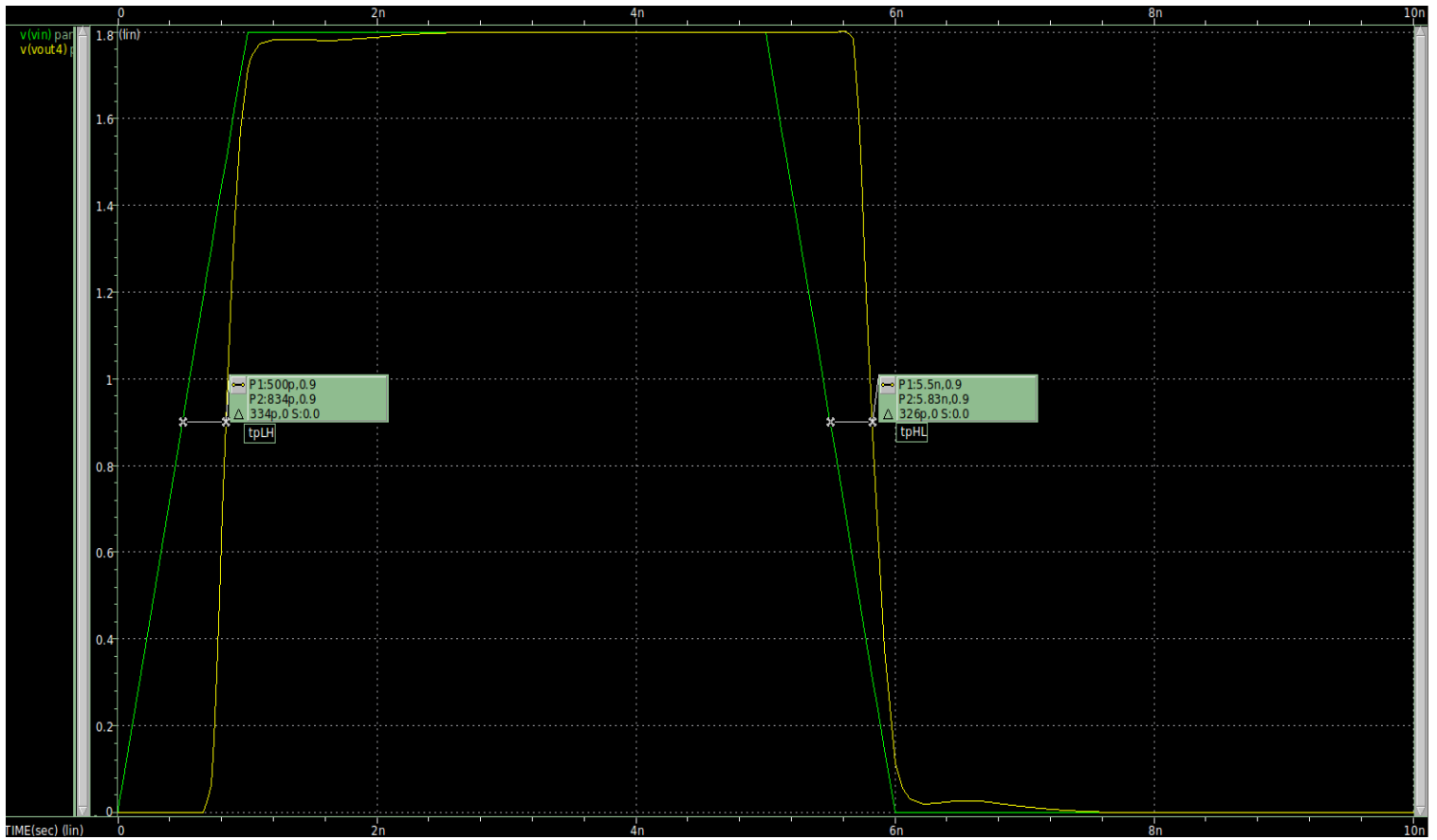
vout2 propagation delay 0.1557ns:



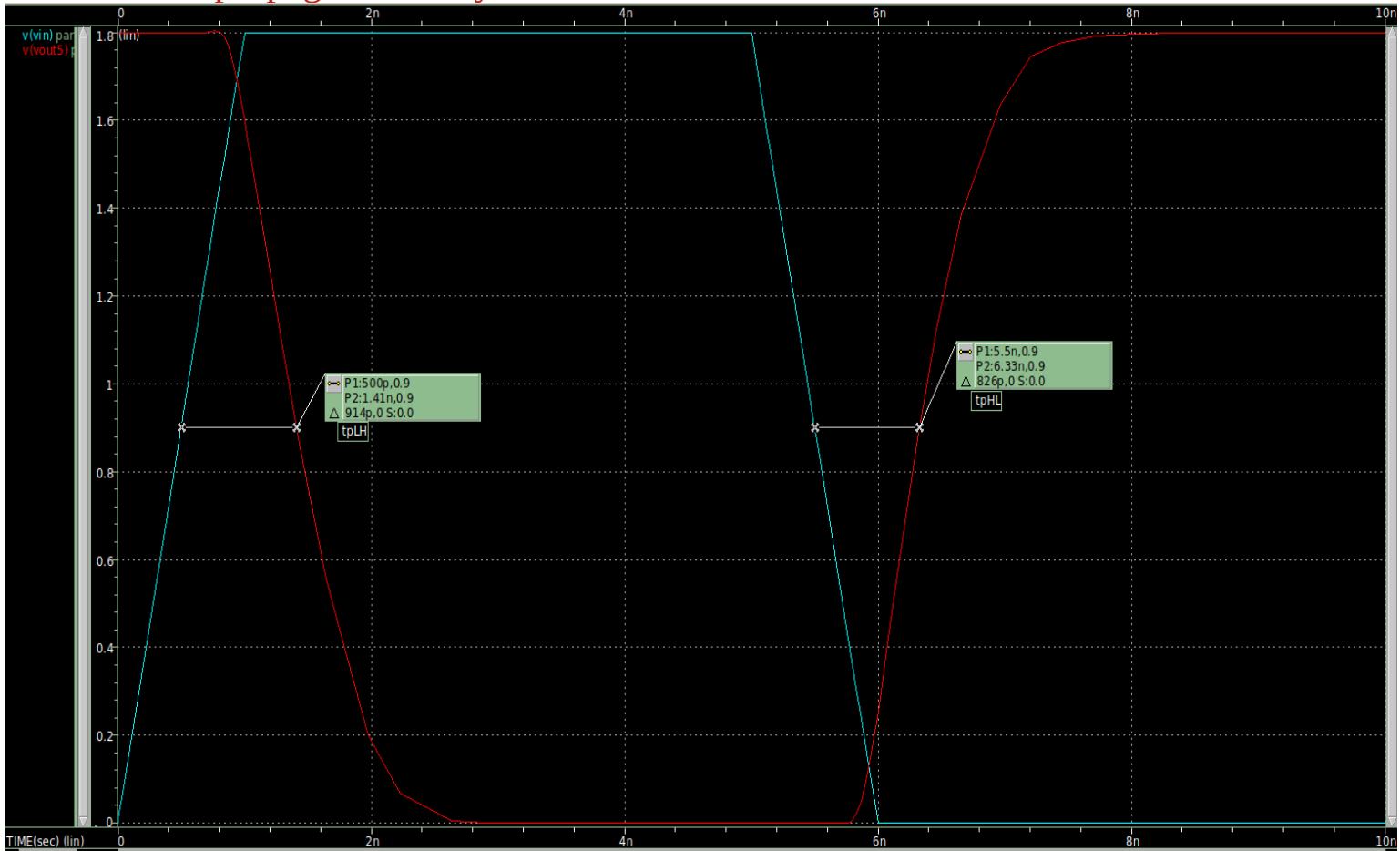
vout3 propagation delay 0.2088ns:



vout4 propagation delay 0.3358ns:



vout5 propagation delay 0.8987ns:



由本題所給的公式  $N=\log_4 F$ ,  $F=CL/C_g$ , 評估,  $N$  為 5.52( $C_g = 4.7188\text{fF}$ ,  $CL = 10\text{pF}$ )  
設計一個 5 個 stage 的 inverter chain, 每個 inverter 的設計如下。

```
.subckt inv_1 IN OUT VDD VSS wp wn
MP OUT IN VDD VDD p_18 w=wp l=0.18u m=1 $wp=1.85u
MN OUT IN VSS VSS n_18 w=wn l=0.18u m=1 $wn=0.5u
.ends

.subckt inv_2 IN OUT VDD VSS wp wn
MP OUT IN VDD VDD p_18 w=wp l=0.18u m=1 $wp=1.85u
MN OUT IN VSS VSS n_18 w=wn l=0.18u m=1 $wn=0.5u
.ends

.subckt inv_3 IN OUT VDD VSS wp wn
MP OUT IN VDD VDD p_18 w=wp l=0.18u m=3 $wp=1.85u
MN OUT IN VSS VSS n_18 w=wn l=0.18u m=3 $wn=0.5u
.ends

.subckt inv_4 IN OUT VDD VSS wp wn
MP OUT IN VDD VDD p_18 w=wp l=0.18u m=5 $wp=1.85u
MN OUT IN VSS VSS n_18 w=wn l=0.18u m=5 $wn=0.5u
.ends

.subckt inv_5 IN OUT VDD VSS wp wn
MP OUT IN VDD VDD p_18 w=11.4u l=0.18u m=7 $wp=11.4u
MN OUT IN VSS VSS n_18 w=4.2u l=0.18u m=7 $wn=4.2u
.ends
```

每個 inverter output 的 delay

Delay 1	0.07802ns
Delay 2	0.1557ns
Delay 3	0.2088ns
Delay 4	0.3358ns
Delay 5	0.8987ns

2. According to the designed inverter chain in Q1, please fill the simulation results in Table 2 and give some observations and discussions. (20%)

corner	Temperature(°C)	Delay (ns)
SS	-40	1.72
	25	1.92
	125	2.24
SF	-40	1.15
	25	1.34
	125	1.59
TT	-40	0.83
	25	0.9
	125	1.01
FS	-40	0.84
	25	0.91
	125	1.03
FF	-40	0.71
	25	0.78
	125	0.87

跟據表中的內容可以看出 delay 和溫度是有關聯的，溫度較高時 delay 會較大，無論哪種 corner 都是在 125°C 擁有最大的 delay，在 nmos 和 pmos 都是 f 時 delay 是最小的，都為 s 時 delay 則最大，可知 delay 會和 corner 有很大的關聯，這次設計的電路在 typical 下 delay 是 1ns 之下，不過設計上還要考量到技術上一定有的誤差和溫度的條件下對電路的影響，如上表所示這些條件的不同都會使電路無法表現的像理想一樣良好，所以才觀察各種情況，以確保電路在最差的狀況下也能有一定的表現。