**HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY**

**FACULTY OF ELECTRICAL & ELECTRONICS ENGINEERING**

**DESIGN PROJECT S192**

**32 bit low power pipelined RISC-V**

**Author**:

Lê Quang Hưng 1711631

**Lectures**:

Ts. Trần Hoàng Linh

Trịnh Vũ Đăng Nguyên

GIỚI THIỆU

Xu hướng tích hợp nhiều tác vụ trong một câu lệnh của cấu trúc tập lệnh CISC đã trở nên lỗi thời so với cấu trúc tập lệnh RISC.

Các thiết kế cấu trúc máy tính hiện đại thường được các công ty vi mạch giữ bí mật, các nhóm nghiên cứu phát triển CPU cũng thường được thỏa thuận không phát hành các tài liệu mô tả ưu điểm và hướng dẫn chi tiết về thiết kế của họ. Điều này dẫn đến sự thiếu hụt các thiết kế tham khảo hỗ trợ cho việc nghiên cứu và chỉ thường có sẵn trong các môi trường học thuật. Năm 2010, các chuyên gia của Đại học California, Berkeley đã tạo ra một ISA mã nguồn mở **RISC-V**, có thể sử dụng trong học thuật và bất kỳ thiết kế phần cứng hoặc phần mềm nào mà không yêu cầu tiền bản quyền.

Với nền tảng kiến thức từ môn học Cấu trúc máy tính của học kỳ trước, ở đồ án học kỳ 192 này, em đã chọn đề tài 32 bit Pipelined RISC-V cpu để tiếp tục thực hiện và phát triển kiến thức trong lĩnh vực bán dẫn.

MỤC LỤC

**GIỚI THIỆU**

**MỤC LỤC**

**DANH SÁCH HÌNH**

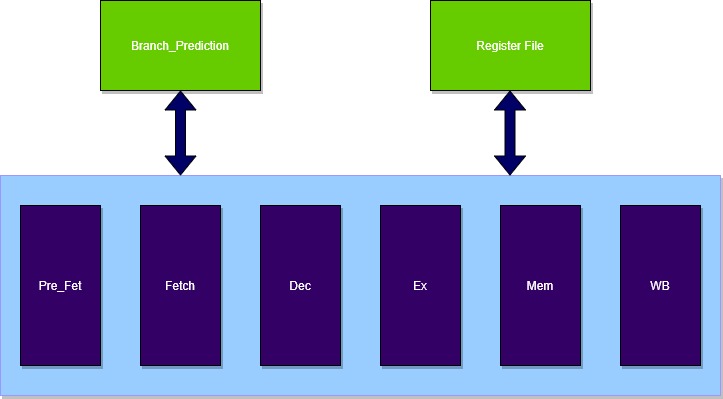
**1 6 STAGES PIPELINED RISC-V 192**

**2 CACHE**

**3 STACK**

1 6 STAGES PIPELINED RISC-V 192

Trong học kỳ trước (191), RISC-V cpu đã được tách thành một Pipelined cpu 6 tầng với bộ Branch Prediction nhằm giảm số chu kỳ hoạt động sai khi gặp các lệnh rẻ nhánh. Với cấu trúc đó tốc độ của cpu bị giới hạn bởi tốc độ của 2 tầng có thời gian dài nhất là Fetch và Mem



**Hình 1: 6 Stages Pipelined RISC-V**

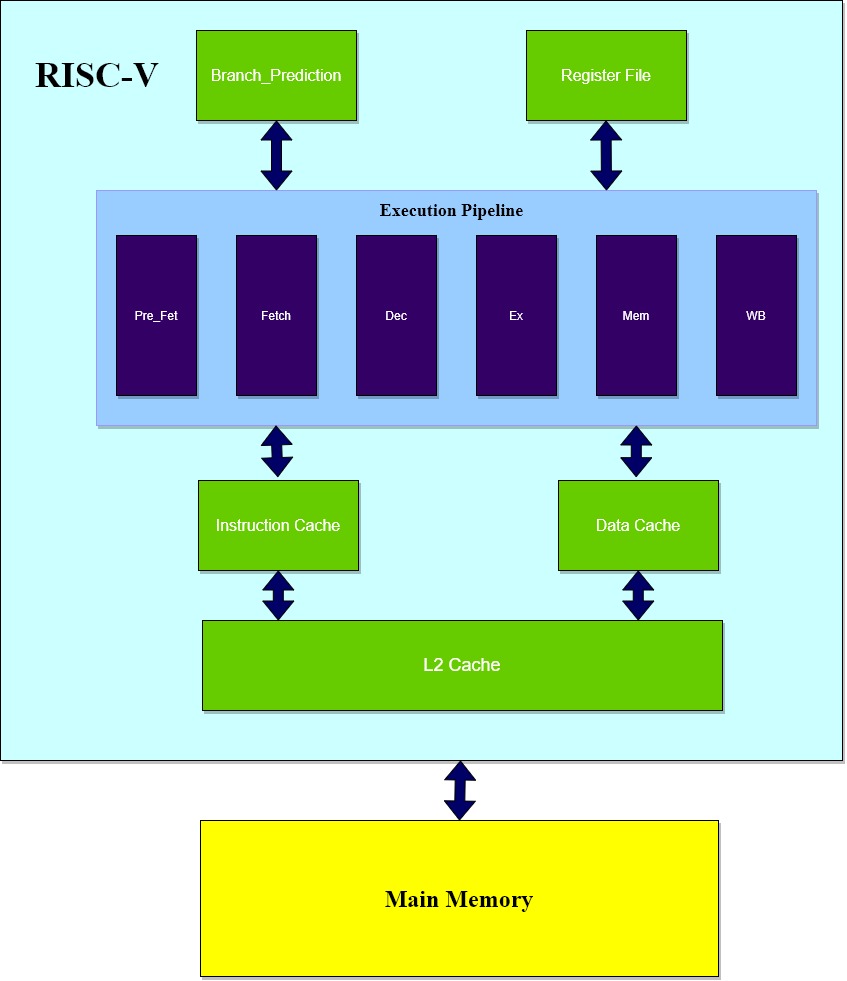
2 CACHE

|  |  |
| --- | --- |
|  | **Descriptions** |
| L1 Cache organization & size | Split I$ & D$, 32KB, 64B blocks |
| L1 associativity | 4-way I$, 8-way D$, ~LRU |
| L1 write policy | Write back, write-allocate |
| L2 cache organization & size | 256 KB, 64B blocks |
| L2 associativity | 16-way set associativity, RLU |
| L2 write policy | Write back, write-allocate |
| extra | Victim cache, write-buffer, critical word first, wider bus |

**Bảng 1: Bảng mô tả đặc tính cache**

Các giả sử về tốc độ hoạt động của L1, L2 cache và main memory theo số chu kỳ clock hoạt động của RISC-V cpu:

* L1 Cache: + 1 cycle để dữ liệu sẵn sàng trong trường hợp có hit
* L2 Cache: + 17 cycles để đưa block dữ liệu lên L1 cache (10 cycles để dữ liệu sẵn sàng 7 cycles chuyển dữ liệu)
* Main Memory (DDR): 100 cycles để hoàn thành việc đưa block dữ liệu lên L2 cache

****

**Hình 2: Cấu trúc RISC-V sau khi thêm Cache**