

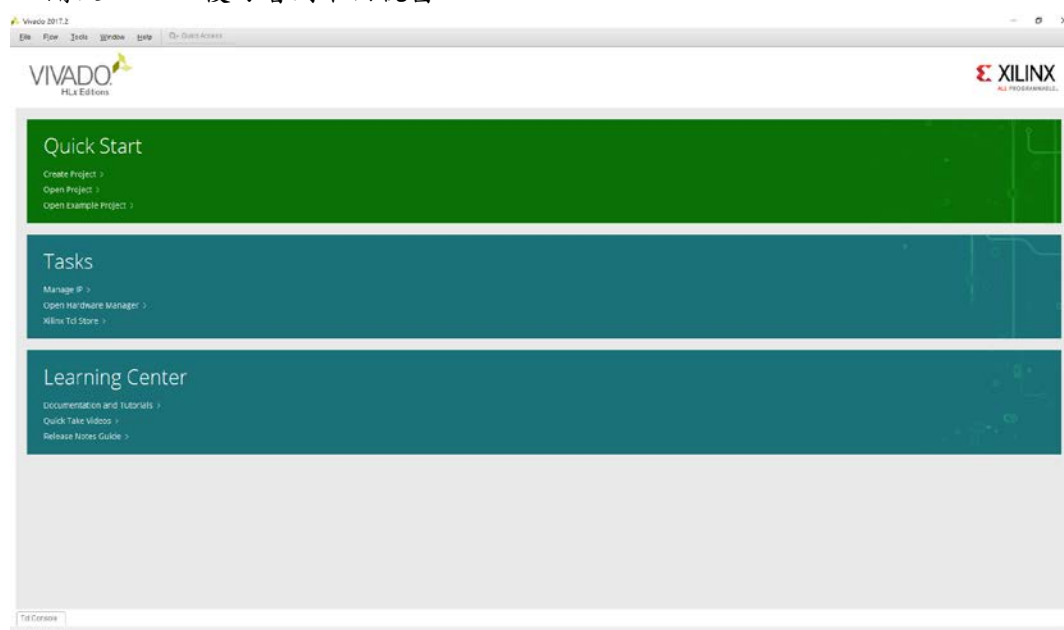
ZedBoard Training Lab1 – Vivado On Board Design

A、使用軟體：Vivado 2017.2

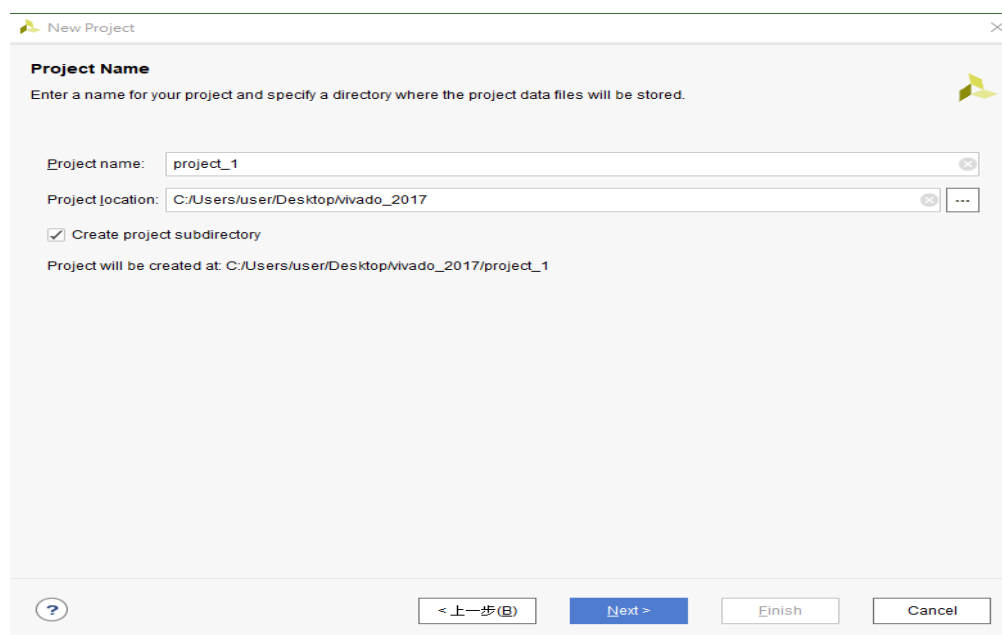
B、練習內容：設計一個 verilog 檔案燒入 ZedBoard，並可使用板子上的設備(指撥開關、按鈕、LED 等等)對自己設計的電路做操作。

C、Vivado 軟體開發教學：

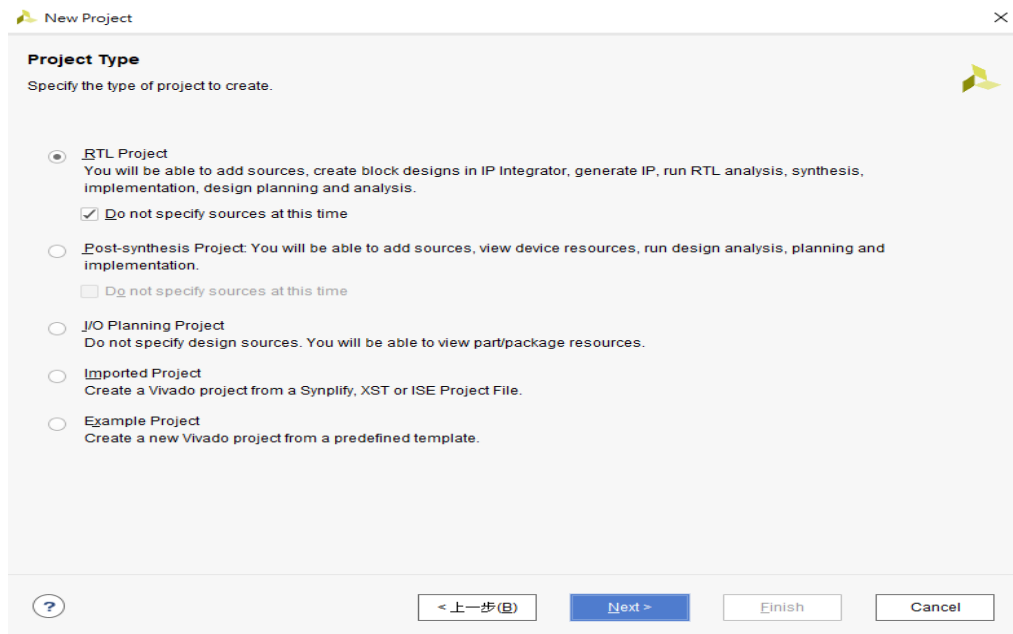
1、開啟 Vivado 後可看到下面視窗



2、點選 Creat Project 創立新專案，勾選 Create project subdirectory，勾選後會將專案以子資料夾的方式建立在所選目錄下。



- 3、選取 RTL Project，若你已經有設計好的 verilog code，可以不用勾選下面(Do not specify sources at this time)，它會讓你加入現有的 verilog 資源，這邊我們還沒有做設計故先勾選起來，而即便勾選在之後仍可以加入以寫好的 verilog 資源。



New Project

Project Type
Specify the type of project to create.

☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
☒ Do not specify sources at this time

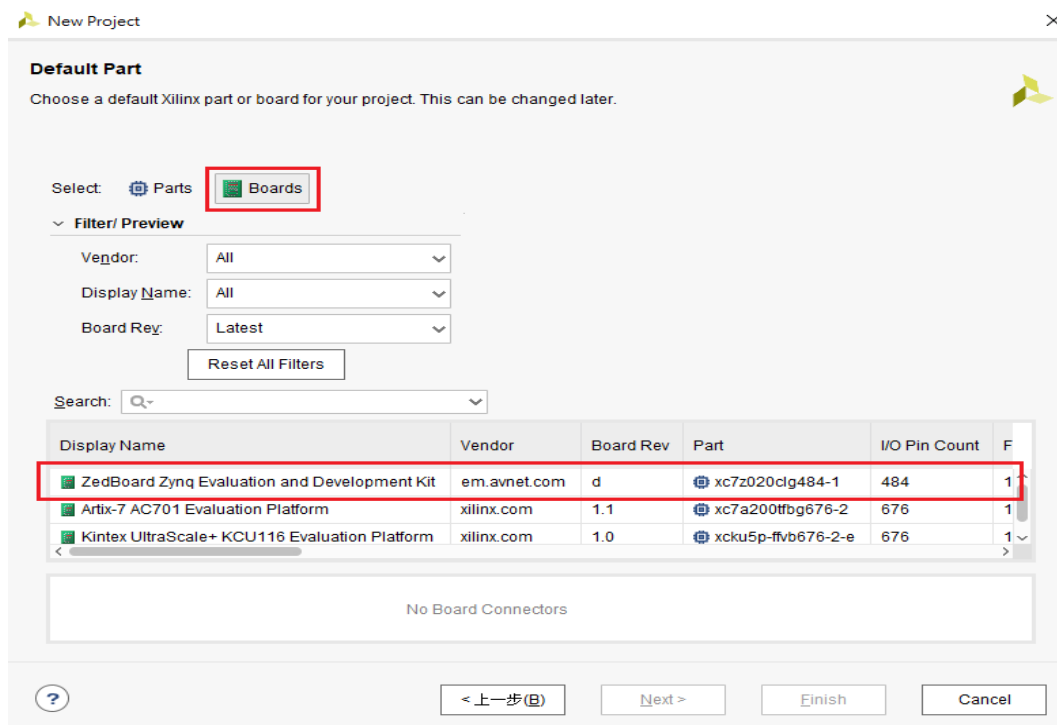
☐ **Post-synthesis Project** You will be able to add sources, view device resources, run design analysis, planning and implementation.
☐ Do not specify sources at this time

☐ **I/O Planning Project**
Do not specify design sources. You will be able to view part/package resources.

☐ **Imported Project**
Create a Vivado project from a Synplify, XST or ISE Project File.

☐ **Example Project**
Create a new Vivado project from a predefined template.

- 4、點選 Boards 選取 ZedBoard 板子型號後，按下 Finish 完成專案建置。



New Project

Default Part
Choose a default Xilinx part or board for your project. This can be changed later.

Select: ☒ Parts ☒ **Boards**

Filter/ Preview

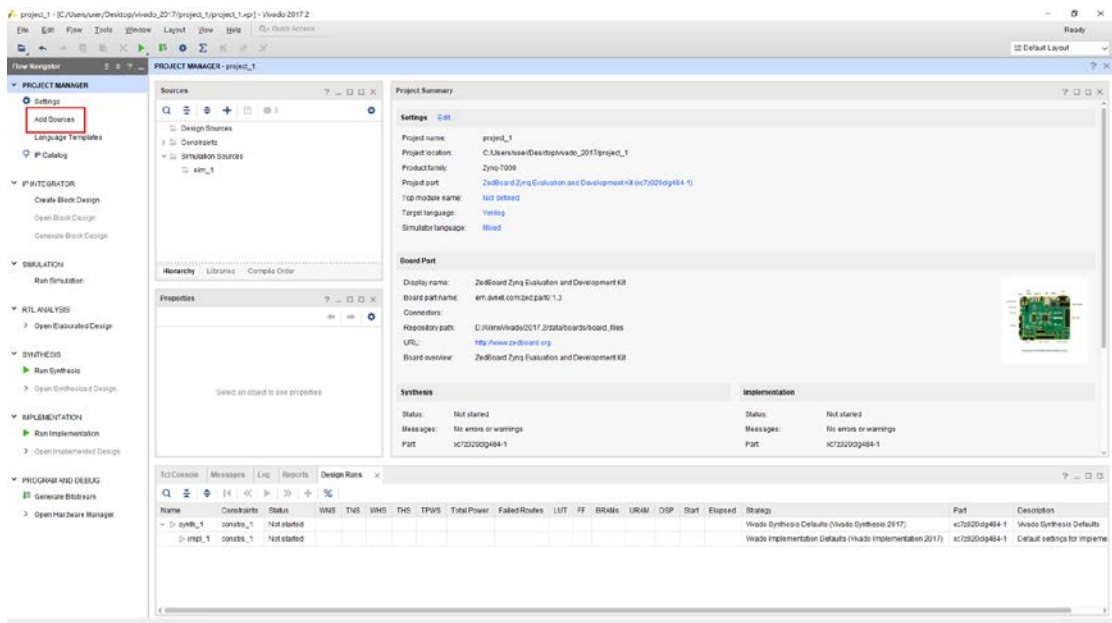
Vendor: All
Display Name: All
Board Rev: Latest

Search:

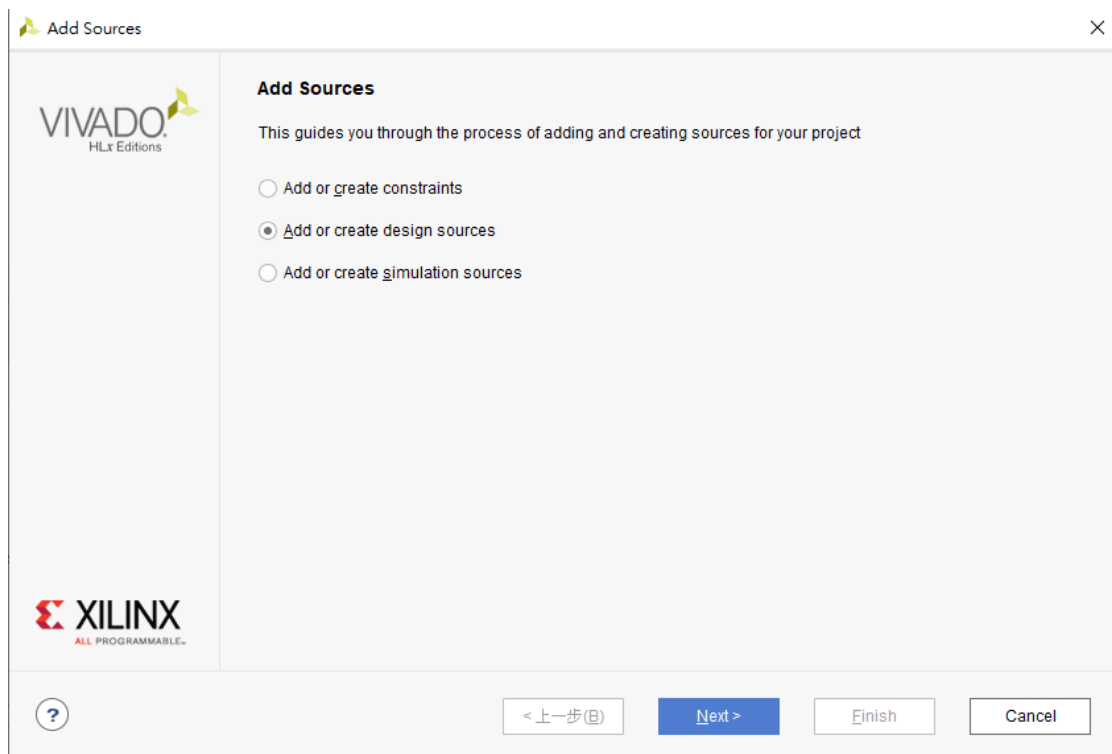
Display Name	Vendor	Board Rev	Part	I/O Pin Count	F
ZedBoard Zynq Evaluation and Development Kit	em.avnet.com	d	xc7z020clg484-1	484	1
Artix-7 AC701 Evaluation Platform	xilinx.com	1.1	xc7a200tbg676-2	676	1
Kintex UltraScale+ KCU116 Evaluation Platform	xilinx.com	1.0	xcku5p-ffvb676-2-e	676	1

No Board Connectors

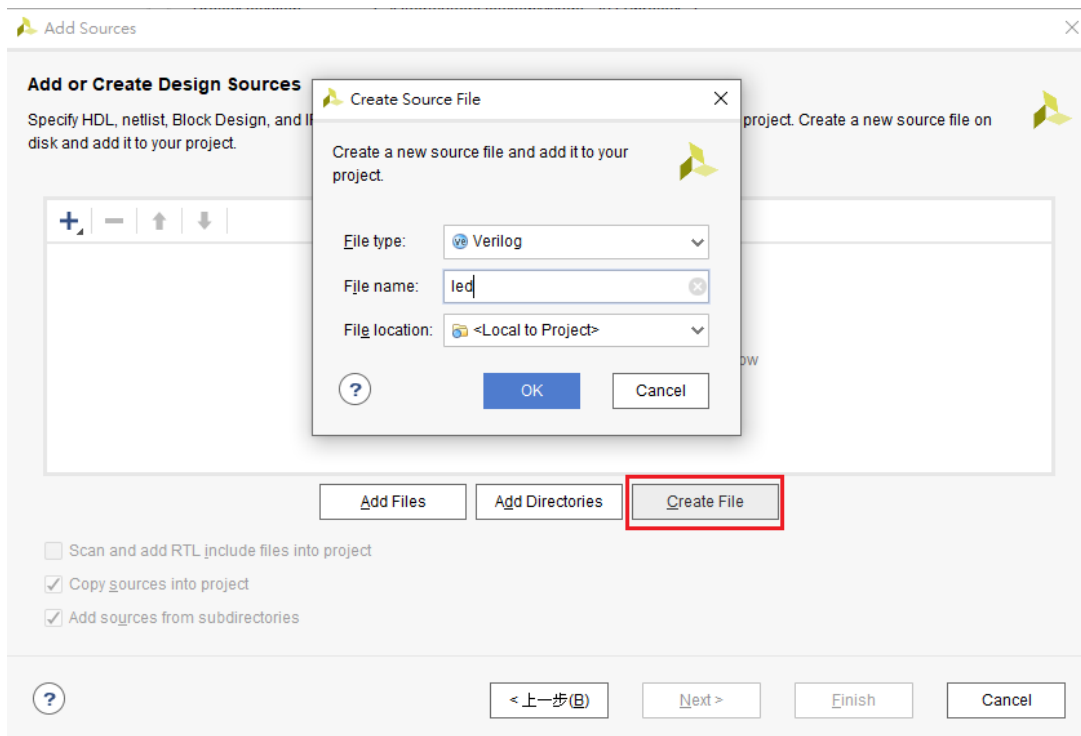
5、專案開啟後如下圖顯示，此時我們還沒有任何設計，因此點選左邊 Add Source 加入設計。



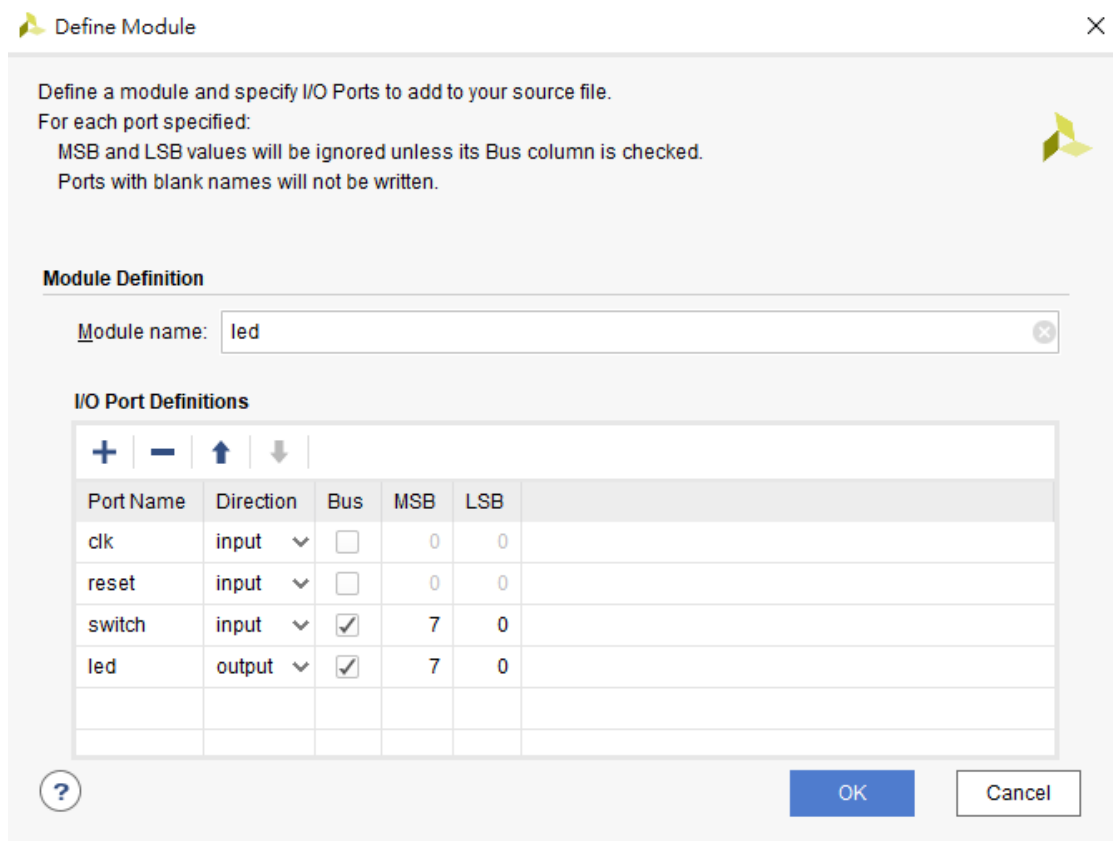
6、選取 Add or create design source 。



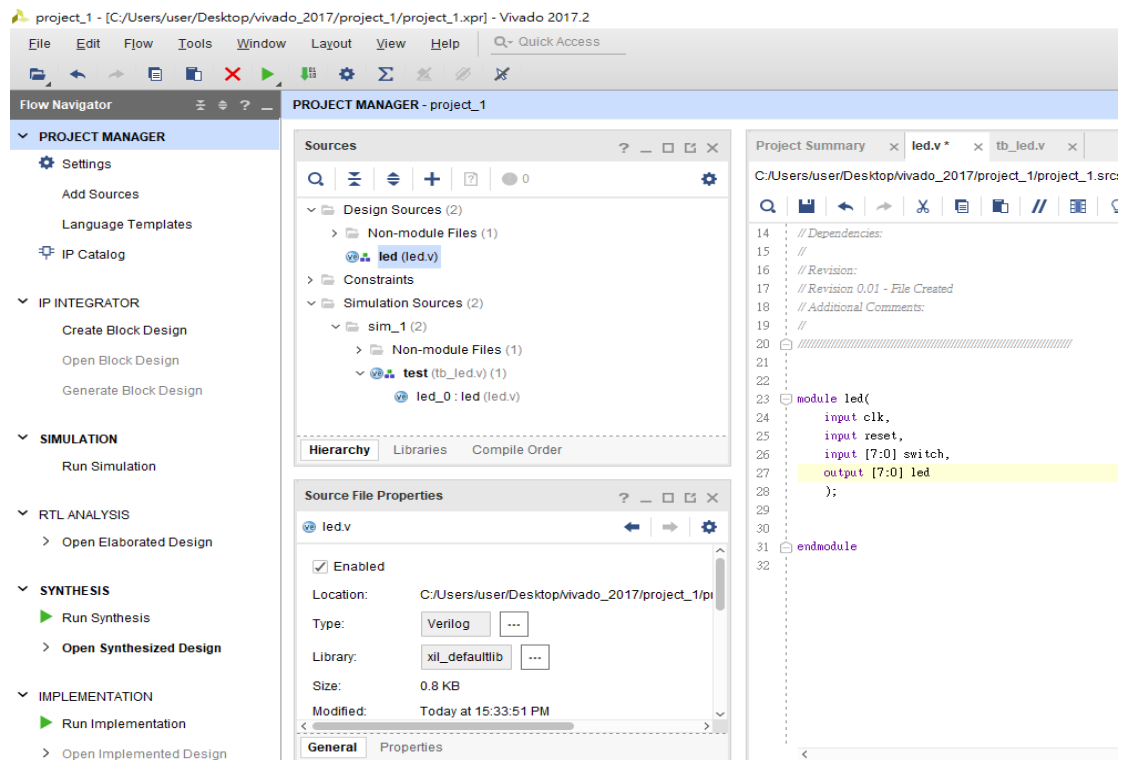
7、選取 Create File，命名 verilog 檔案的名稱後按 OK。



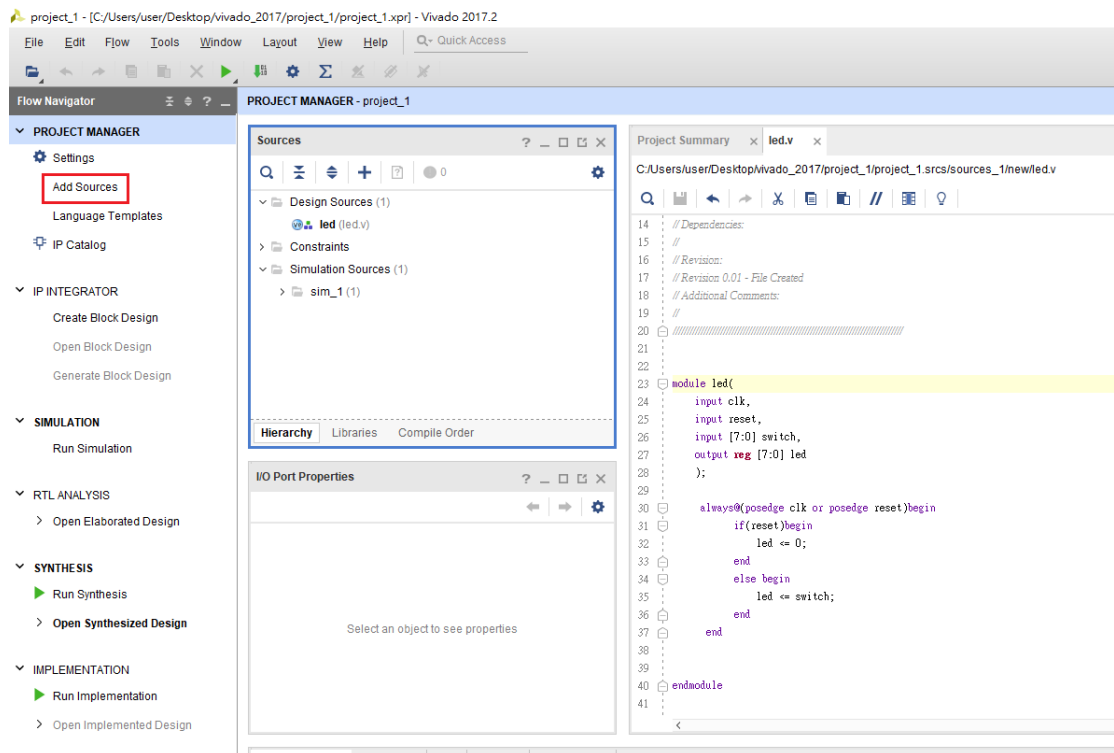
8、按下 Finish 會出現如下圖，可以先在這邊定義 IN/OUT port，也可以在檔案加入專案後再打上。



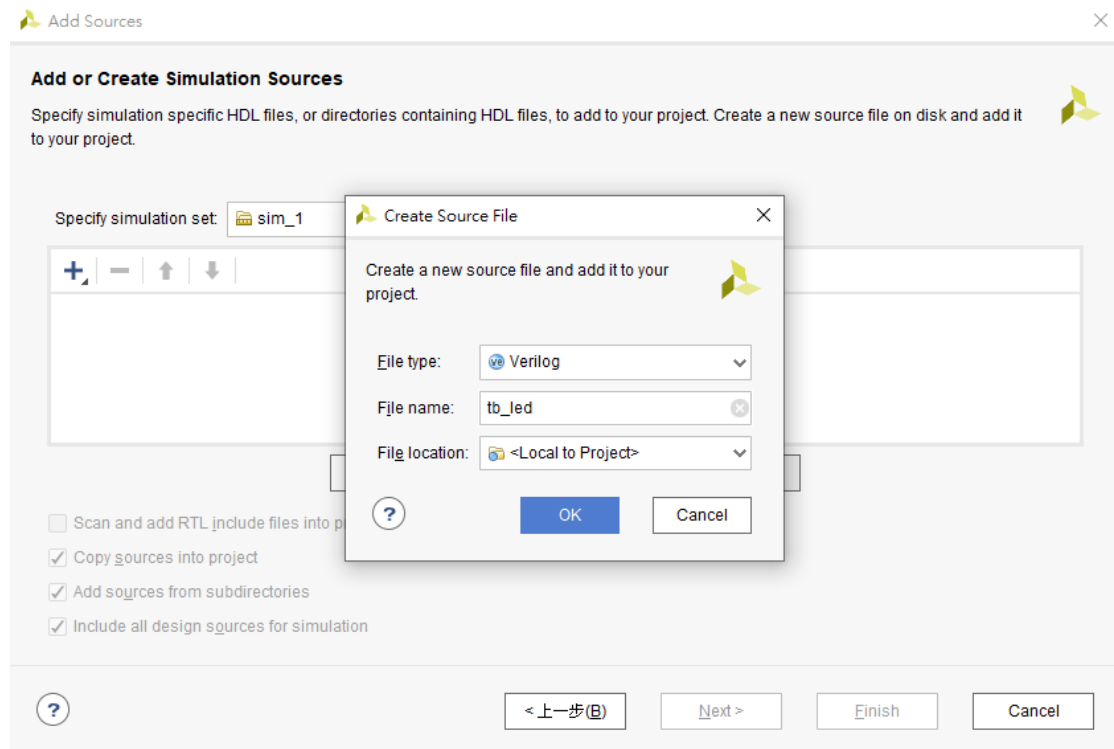
9、完成後按下 OK，會看到原先 create 的 verilog file 被加到 Design Source 內，接下來我們需要點選加入功能部份的程式碼。



10、完成設計後，可以加入 simulation file 做測試，加入方式一樣是點選 Add Source，若硬體架構較簡單的話也可以跳過不做(跳至 13、)。

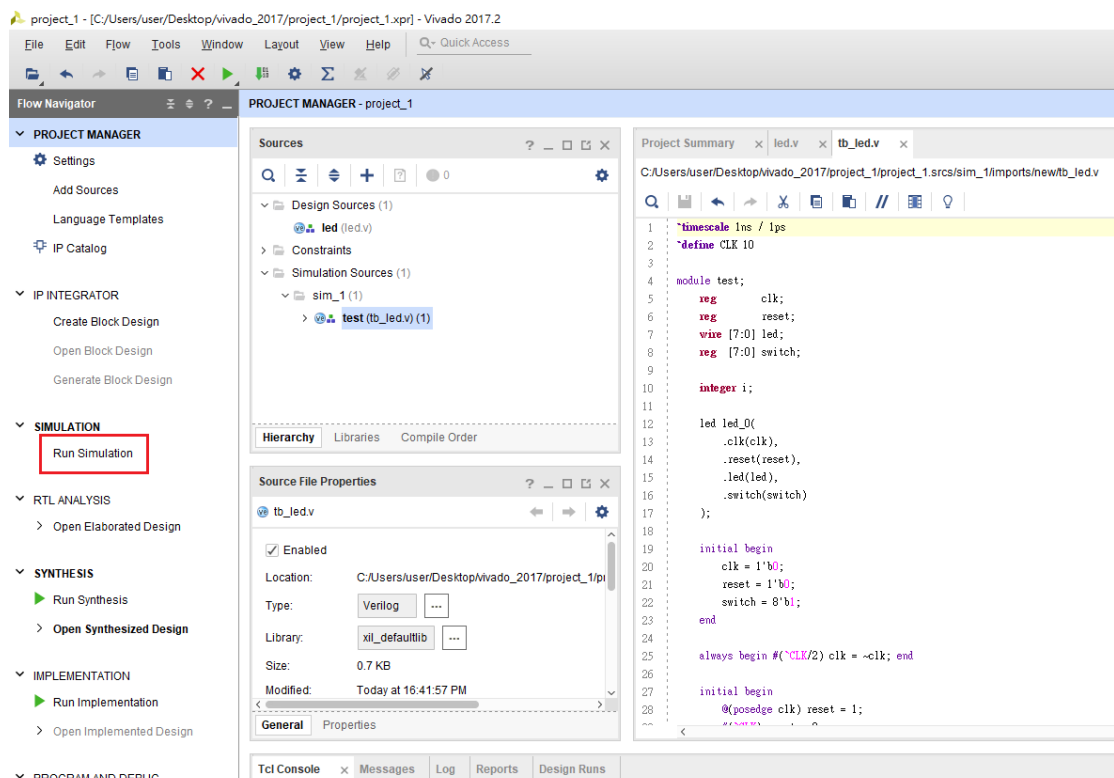


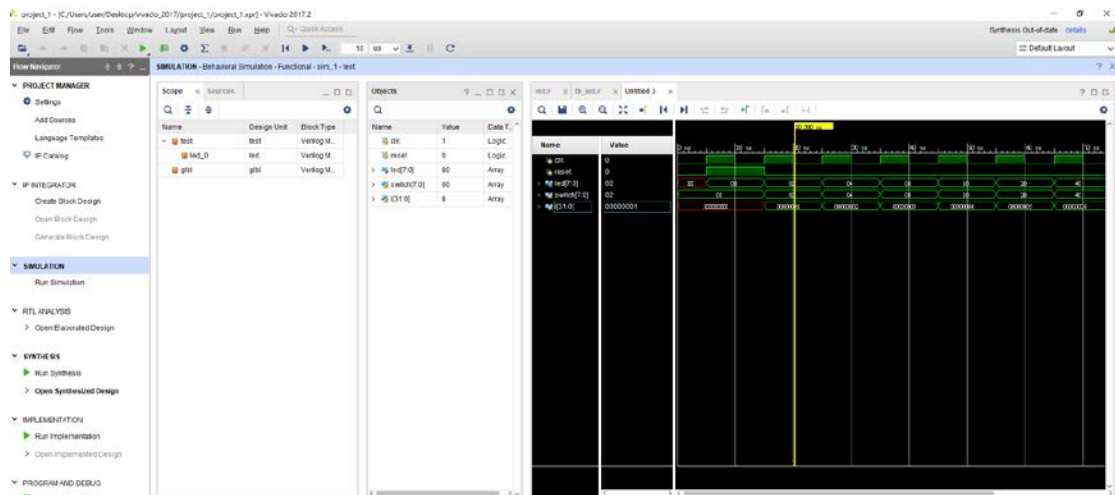
11、選取 Add or create **simulation** source，點選 next，之後添加的方法與前面加入 verilog file 的方法一樣。



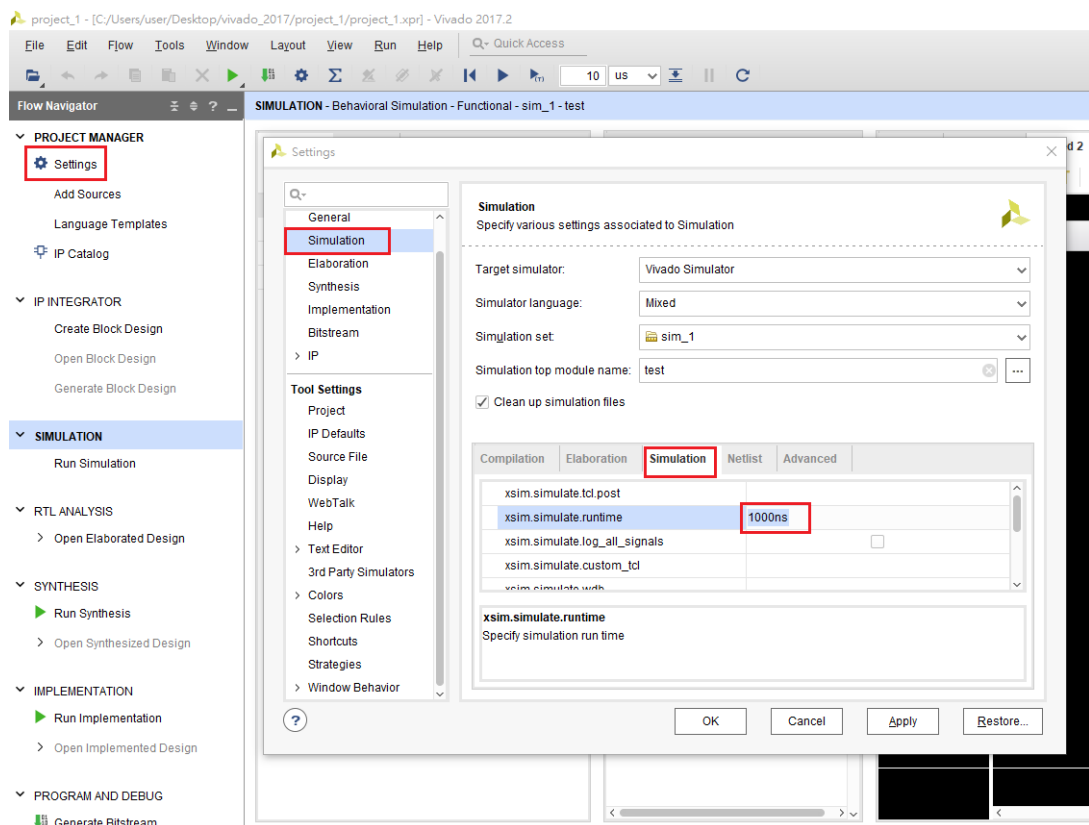
12、按下 Finish 後會看到 Simulation Source 內多了我們新建的檔案，完成 testbench 設計後點選 Run simulation 就可以查看波形。

若你的 testbench 沒有問題還是沒辦法跑出波形，有可能是防毒軟體衝突，建議關掉再跑一次。沒錯，就是在說你啦 Avast

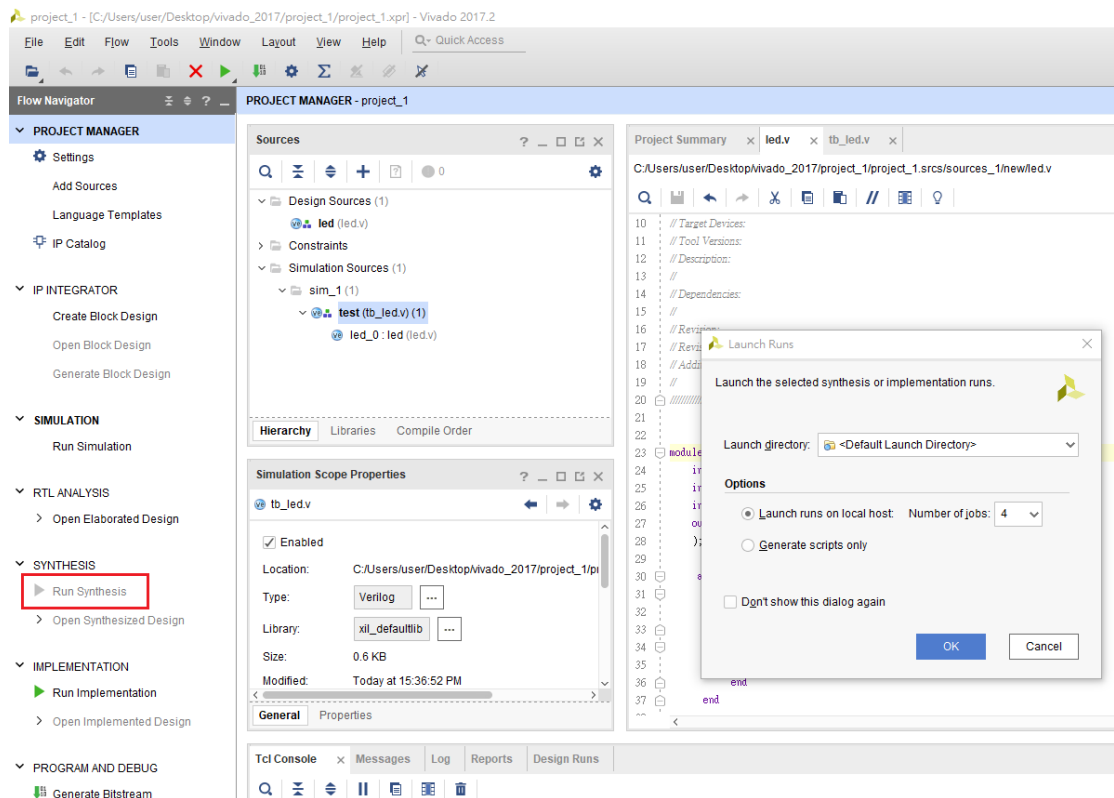




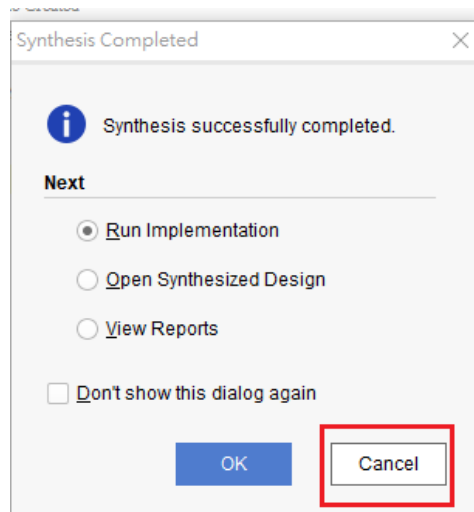
如果波形顯示時間不夠長，可以到左上角 Setting 內調整。



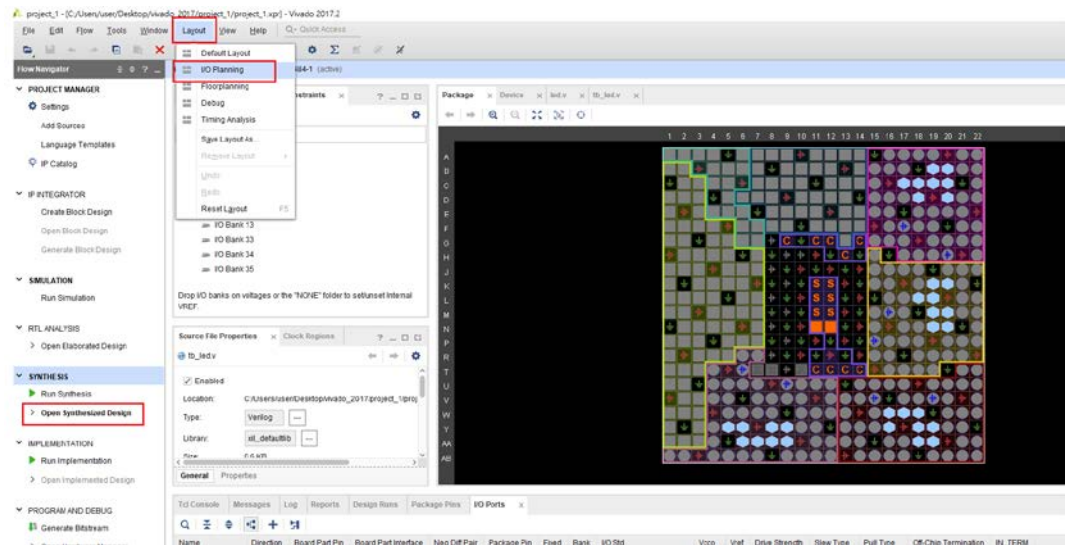
13、當設計電路確認沒有問題後，點選 Run Synthesis，點開會出現下圖的視窗，直接按 OK 即可，Number of jobs 代表會用電腦的幾個核心去跑。



14、完成後選 Cancel。



15、選取左側 Open Synthesized Design，開起後點選上方 Layout 中的 I/O Planning 設定板子的腳位。



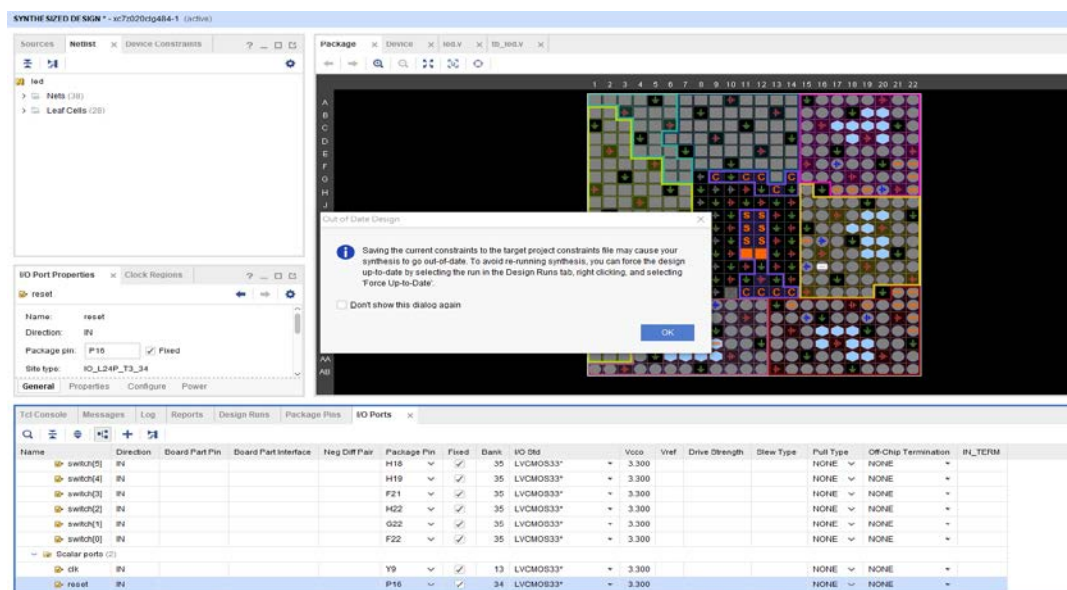
16、點選後下方會多出 I/O Ports，此時可以依照設計需求將 verilog code 中的 I/O ports 對應到板子上的 pin 腳。



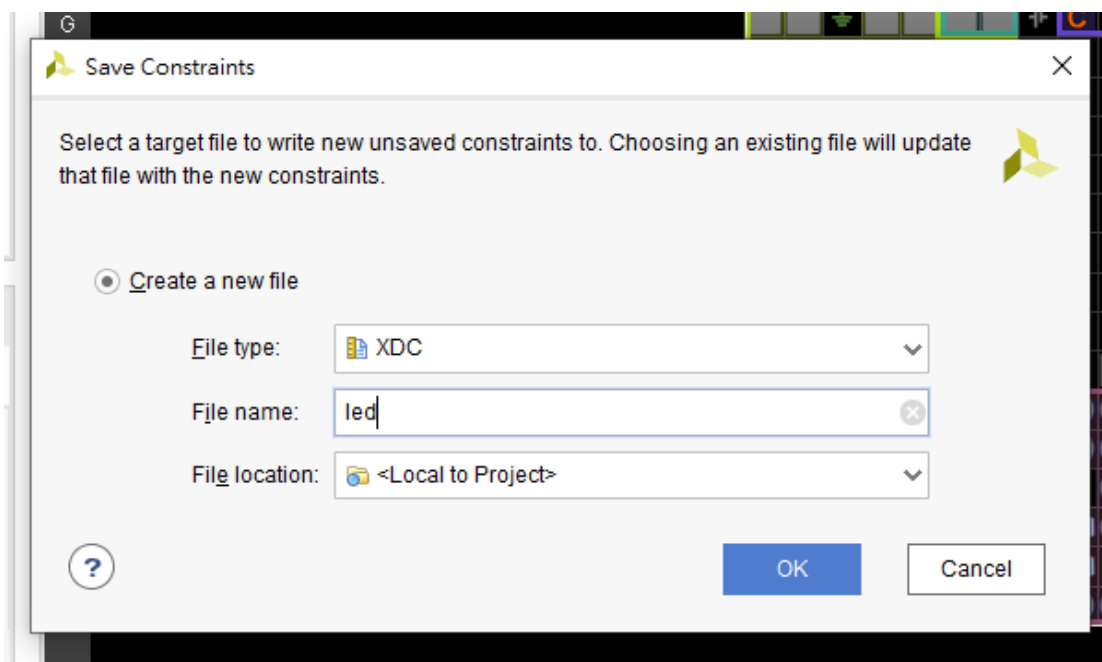
這邊 pin 腳可以直接看板子上的，或是到 ZedBoard_HW_UG_v2_2.pdf 中的 User I/O(p19)中查看，點擊 Package Pin 即可選取 pin 腳。

17、完成 pin 腳設定後按 Ctrl+S 儲存，如下圖所示，注意因為使用板子是 ZedBoard，I/O Std 都要改為 LVCNMOS33 才可以正常運作。

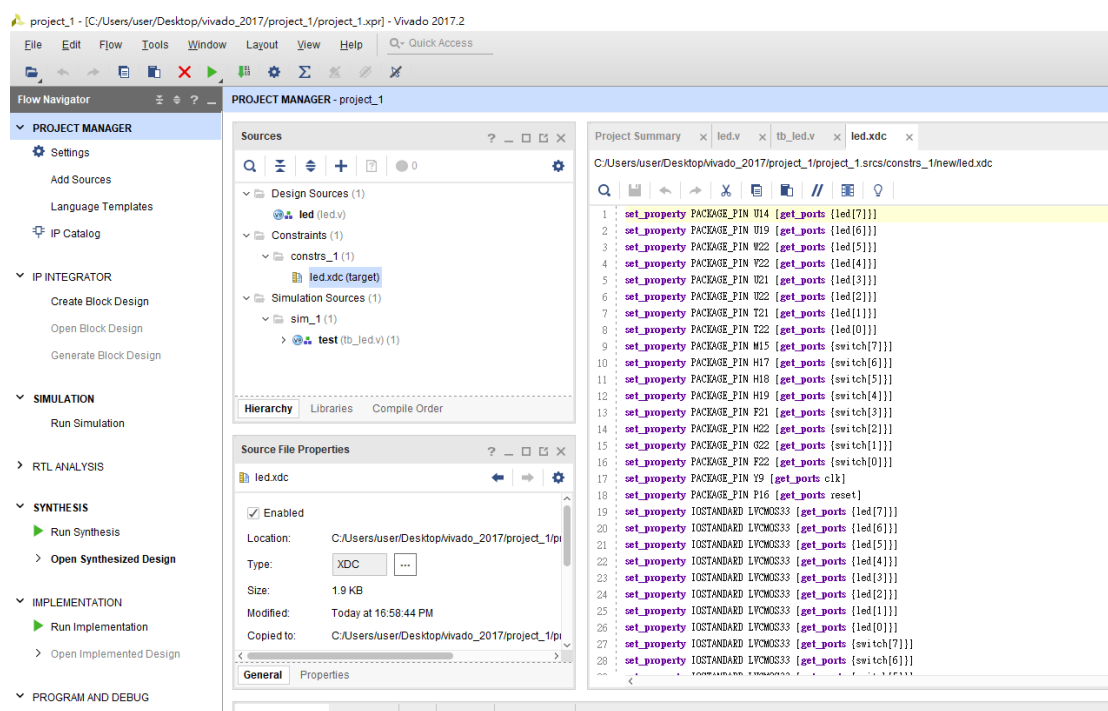
板子上的 clk 腳位為 Y9。



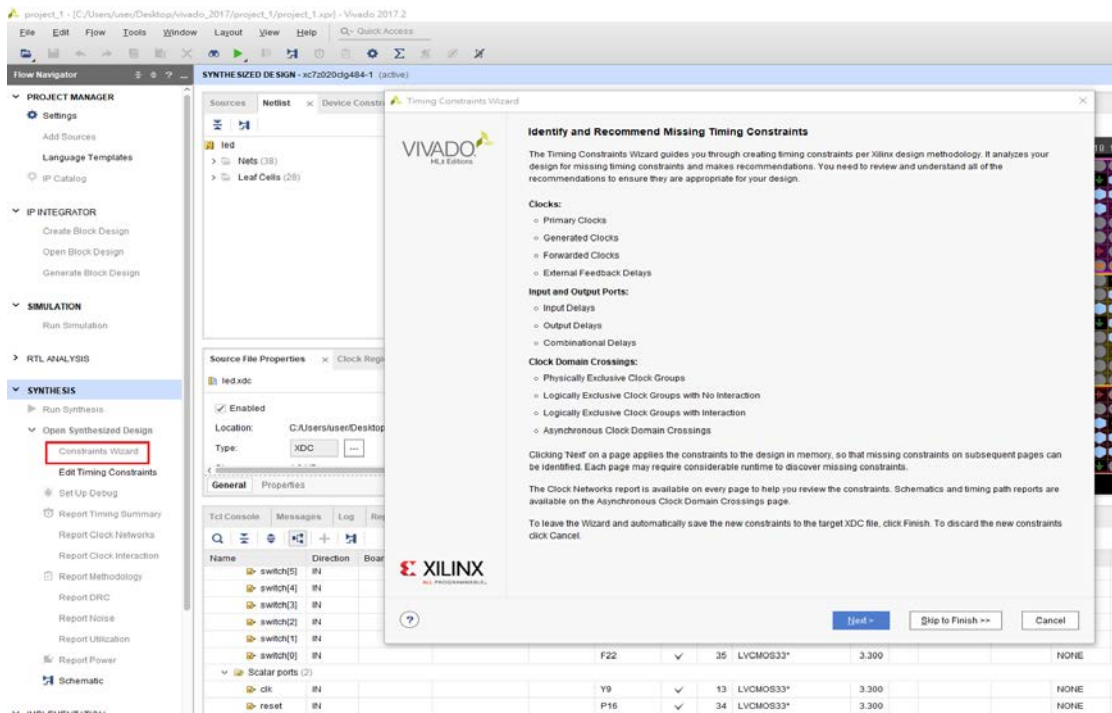
18、按下 OK 後會跳出如下的視窗，打上檔名後按下 OK，即可在 Project Manager 的 Constraints 中看到我們創立的檔案。



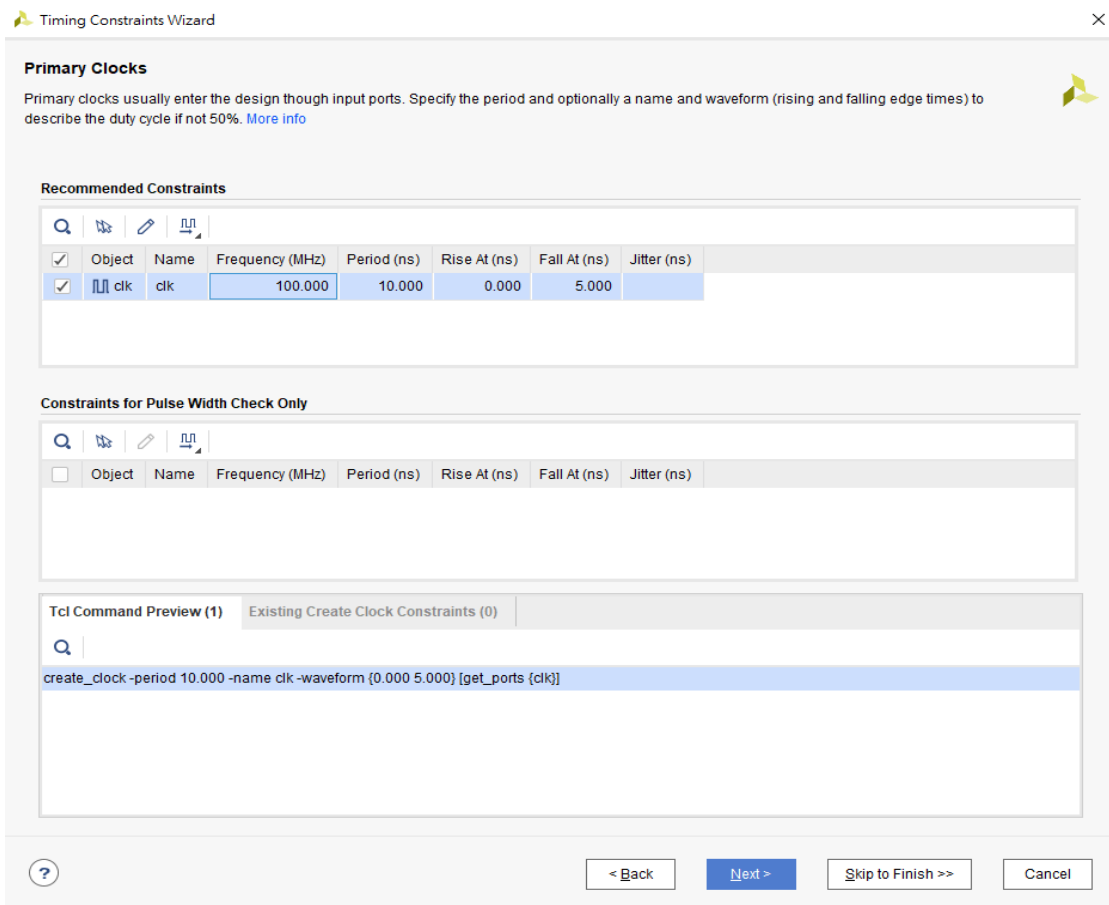
點開可看到裡面儲存的即是剛才 I/O Planning 時所設定個個 ports 對應板子 pin 腳的資訊。



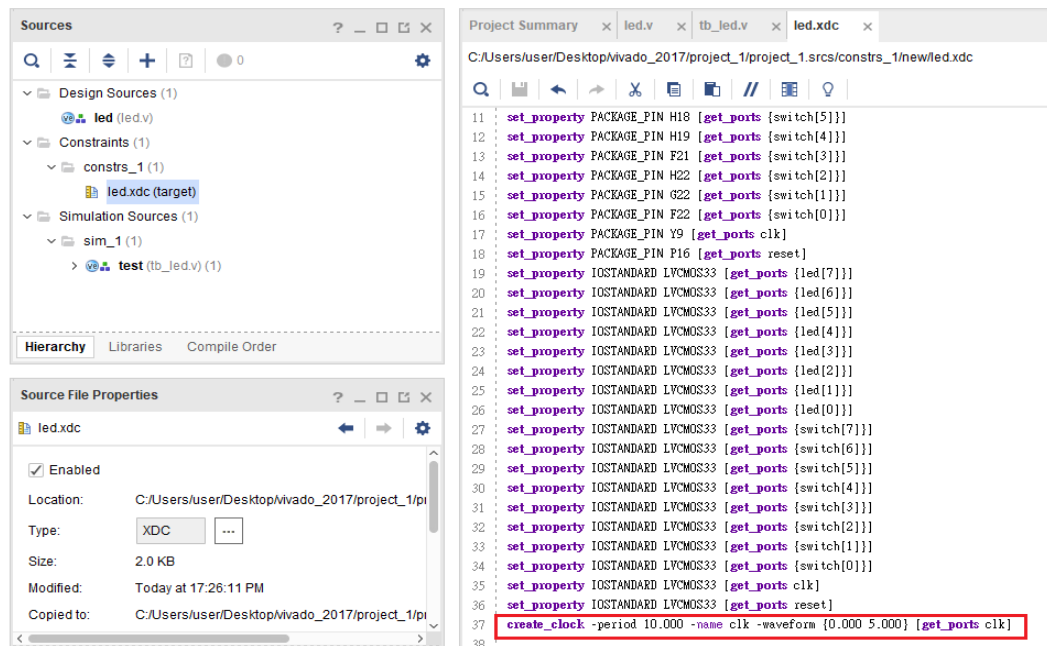
19、到這邊我們已經完成 pin 腳的設置，接下來要設定板子的 clock 頻率，點選左邊 Constraint Wizard 後點擊 Next。



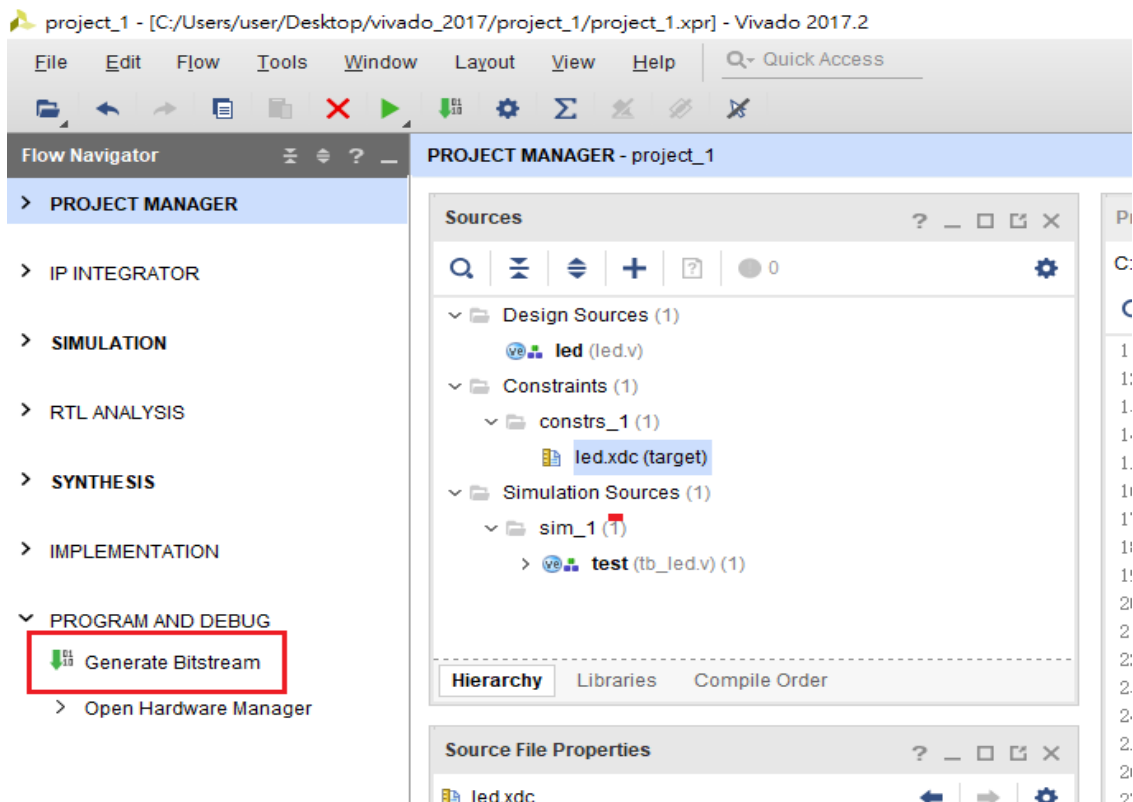
20、在 Frequency 或 Period 填入需要的速度後點 Skip to Finish。



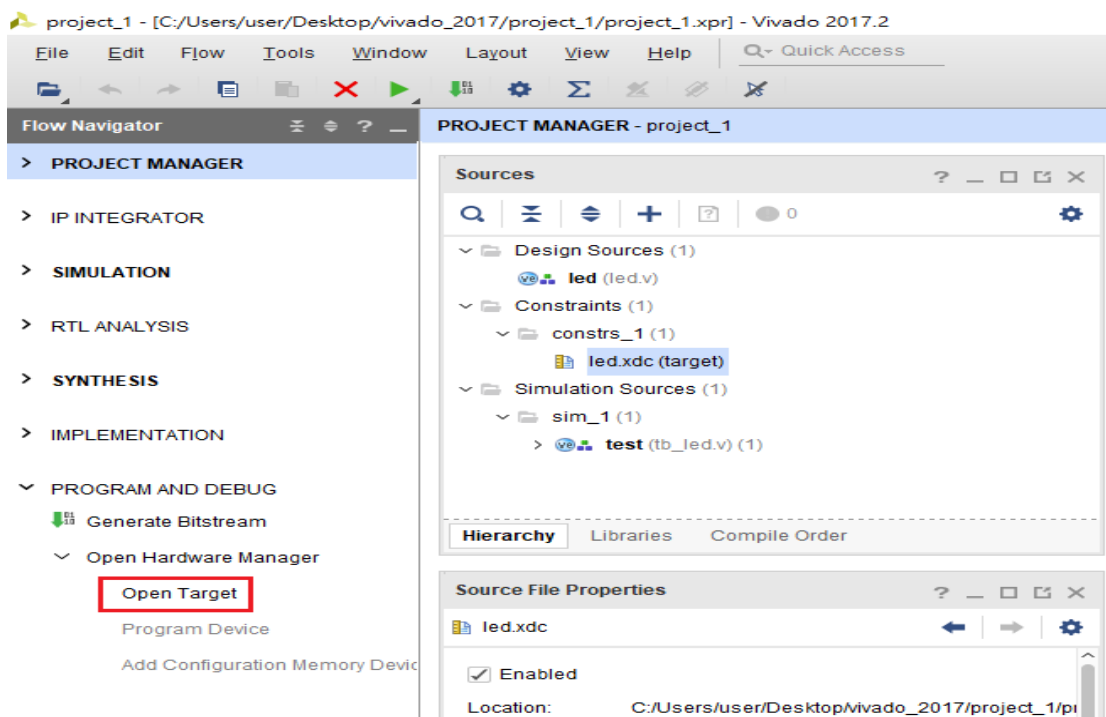
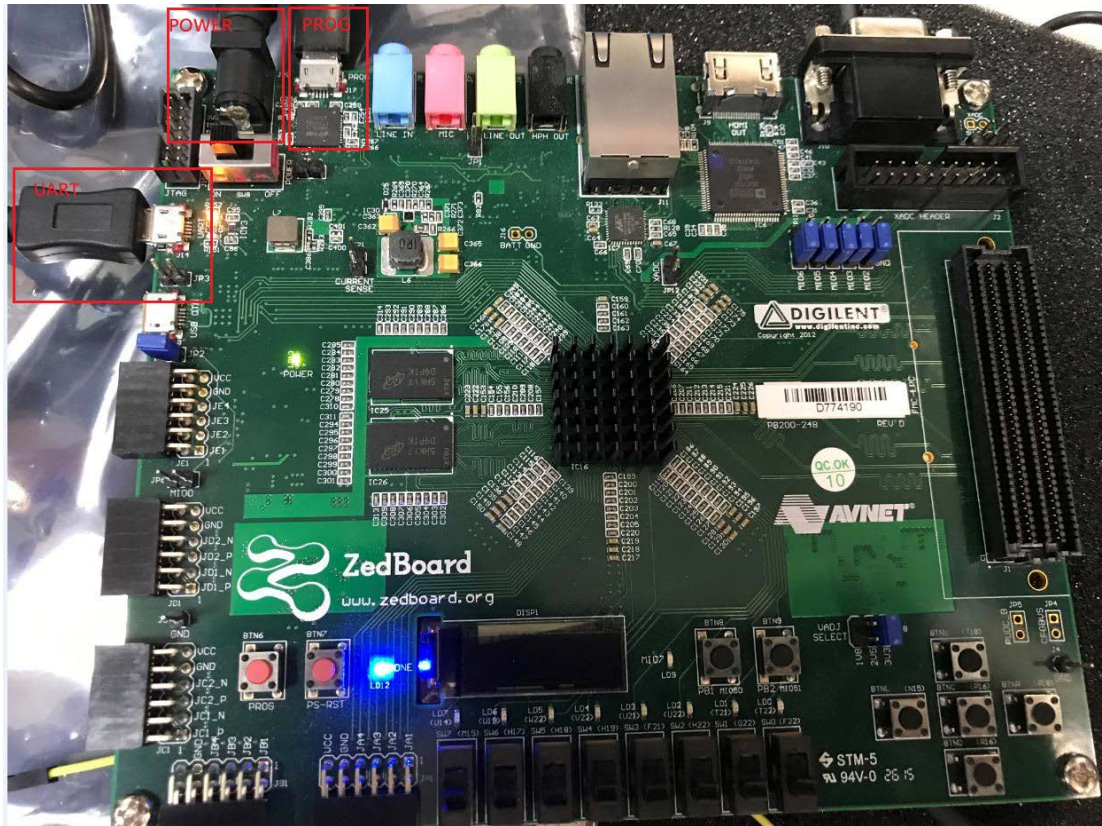
21、完成後點開原先的 constraint file 可以看到最下面多了一條 clock period 的資訊。



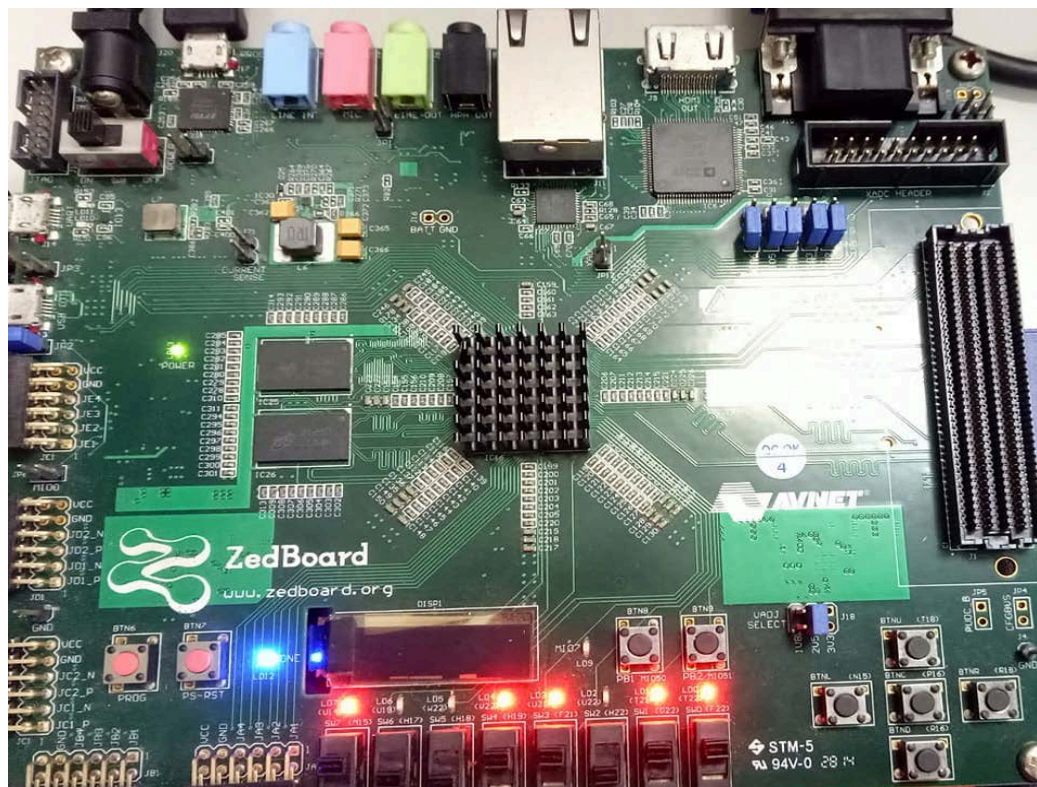
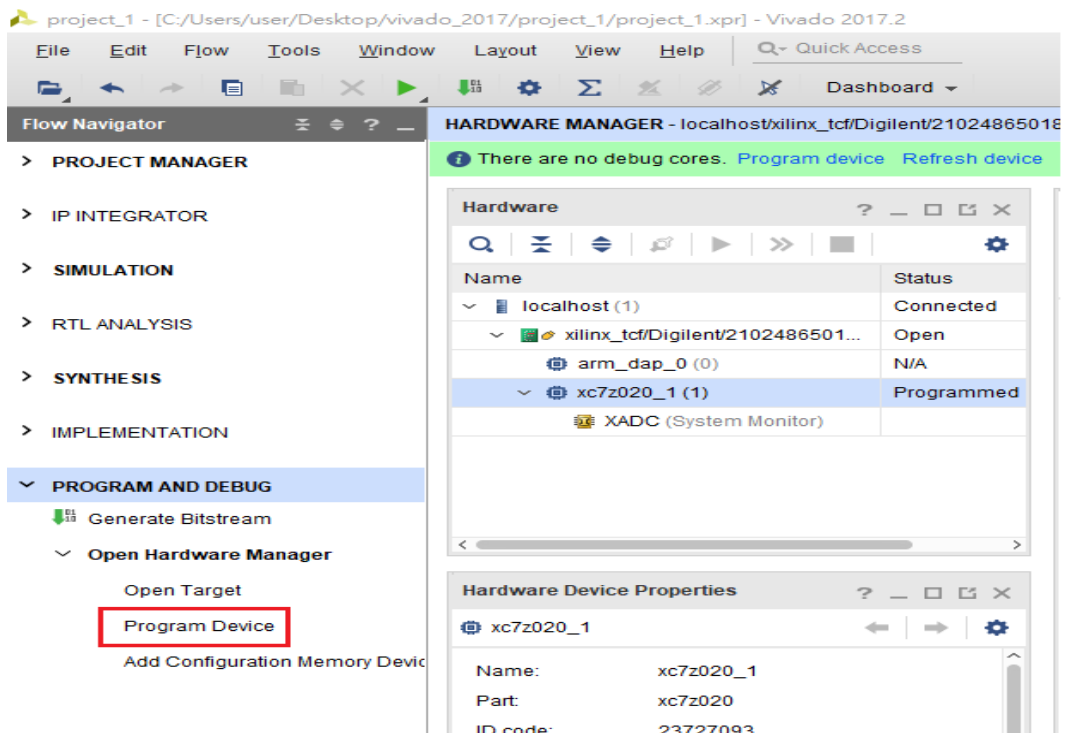
22、此時我們設計的硬體的設定都已經完成，點選左邊 Generate Bitstream 產生 bit 檔。



23、Bit 檔產生完成後我們需要接上板子進行燒入，將板子的 PROG 接口接到電腦上，然後點選 Open Target 讓電腦與板子做連接。



24、連接上後點選 Program Device，就完成燒入了，此時去撥動板子上的指撥開關就可以看到 LED 燈號跟著動作。



D、練習題：

設計一個簡易紅綠燈，並以板子上的 Leds 燈號作表示，其中以 led7 做為紅燈，led6 為黃燈，led5 為綠燈。led0~led4 為倒數計時用 5bit 二進位方式顯示。Sw0 為 0 時，當系統啟動時預設綠燈運作時間 15 秒，黃燈 1 秒，紅燈 16 秒，Sw0 為 1 時，綠燈運作時間 7 秒，黃燈 1 秒，紅燈 8 秒。