

***BÁO CÁO THỰC HÀNH  
SUMMER COURSE 2025  
CUSTOM IC DESIGN***

**LAB 1:  
INVERTER (BACK-END)**

**Nhóm 7 (ca 2)**

**Họ và tên thành viên:**

**Phạm Vũ Tuấn Hưng      22200067**

**Phạm Vĩnh Khang      22200079**

**Giảng viên:**

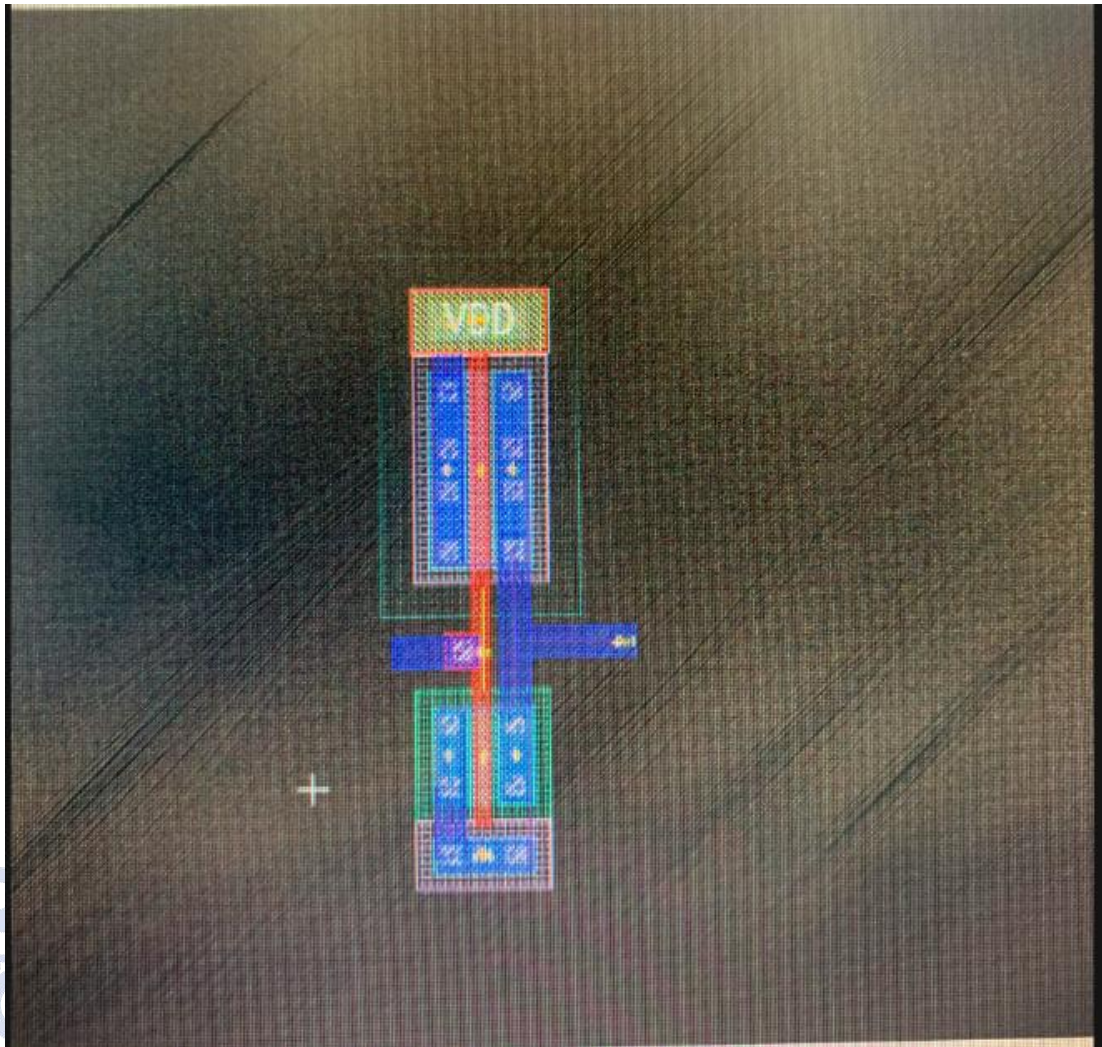
**Nguyễn Mai Minh Kha**

**Nguyễn Vũ Minh Thành**

**Phạm Thế Hùng**

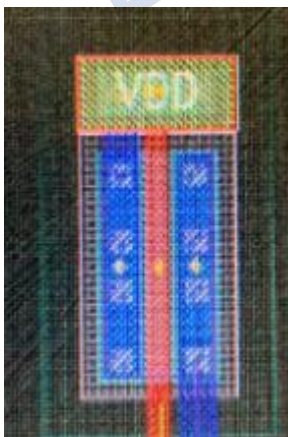
**Thành phố Hồ Chí Minh, August 25, 2025**

## 1. Layout:

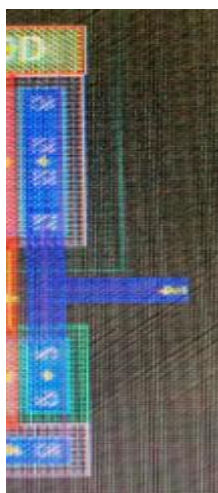


Hình: Layout của mạch inverter.

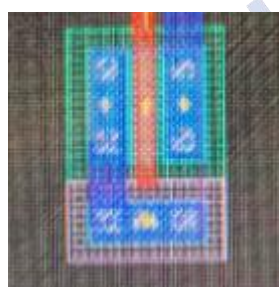
Giải thích các phần của layout:



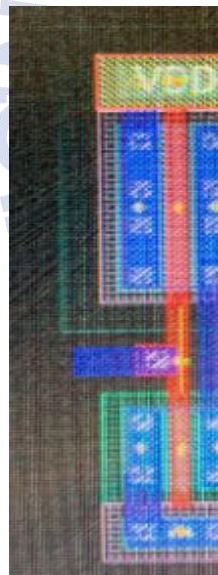
Layout phần pmos với cực Source được nối lên VDD bằng lớp metal 1 (lớp màu xanh)



*Phần Drain của pmos được nối với Drain của nmos và nối với nhãn ra Out bằng lớp metal 1 (lớp màu xanh)*



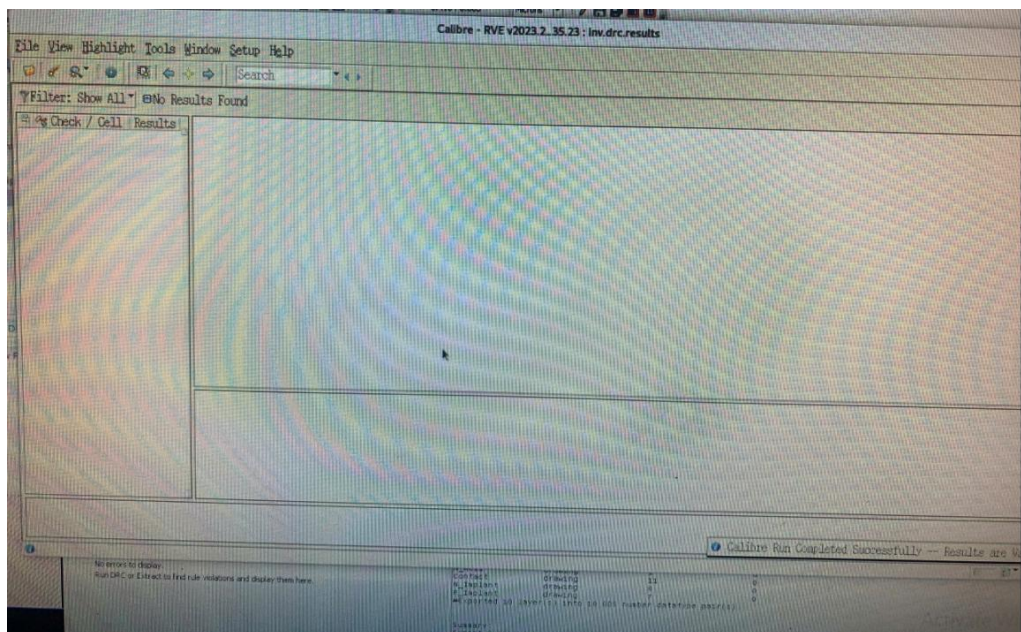
*Layout phần nmos với cực Source được nối xuống VSS bằng lớp metal 1 (lớp màu xanh)*



*Sử dụng lớp poly (lớp màu đỏ) để nối Cực gate của pmos với cực gate của nmos đồng thời nối với ngõ vào In*



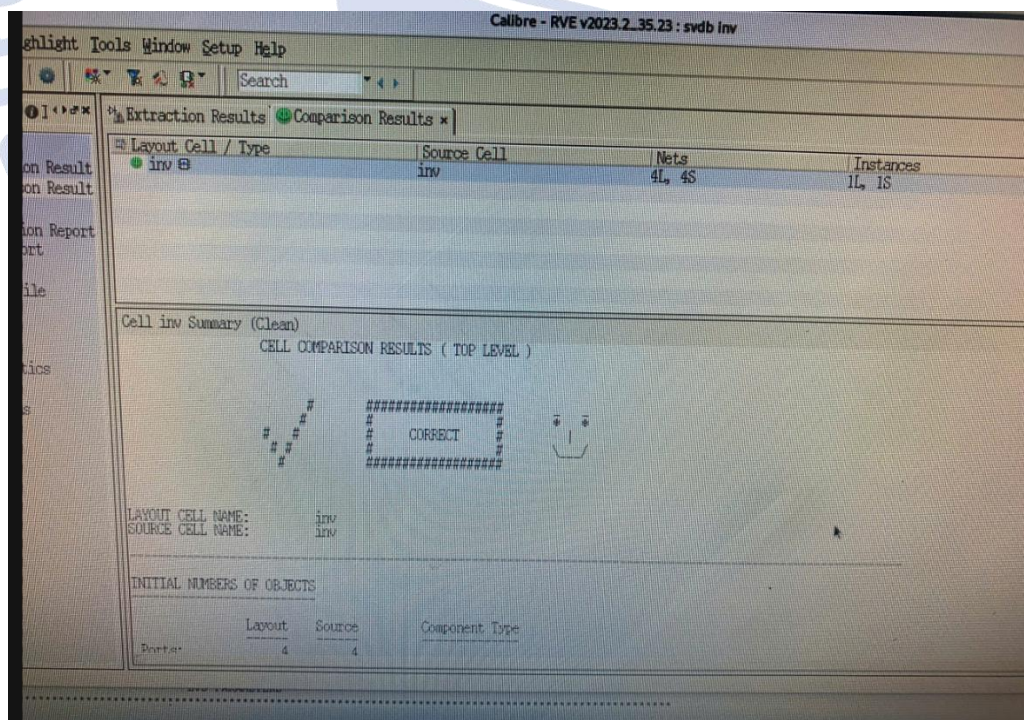
## 2. Kiểm tra DRC:



Hình: Kết quả chạy DRC thành công.

Chạy DRC (Design Rule Check) có mục đích kiểm tra xem Layout có vi phạm về quy định thiết kế của công nghệ đang áp dụng trên mạch đang thiết kế hay không. Sau khi chạy màn hình kết quả hiển thị: “No Results Found” nghĩa là không có lỗi nào được phát hiện về khoảng cách và kích thước tức là Layout đã pass qua DRC.

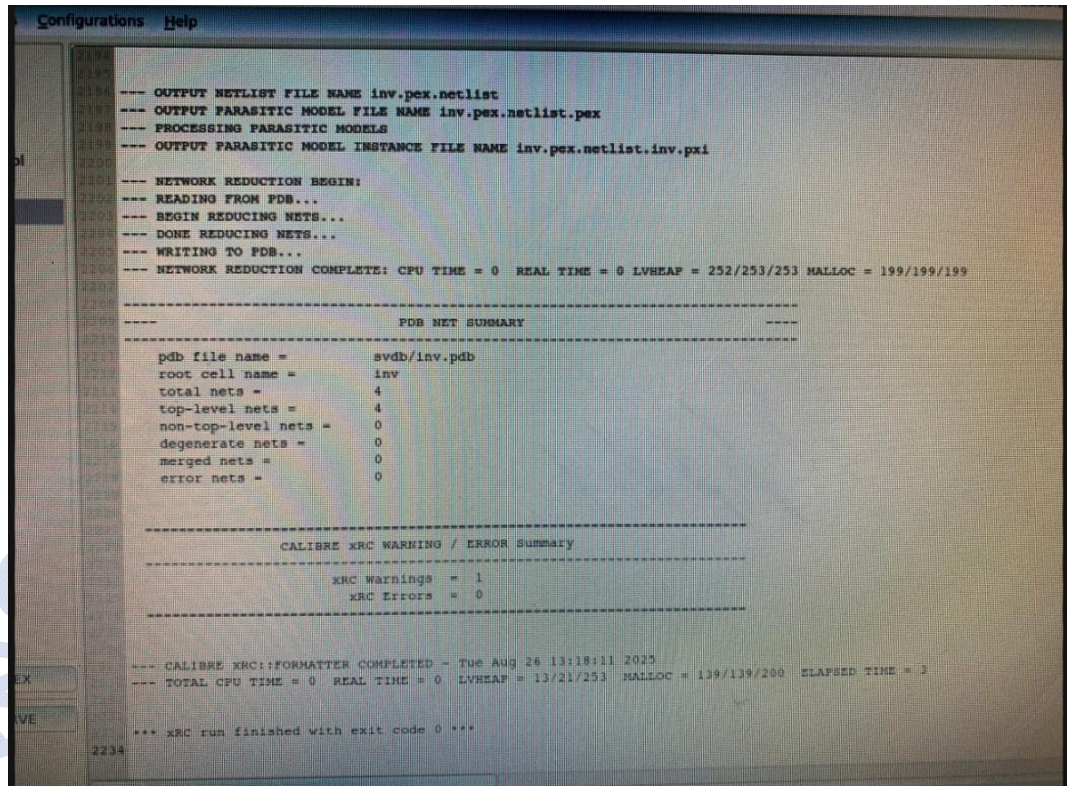
## 3. Kiểm tra LVS:



*Hình: Kết quả kiểm tra LVS tương thích với schematic.*

LVS (Schematic Versus Layout) kiểm tra sự tương thích giữa thiết kế của Layout với Schematic ban đầu đồng thời đảm bảo mạch hoạt động đúng sau khi Layout. Màn hình kết quả hiển thị trên thông báo Layout đã khớp với schematic.

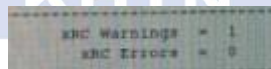
#### 4. Kiểm tra PEX:



```
Configurations Help
2197
2198 --- OUTPUT NETLIST FILE NAME inv.pex.netlist
2199 --- OUTPUT PARASITIC MODEL FILE NAME inv.pex.netlist.pex
2200 --- PROCESSING PARASITIC MODELS
2201 --- OUTPUT PARASITIC MODEL INSTANCE FILE NAME inv.pex.netlist.inv.pxi
2202
2203 --- NETWORK REDUCTION BEGIN:
2204 --- READING FROM PDB...
2205 --- BEGIN REDUCING NETS...
2206 --- DONE REDUCING NETS...
2207 --- WRITING TO PDB...
2208 --- NETWORK REDUCTION COMPLETE: CPU TIME = 0 REAL TIME = 0 LVHEAP = 252/253/253 MALLOC = 199/199/199
2209
2210 -----
2211 PDB NET SUMMARY
2212 -----
2213 pdb file name = svdb/inv.pdb
2214 root cell name = inv
2215 total nets = 4
2216 top-level nets = 4
2217 non-top-level nets = 0
2218 degenerate nets = 0
2219 merged nets = 0
2220 error nets = 0
2221
2222 -----
2223 CALIBRE XRC WARNING / ERROR Summary
2224 -----
2225 XRC Warnings = 1
2226 XRC Errors = 0
2227
2228 -----
2229 --- CALIBRE XRC::FORMATTER COMPLETED - Tue Aug 26 13:18:11 2025
2230 --- TOTAL CPU TIME = 0 REAL TIME = 0 LVHEAP = 13/21/253 MALLOC = 139/139/200 ELAPSED TIME = 3
2231
2232 *** xrc run finished with exit code 0 ***
2234
```

*Hình: Kiểm tra PEX thành công.*

PEX (Parasitic Extraction) là bước trích xuất ký sinh sau Layout

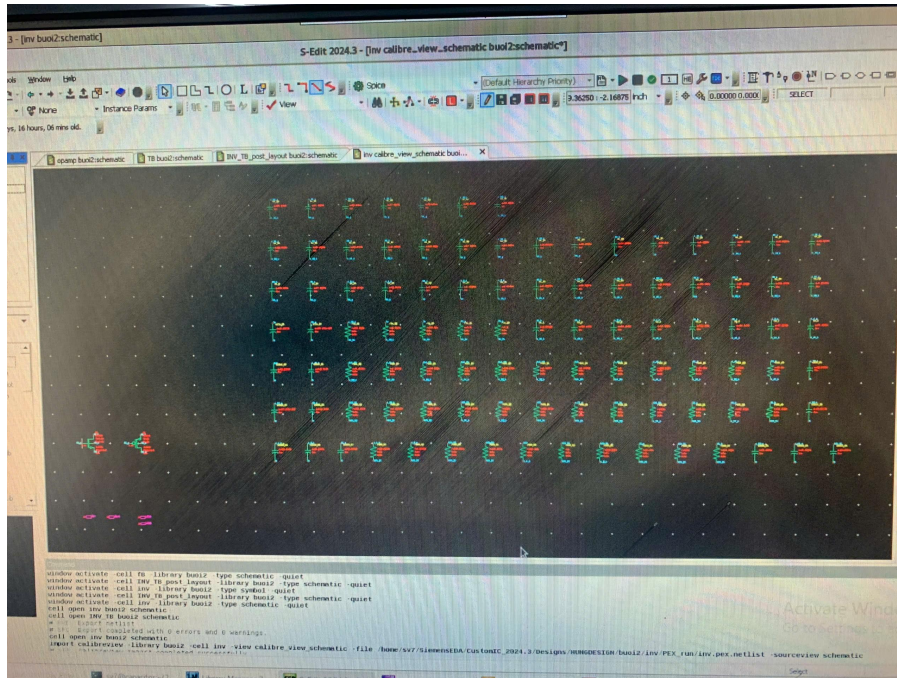


```
XRC Warnings = 1
XRC Errors = 0
```

Ở đây hiển thị không có lỗi nào khi trích xuất ký sinh

➤ Trích xuất ký sinh:

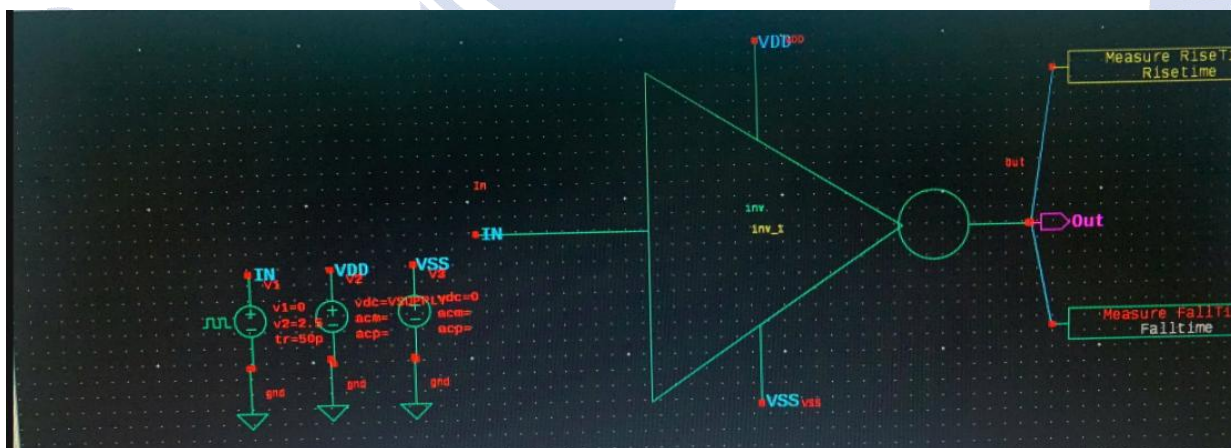




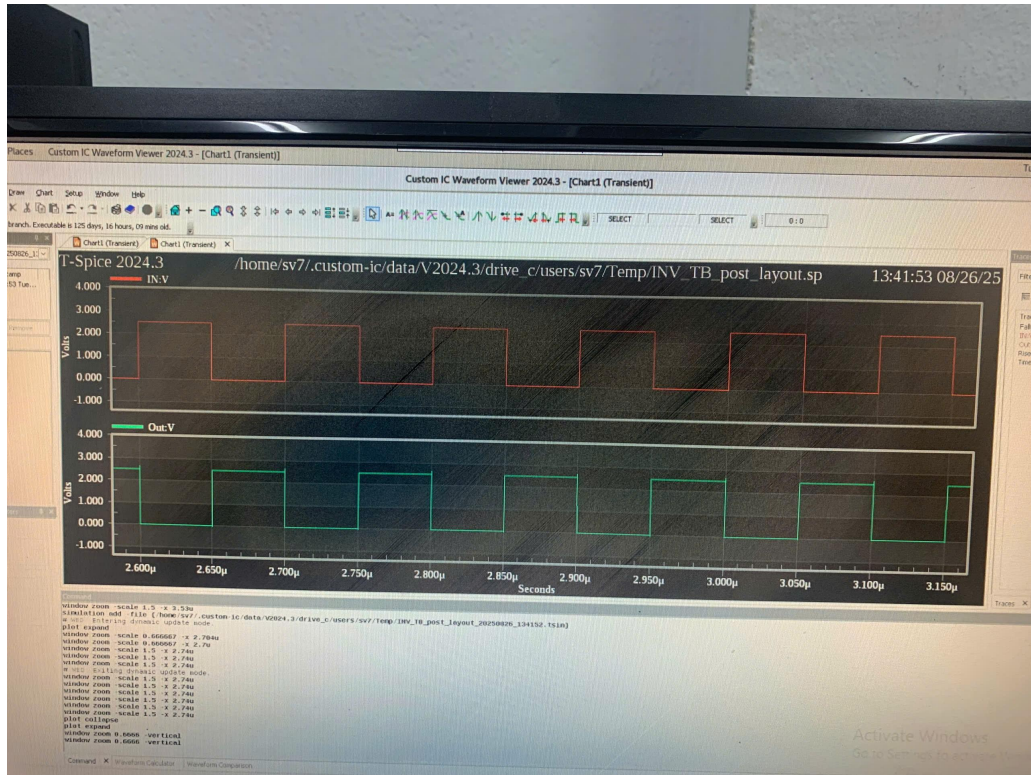
Hình: Kết quả trích xuất ký sinh.

Tụ điện ký sinh và điện trở ký sinh chứa trong Layout được hiển thị sau khi trích xuất.

## 5. Kiểm tra Function của mạch sau layout



Hình: Mạch testbench kiểm tra function.



Hình: Kết quả kiểm tra function của mạch sau layout.

Kết quả cho thấy mạch vẫn hoạt động đúng Function tuy nhiên do chạy sau Layout tức là bao gồm cả các thành phần ký sinh đã trích suất bên trên nên dạng sóng sẽ thường không còn vuông giống hết lúc trước layout mà có thể hơi méo dạng.

