

***BÁO CÁO THỰC HÀNH
SUMMER COURSE 2025
CUSTOM IC DESIGN***

**LAB 1:
INVERTER (FRONT-END)**

Nhóm 7 (ca 2)

Họ và tên thành viên:

Phạm Vũ Tuấn Hưng 22200067

Phạm Vĩnh Khang 22200079

Giảng viên:

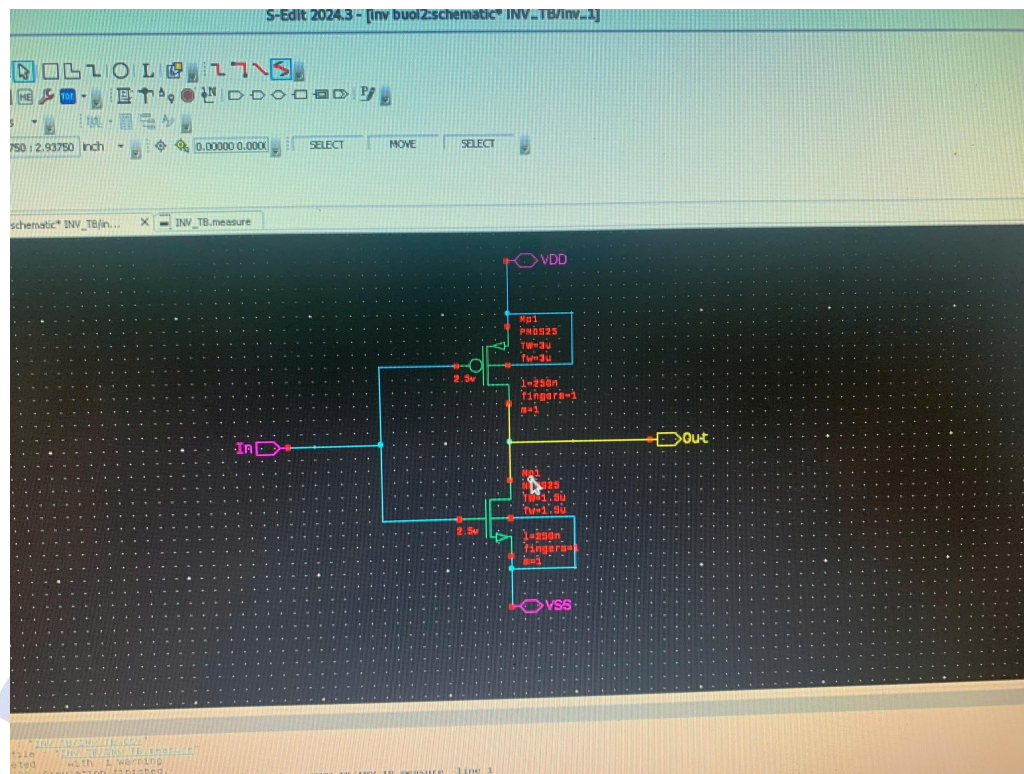
Nguyễn Mai Minh Kha

Nguyễn Vũ Minh Thành

Phạm Thế Hùng

Thành phố Hồ Chí Minh, August 25, 2025

1. Schematic

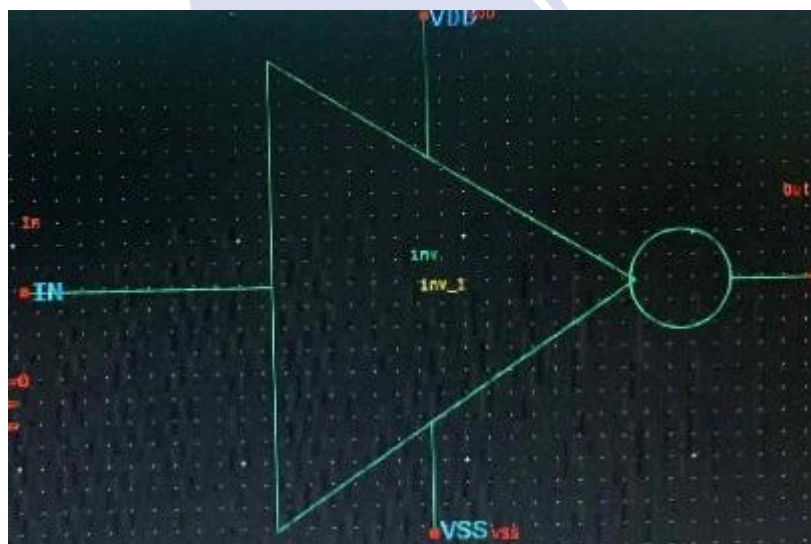


Hình: Schematic của mạch inv.

Mạch inverter gồm 1 NMOS và 1 PMOS

- Khi $V_{IN} = 1 \rightarrow$ NMOS ‘dẫn’, PMOS ‘ngưng’ $\rightarrow V_{OUT} = 0$.
- Khi $V_{IN} = 0 \rightarrow$ PMOS ‘dẫn’, NMOS ‘ngưng’ $\rightarrow V_{OUT} = 1$.

2. Symbol



Hình: Symbol của mạch inv

3. Kiểm tra function của mạch INVERTER

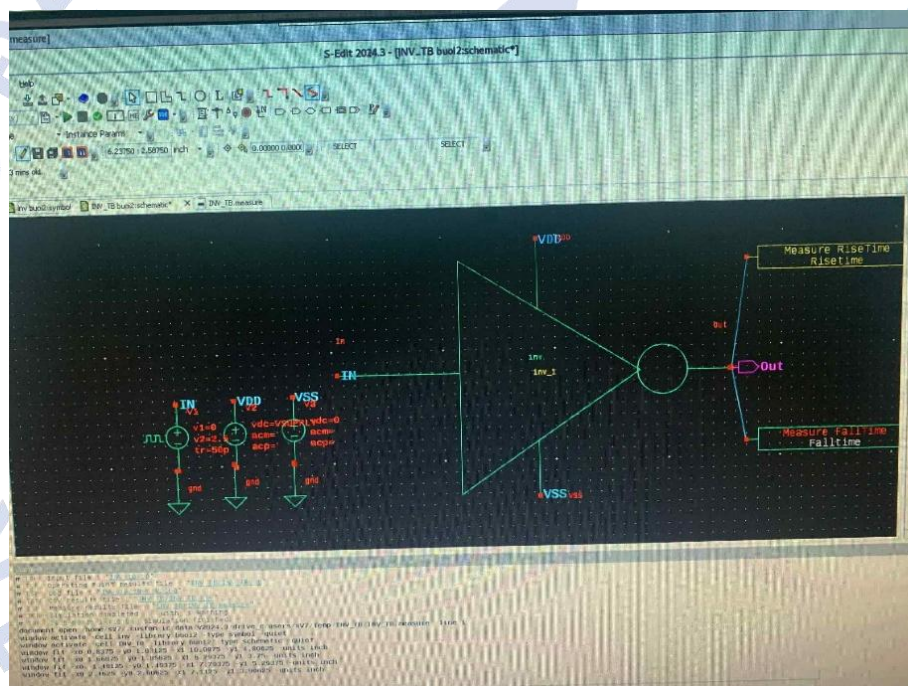
Tỷ lệ kích thước của PMOS/NMOS:

- PMOS: $W = 3\mu$; $L = 250\text{nm}$.
- NMOS: $W = 1.5\mu$; $L = 250\text{nm}$.

Bảng trạng thái:

IN	OUT
0	1
1	0

Bảng: Logic của mạch inverter.



Hình: Testbench của mạch INVERTER.

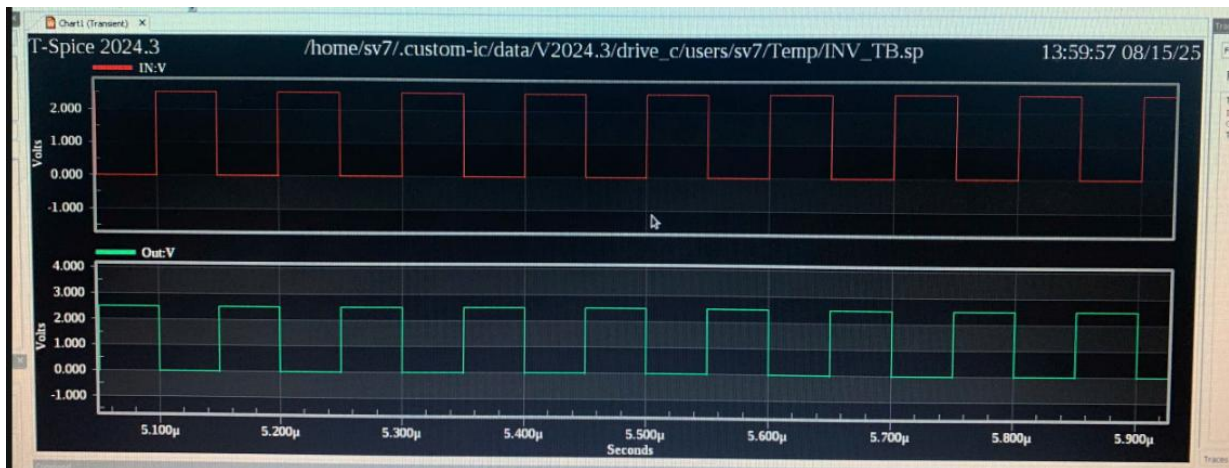
❖ Kiểm tra Transient:

Thông số setup mô phỏng:

Stop Time: 10000n

Maximum Time Step: 10n

Tiến hành mô phỏng ở ngõ ra và ngõ vào của inverter

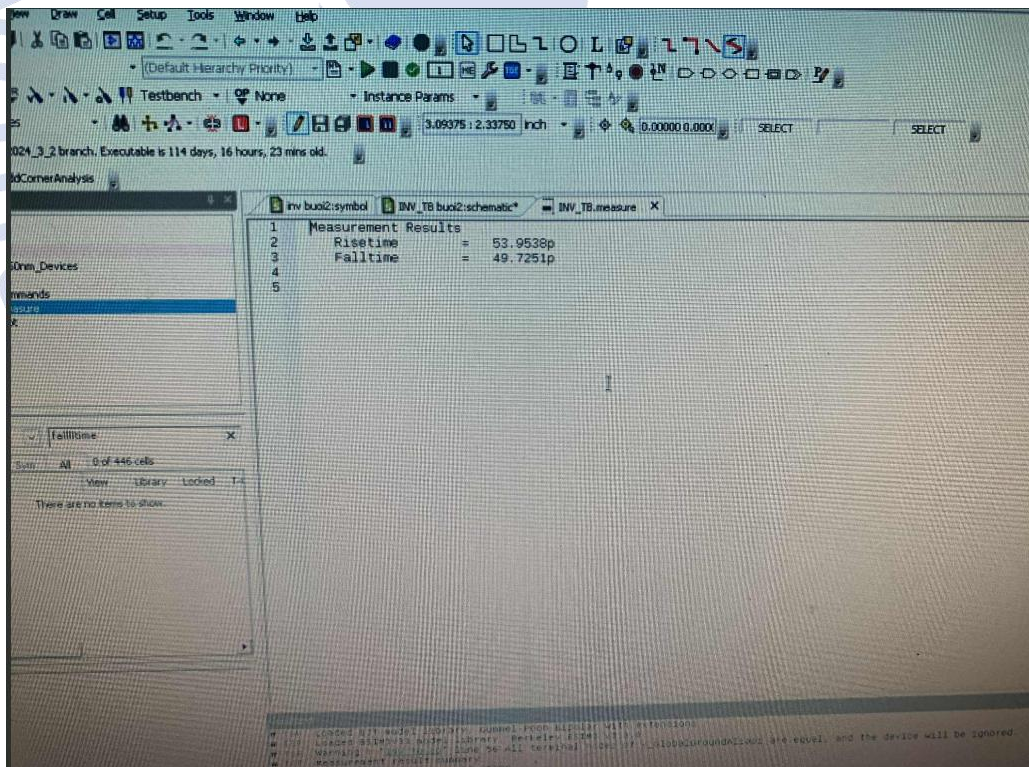


Hình: Kết quả khi chạy Transient của mạch.

❖ Nhận xét:

- Nhìn chung mạch đã hoạt động đúng theo logic cơ bản của inverter.
- Tín hiệu ra (đường màu xanh) có xung vuông ngược pha hoàn toàn với tín hiệu ngõ vào (đường màu đỏ) tại mỗi thời điểm.
- Tín hiệu ngõ ra đáp ứng đảm bảo mức logic: mức 1 (ngõ ra đạt $2.5V = V_{DD}$) và mức 0 (ngõ ra đạt $0V = V_{SS}$)

❖ Đo Rise_Time và Fall_Time Output của mạch:



Hình: đo rise time và fall time của mạch inv

Kết quả đo:

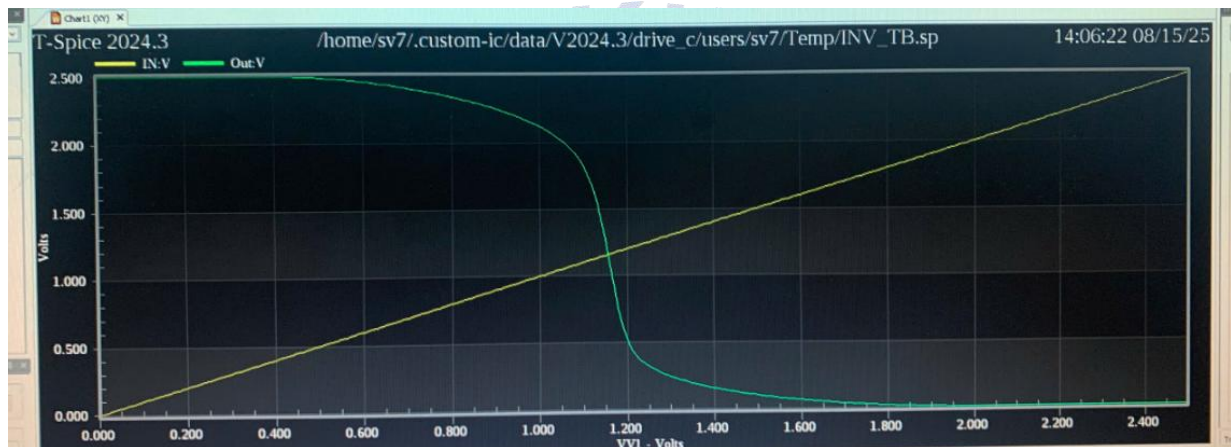
Rise time: $t_r = 53.9530ps$

Fall time: $t_f = 49.7251ps$

Sự chênh lệch giữa rise time và fall time là không đáng kể

$53.9530 - 49.7251 = 4.2279ps$ cho thấy rằng mạch hoạt động cân bằng và ổn định

❖ Kiểm tra DC:



Hình: Kết quả chạy DC của mạch inverter.

❖ Nhận xét:

- Điểm giao nhau của 2 đường thẳng xanh và vàng được gọi là trippoint (Điểm chuyển mạch). Tạm gọi là V_M .
- Ở khoảng $[1, 1.2]$ tại đó PMOS và NMOS hoạt động ở trạng thái saturation và tại đó giá trị xấp xỉ $\frac{V_{DD}}{2}$. Tùy theo mong muốn của người yêu cầu mà điểm chuyển mạch có thể sớm hơn hoặc trễ hơn chứ không nhất thiết ở $\frac{V_{DD}}{2}$.