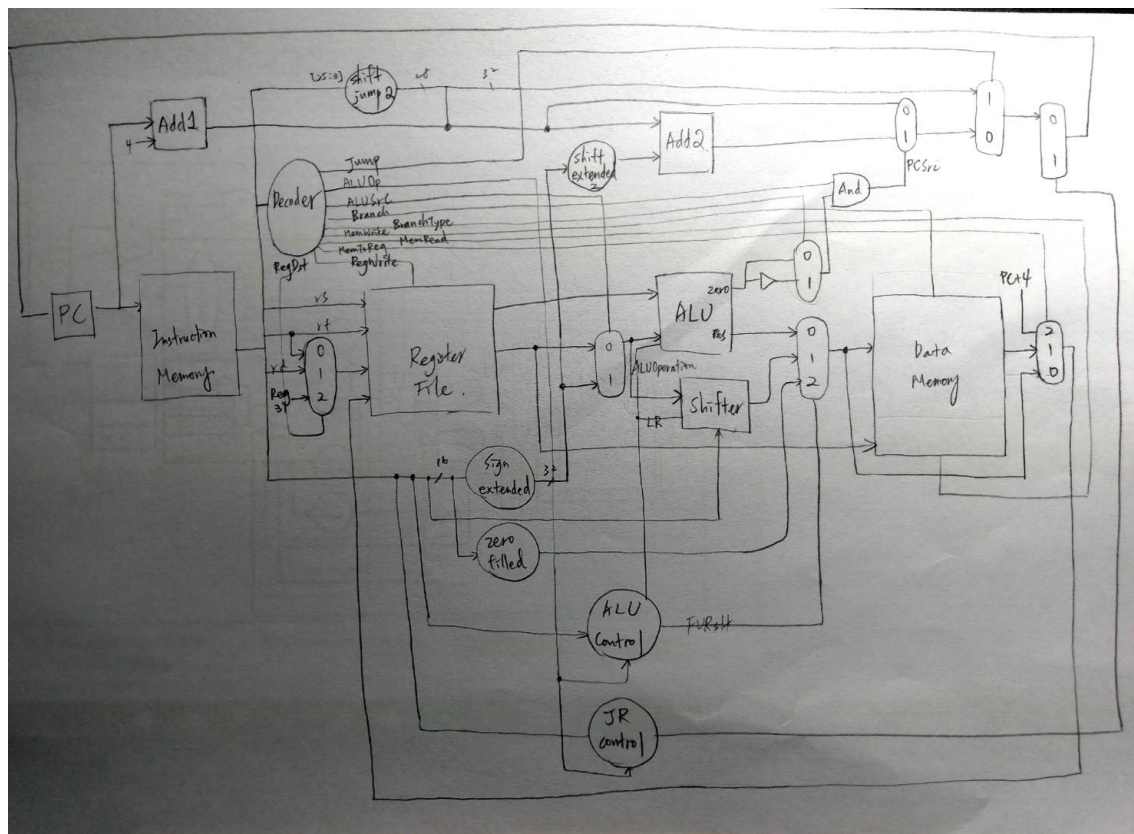
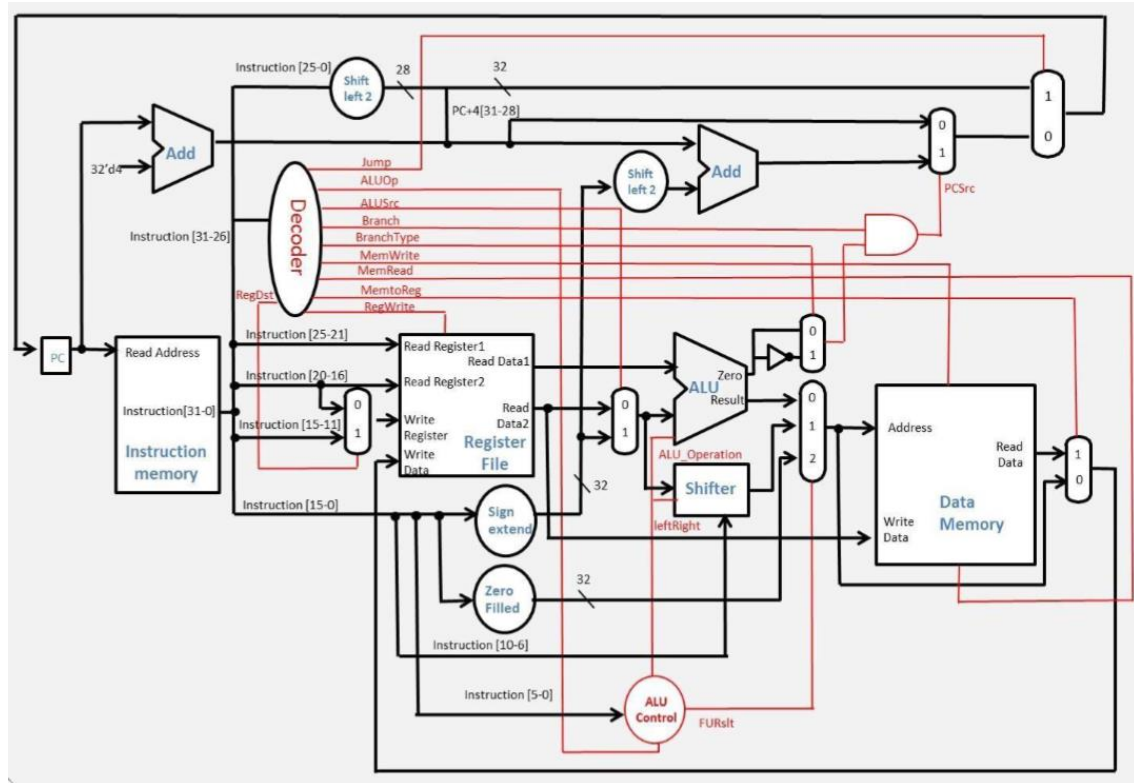


Computer Organization

Architecture diagrams:



Hardware module analysis:

Single cycle CPU

Finished part:

Lw

Sw

Branch

Jump

Jal

Jr

Problems you met and solutions:

1. 寫 Decoder 時，不知道 don' t care 的 signal 如果未設值，會使用上個指令的 signal 沿用下來的值，導致錯誤。後來將所有 don' t care 的 signal 都設值，結果才正確。
2. 寫 jr 時，沒有注意到因為 jr 是 R-type，會 write back 到 r0，導致錯誤。後來發現可以使用 Zero Filled 這個 module 讓寫回 register 的資料為零。

Summary:

這次作業的 bugs 找了很久，發現使用 testbench debug 非常方便，以後要多加運用。