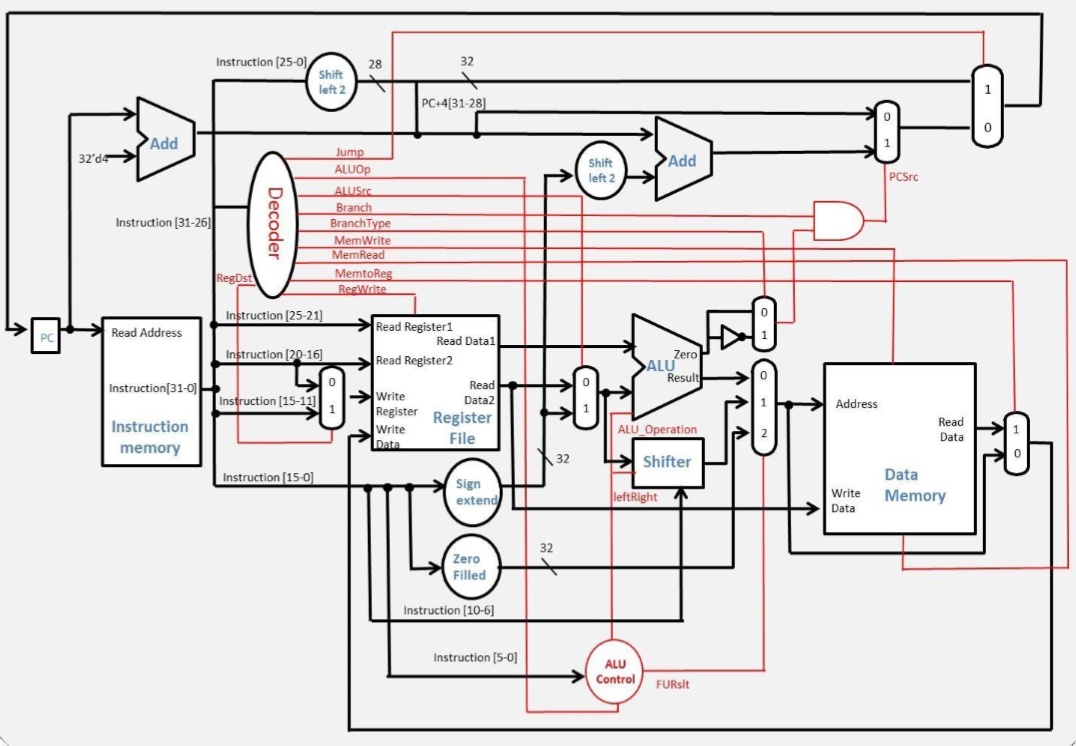
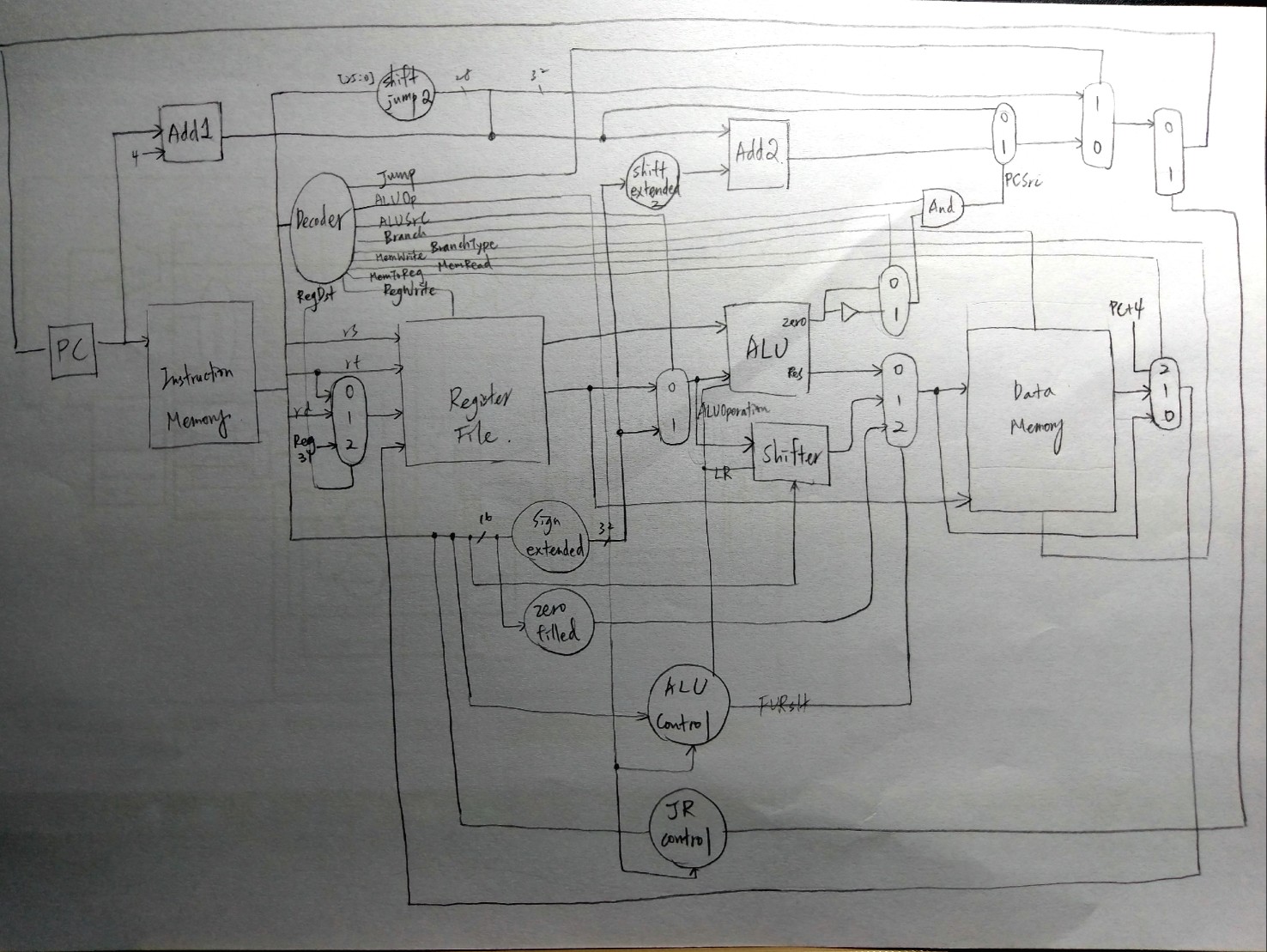
**Computer Organization**

**Architecture diagrams:**

****

****

**Hardware module analysis:**

**Single cycle CPU**

**Finished part:**

**Lw**

**Sw**

**Branch**

**Jump**

**Jal**

**Jr**

**Problems you met and solutions:**

**1. 寫Decoder時，不知道don’t care的signal如果未設值，會使用上個指令的signal沿用下來的值，導致錯誤。後來將所有don’t care的signal都設值，結果才正確。**

**2. 寫jr時，沒有注意到因為jr是R-type，會write back到r0，導致錯誤。後來發現可以使用Zero Filled這個module讓寫回register的資料為零。**

**Summary:**

**這次作業的bugs找了很久，發現使用testbench debug非常方便，以後要多加運用。**