

Ho Chi Minh City University of Technology
FACULTY OF COMPUTER SCIENCE & ENGINEERING



Laboratory Manual

Digital Systems

Experiment Lab 4

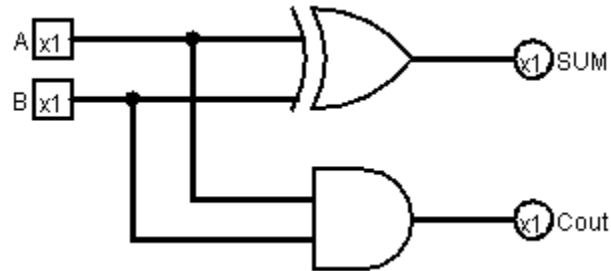
Group 5:	Nguyễn Ngọc Song Thương	MSSV: 2252803
	Nguyễn Tiến Hưng	MSSV: 2252280
	Lê Ngọc Minh Thư	MSSV: 2252795
	Hà Nguyễn Bảo Phúc	MSSV: 2252628

Hồ Chí Minh, 11/2022

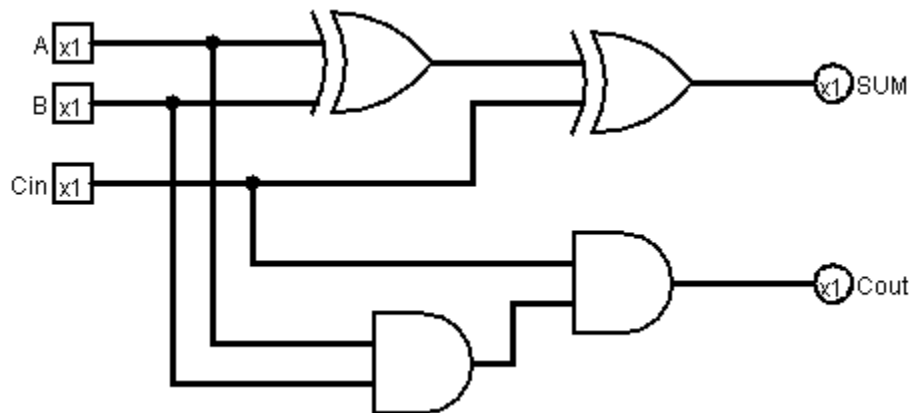
1. Thiết kế và mô phỏng mạch Full Adder từ các mạch Half Adder

1.1 Thiết kế trên Logisim:

Sơ đồ mạch thiết kế Half Adder:



Sơ đồ mạch thiết kế Full Adder:



Bảng sự thật (Truth Table) của mạch thiết kế:

Input A	Input B	C_in	Sum	C_out
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0

0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

1.2 Mô phỏng Logisim:

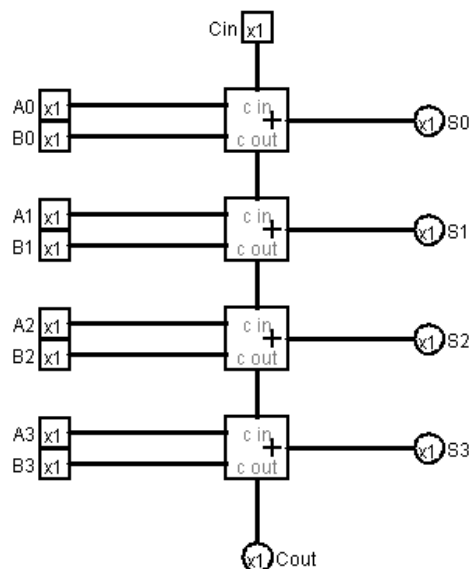
Link Video demo mạch hoạt động trên Logisim:

<https://drive.google.com/file/d/1BH9aS9EvR6D90EGcLtwRfk8FGBS2Fb3V/view?usp=sharing>

2. Thiết kế, mô phỏng, và lắp mạch 4-bit Ripple Carry Adder IC 7483:

2.1 Thiết kế

Sơ đồ mạch thiết kế 4-bit Ripple Carry Adder (Schematic Design) dựa trên mạch Full Adder thiết kế ở câu 1:



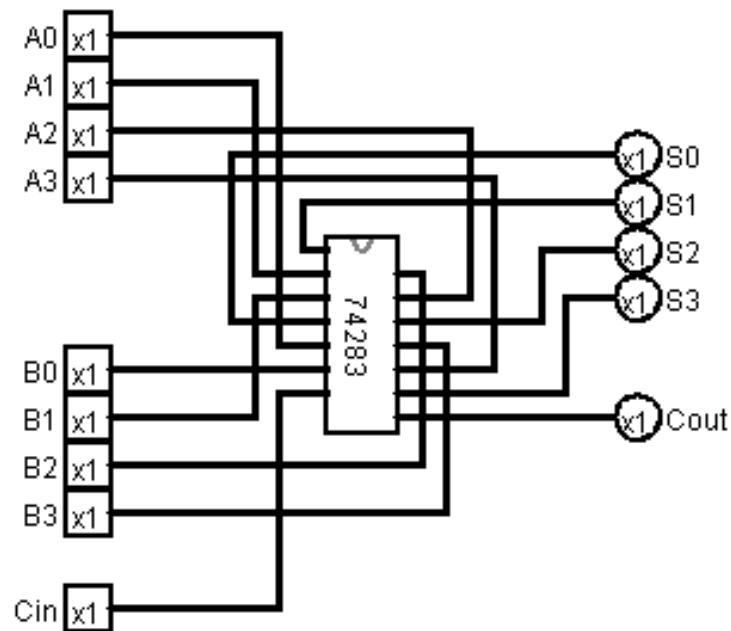
Điền bảng sự thật với các giá trị sau (Với A0, B0, S0 là LSB):

- $A = 7_{10} = 0111_2$, $B = 3_{10} = 0011_2$, với $Cin = 0$
- $A = 0_{10} = 0000_2$, $B = 0_{10} = 0000_2$, với $Cin = 1$
- $A = 11_{10} = 1011_2$, $B = 8_{10} = 1000_2$, với $Cin = 1$
- $A = 15_{10} = 1111_2$, $B = 15_{10} = 1111_2$, với $Cin = 0$
- $A = 5_{10} = 0101_2$, $B = 1_{10} = 0001_2$, với $Cin = 1$
- $A = 13_{10} = 1101_2$, $B = 2_{10} = 0010_2$, với $Cin = 1$

A3	A2	A1	A0	B3	B2	B1	B0	Cin	S3	S2	S1	S0	Cout
0	1	1	1	0	0	1	1	0	1	0	1	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	1	1	1	0	0	0	1	0	1	0	0	1
1	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	0	1	0	0	0	1	1	0	1	1	1	0
1	1	0	1	0	0	1	0	1	0	0	0	0	1

2.2 Mô phỏng

Hình thiết kế mạch lắp IC 7483 trên Logisim:

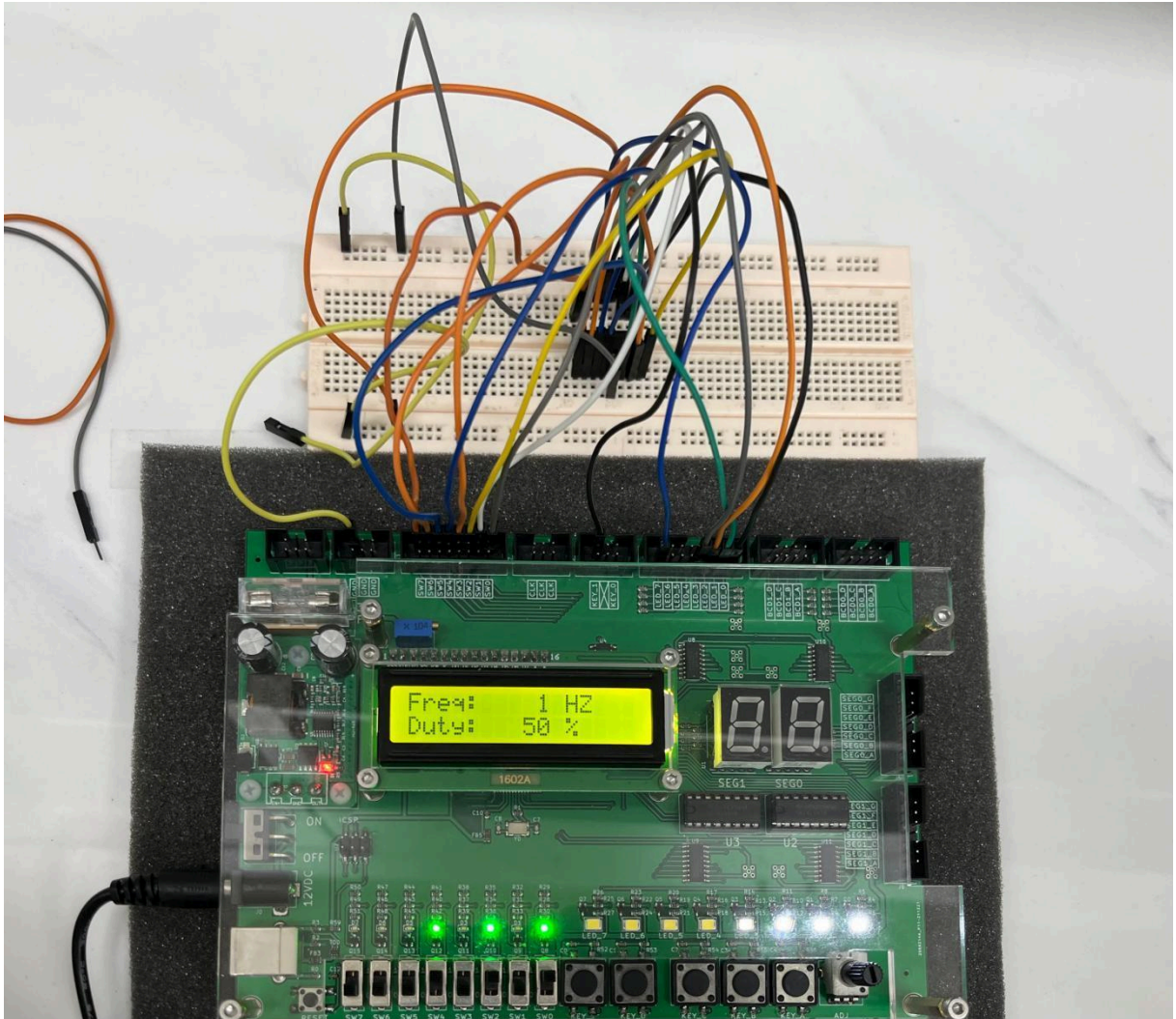


Link video demo hoạt động IC 7483 trên Logisim:

<https://drive.google.com/file/d/1eK8g1jULXvybDorjDdPVshX0dcXc62yA/view?usp=sharing>

2.3 Lắp mạch

Hình mạch lắp IC 7483 trên DS Kit:



Link video demo mạch lắp IC 7483 trên DS Kit:

https://drive.google.com/file/d/115iUU5__D80tnanDYyhn-_fUEWUCOhNC/view?usp=drivesdk

3. Thiết kế, mô phỏng, và lắp mạch MOD-10 Asynchronous Up Counter sử dụng D FlipFlop hoặc JK FlipFlop:

3.1 Thiết kế

Thiết kế mạch yêu cầu:

- Step 1: Xác định mạch: Asynchronous/Synchronous Counter | UP/DOWN Counter
- Step 2: Xác định FlipFlop: J-K FlipFlop / D FlipFlop / T FlipFlop
Positive / Negative Edge Trigger
- Step 3: Xác định số FlipFlop cần hiện thực:
 - o Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - o Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - o Số State xảy ra của mạch yêu cầu: 10
 - o Vậy mạch thiết kế cần có 4 FF để hoạt động.
- Step 4: Xác định State cần được thể hiện:

Bảng trạng thái:

CLK	Q(A) (MSB)	Q(B)	Q(C)	Q(D) (LSB)
↑ or ↓	0	0	0	0
↑ or ↓	0	0	0	1
↑ or ↓	0	0	1	0
↑ or ↓	0	0	1	1
↑ or ↓	0	1	0	0
↑ or ↓	0	1	0	1

↑ or ↓	0	1	1	0
↑ or ↓	0	1	1	1
↑ or ↓	1	0	0	0
↑ or ↓	1	0	0	1

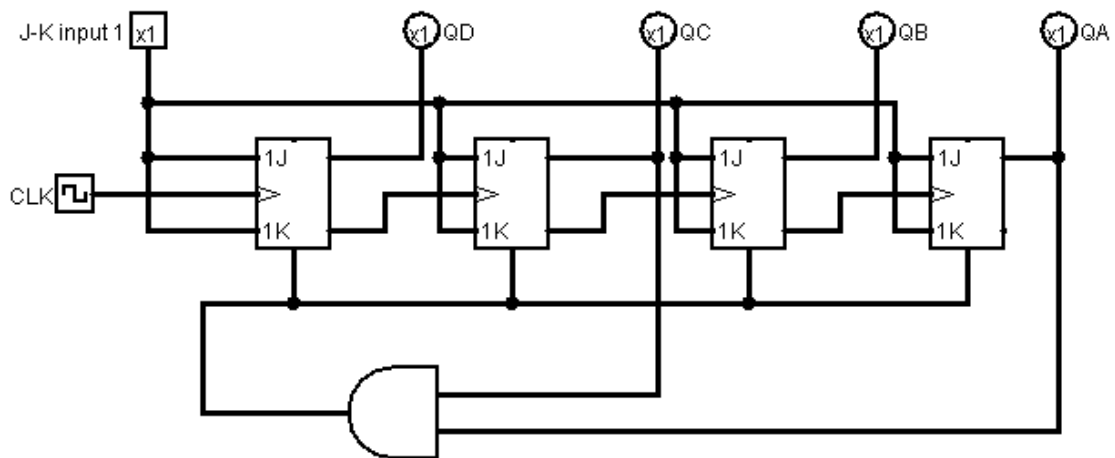
- Step 5: Các thay đổi của trạng thái:

0000_2 (initial) $\rightarrow 0001_2 \rightarrow 0010_2 \rightarrow 0011_2 \rightarrow 0100_2 \rightarrow 0101_2 \rightarrow 0110_2 \rightarrow$

$0111_2 \rightarrow 1000_2 \rightarrow 1001_2 \rightarrow 0000_2$ (initial)

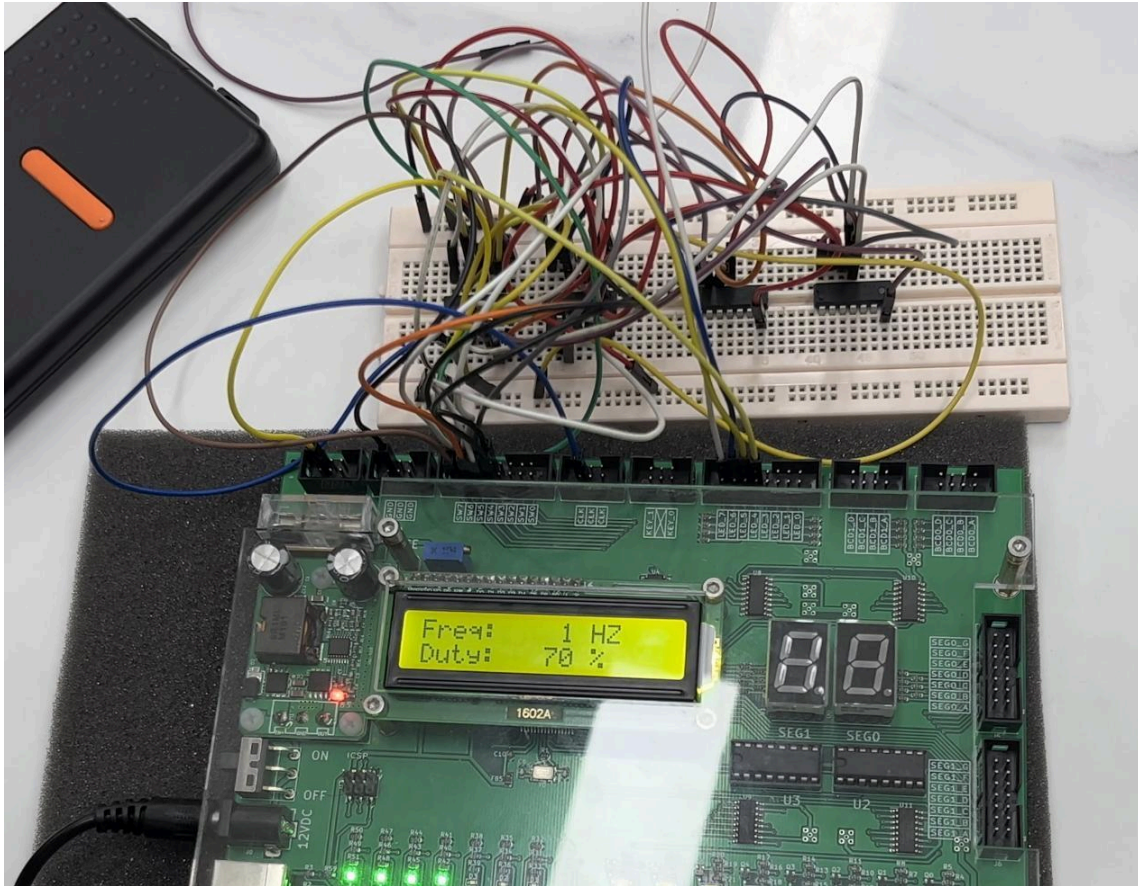
- Step 6: Kết nối của đầu ra Q với giá trị khởi tạo (CLEAR) – Vẽ mạch thiết kế:

Sơ đồ mạch thiết kế MOD-10 Asynchronous Up Counter:



3.2 Lắp mạch

Hình chụp mạch lắp

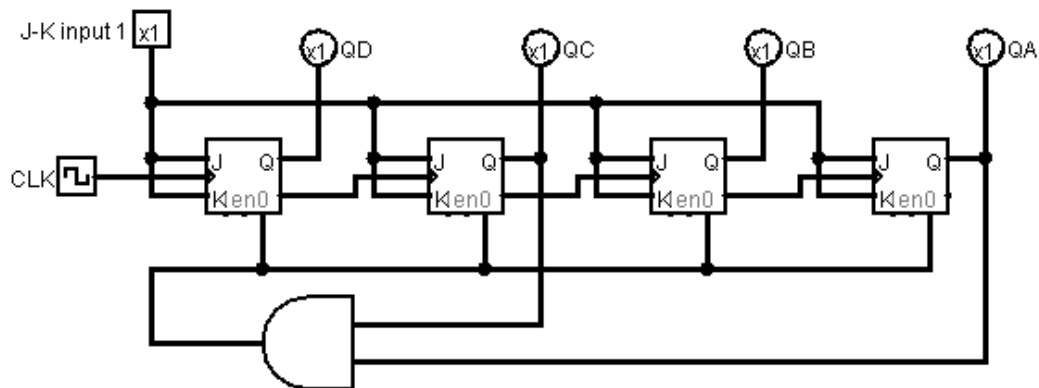


Video demo mạch hoạt động:

https://drive.google.com/file/d/1PYpO2Dn1nVjvbWpzn-M4Y8A1R2_ntV_S/view?usp=drive_sdk

3.3 Mô phỏng Logisim

Hình chụp mạch trên Logisim



Video demo mạch hoạt động trên Logisim:

<https://drive.google.com/file/d/145pu7ElWJv-27gsSTQZOinDdXHoGUxea/view?usp=sharing>

4. Trả lời câu hỏi:

4.1 What is the difference between asynchronous and synchronous counters?

- The difference between synchronous and asynchronous counter is shown in the table below:

Synchronous counter	Asynchronous counter
All flip flops are clocked simultaneously with similar clock input	All the flip flops are clocked with different input signals at different instants of time
Lower propagation delay	Higher propagation delay (each unit operates after getting the clock input from the previous unit)
More complex to design	Less complex to design

4.2 What is the procedure to design a synchronous counter?

- Step 1: Find the number of flip flops using $2^n \geq N$, where N is the number of states and n is the number of flip flops.
- Step 2: Choose the type of flip flop.
- Step 3: Draw the state diagram of the counter.
- Step 4: Draw the excitation table of the selected flip flop and determine the excitation table for the counter.
- Step 5: Use K-map to derive the flip flop input functions.