

Ho Chi Minh City University of Technology
FACULTY OF COMPUTER SCIENCE & ENGINEERING



Laboratory Manual

Digital Systems

Experiment Lab 5

Group 5:	Nguyễn Ngọc Song Thương	MSSV: 2252803
	Nguyễn Tiến Hưng	MSSV: 2252280
	Lê Ngọc Minh Thư	MSSV: 2252795
	Hà Nguyễn Bảo Phúc	MSSV: 2252628

Hồ Chí Minh, 11/2022

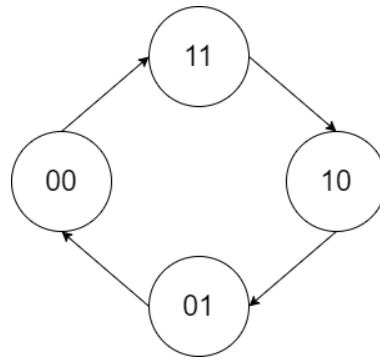
1. Thiết kế, mô phỏng và lắp mạch MOD-4 Synchronous DOWN Counter sử dụng D FlipFlop

Thiết kế:

Thiết kế mạch theo yêu cầu:

- **Step 1:** Xác định cơ chế hoạt động của mạch:
Synchronous Counter |DOWN Counter
- **Step 2:** Xác định FlipFlop:
D FlipFlop
Positive / Negative Edge Trigger
- **Step 3:** Xác định số FlipFlop cần hiện thực:
 - Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - Số State xảy ra của mạch yêu cầu: 4
 - Vậy mạch thiết kế cần có 2 FF để hoạt động.
- **Step 4:** Xác định State cần thể hiện và sự thay đổi của trạng thái:
 $11_2 \text{ (initial)} \rightarrow 10_2 \rightarrow 01_2 \rightarrow 00_2 \rightarrow 11_2 \text{ (initial)}$

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5:** Bảng trạng thái của mạch yêu cầu.

CLK	Current state		Next state		DB	DA
	B (MSB)	A	B	A		
↑	0	0	1	1	1	1
↑	0	1	0	0	0	0
↑	1	0	0	1	0	1
↑	1	1	1	0	1	0

- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

- Bảng K-Map cho đầu vào DB:

Table Template	A'	A
B'	1	0
B	0	1

Biểu thức cho DB: $A'B' + AB$

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

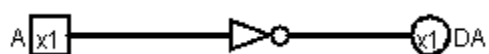


- Bảng K-Map cho đầu vào DA:

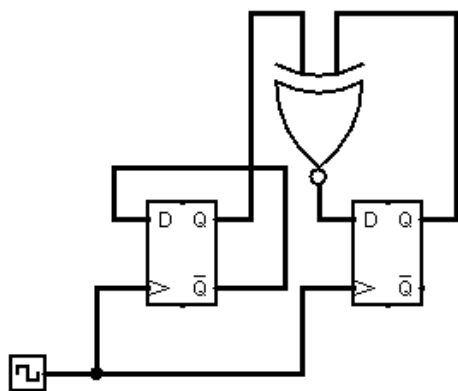
Table Template	A'	A
B'	1	0
B	1	0

Biểu thức cho DA: A'

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

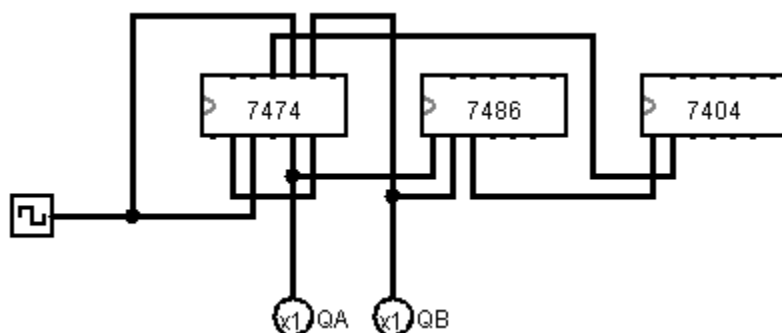


- **Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



Mô phỏng Logisim:

Hình mạch trên mô phỏng Logisim:

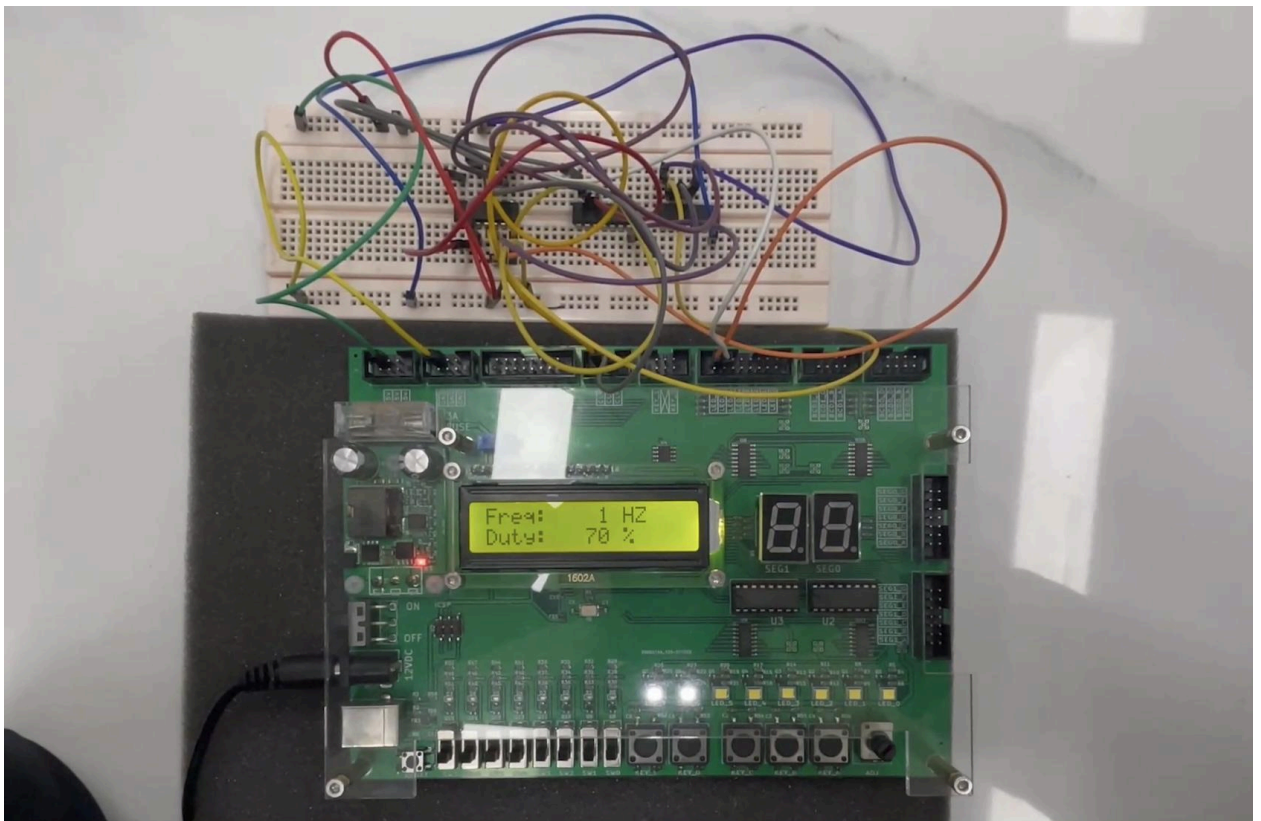


Link Video demo mạch hoạt động trên Logisim:

https://drive.google.com/file/d/1zOWrSd_CEVooR2GCtf2xQy8j68xrlO8O/view?usp=share_link

Lắp mạch:

Hình mạch lắp trên Tickit:



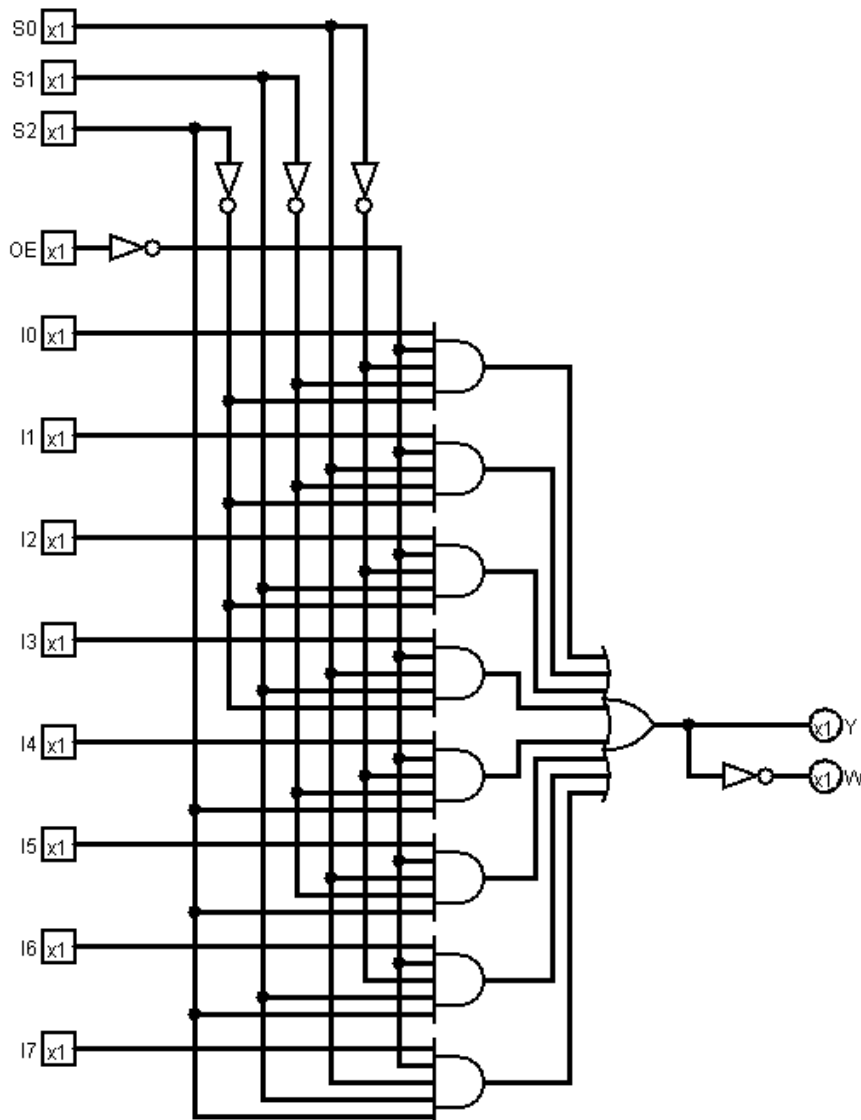
Link video demo nói về mạch hoạt động trên Tickit:

https://drive.google.com/file/d/1x0oQO5QITOVFs4KLX81Rj5cvqEOBUJJ/view?usp=drive_link

2. Thiết kế, mô phỏng, và lắp mạch 8-to-1 Multiplexer sử dụng IC 74151:

Thiết kế

Vẽ lại sơ đồ mạch nguyên lý 8-to-1 Multiplexer gồm các công luận lý dựa theo các chân của IC74151 thực tế:



Yêu cầu kết nối chân:

D2 → Clock

D5 → LSB ở bài 1

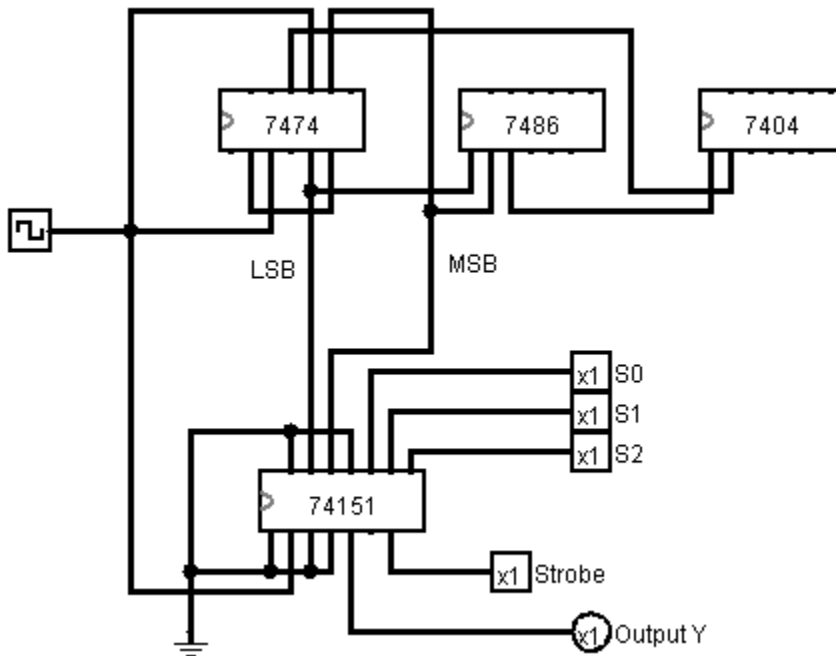
D6 → MSB ở bài 1

Bảng sự thật (Truth Table):

Input Select			Strobe	Output Y
S2	S1	S0		
x	x	x	1	0
0	0	1	0	D1
1	0	0	0	D4
0	1	0	0	D2
1	0	1	0	D5
1	1	0	0	D6

Mô phỏng

Hình thiết kế IC 74151 trên Logisim (kết nối với bài 1):

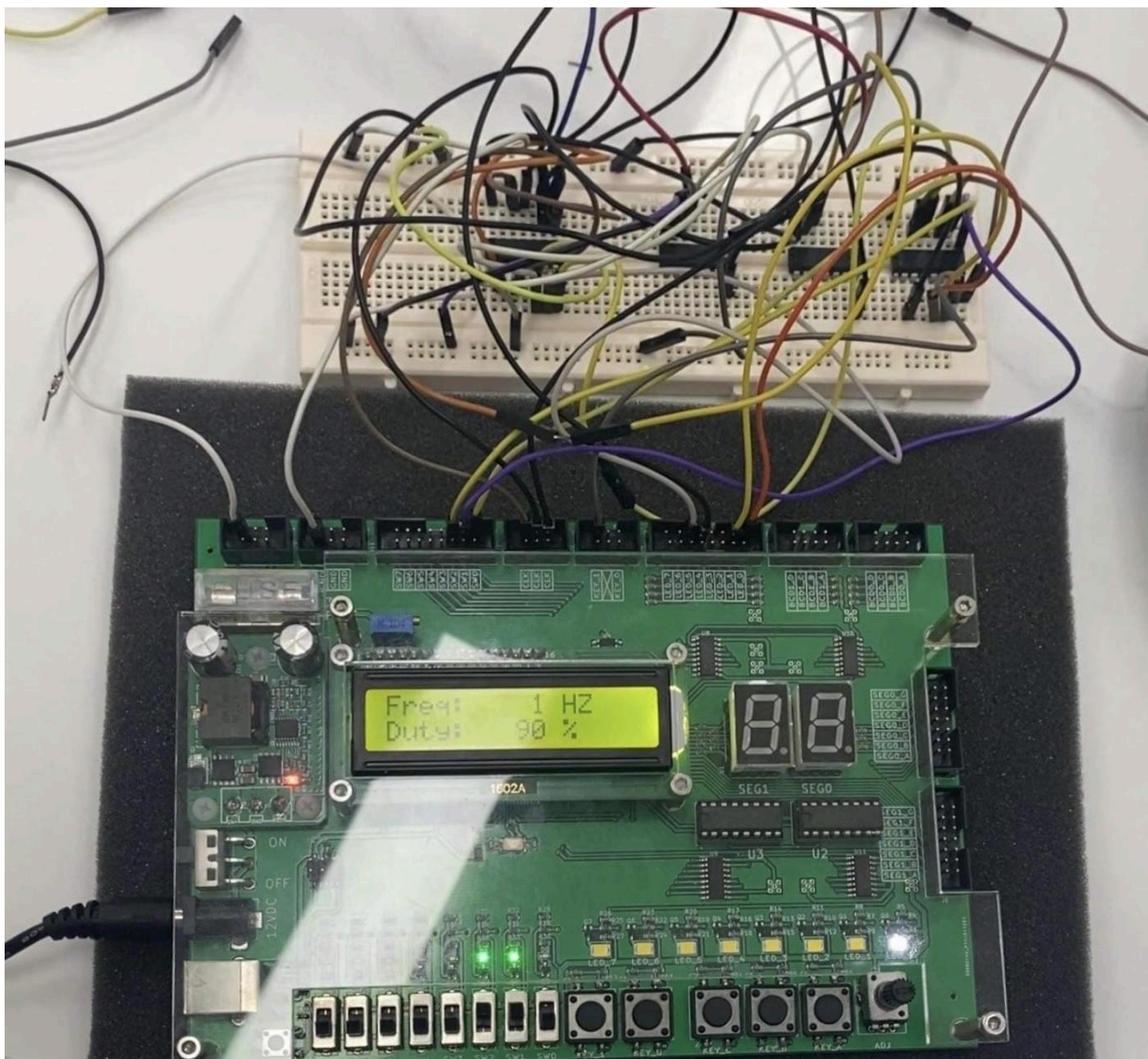


Link video demo hoạt động IC74151 trên Logisim:

https://drive.google.com/file/d/1-X6MV85mL2yrKQzbLfjgmgAAAn4v7VNKi/view?usp=share_link

Lắp mạch

Hình mạch lắp trên DS Kit:



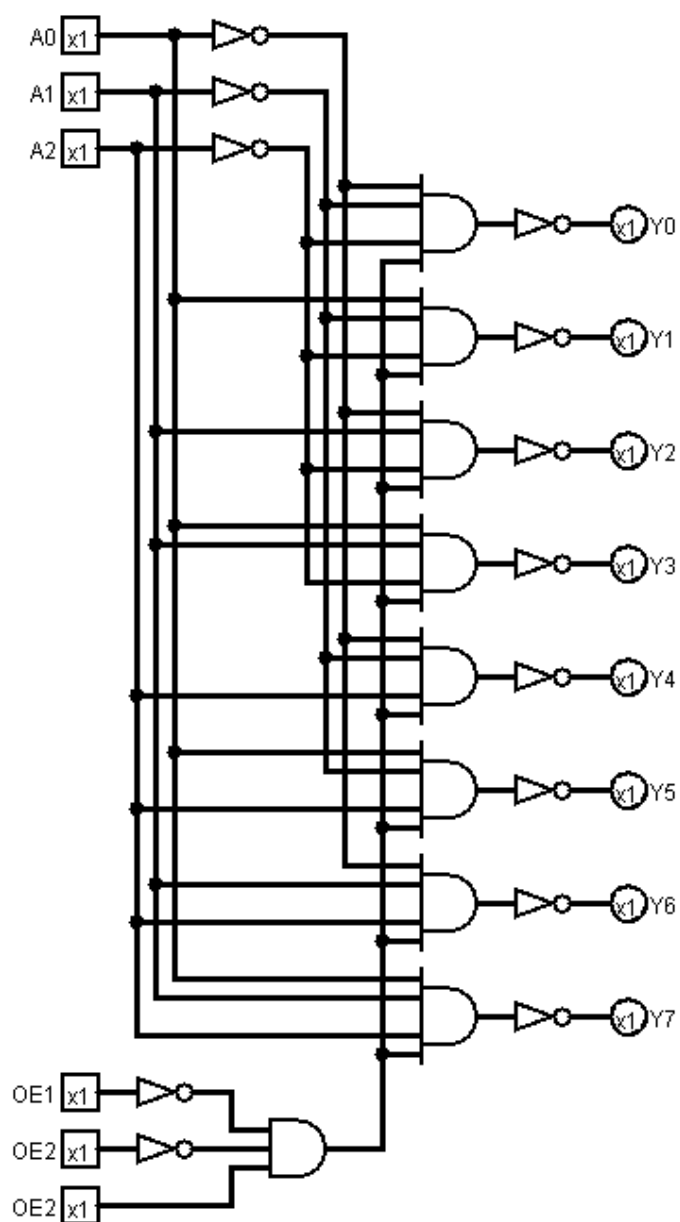
Link video demo nói về mạch lắp trên DS Kit:

<https://drive.google.com/file/d/1dN6GrH9Hv0FWfU2YVQi1Vg3BcFquFEDf/view?usp=drivesdk>

3. Thiết kế và mô phỏng mạch 3-to-8 Decoder sử dụng IC74138:

Thiết kế

Vẽ lại sơ đồ mạch nguyên lý 3-to-8 Decoder gồm các cổng luận lý dựa theo các chân của IC74138 trong Logisim:

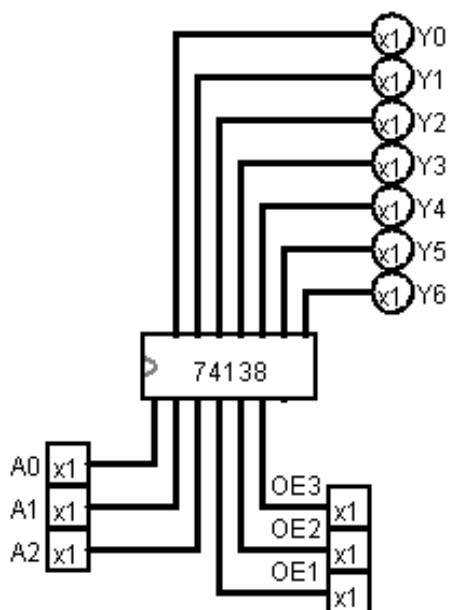


Bảng chân trị của mạch 3-to-8 Decoder IC74138 theo Logisim:

OE1 (G2 A')	OE2 (G2 B')	OE3 (G1)	A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
1	0	0	0	1	0	H	H	H	H	H	H	H	H
0	0	1	1	0	0	H	H	H	L	H	H	H	H
0	0	1	0	0	1	H	H	H	H	H	H	L	H
0	0	1	1	1	1	L	H	H	H	H	H	H	H
1	1	0	1	0	1	H	H	H	H	H	H	H	H
0	0	1	0	1	1	H	H	H	H	L	H	H	H
0	1	0	0	0	0	H	H	H	H	H	H	H	H
0	0	1	1	1	0	H	L	H	H	H	H	H	H

Mô phỏng Logisim

Hình mạch mô phỏng trên Logisim



Video demo mạch hoạt động trên Logisim:

https://drive.google.com/file/d/1KolHVx8eemLCtmN955m1f2oG6mEz9vTq/view?usp=share_link

4. Thiết kế và mô phỏng mạch 8-bit magnitude comparator sử dụng IC7485:

Thiết kế

Cho các giá trị 8-bit sau:

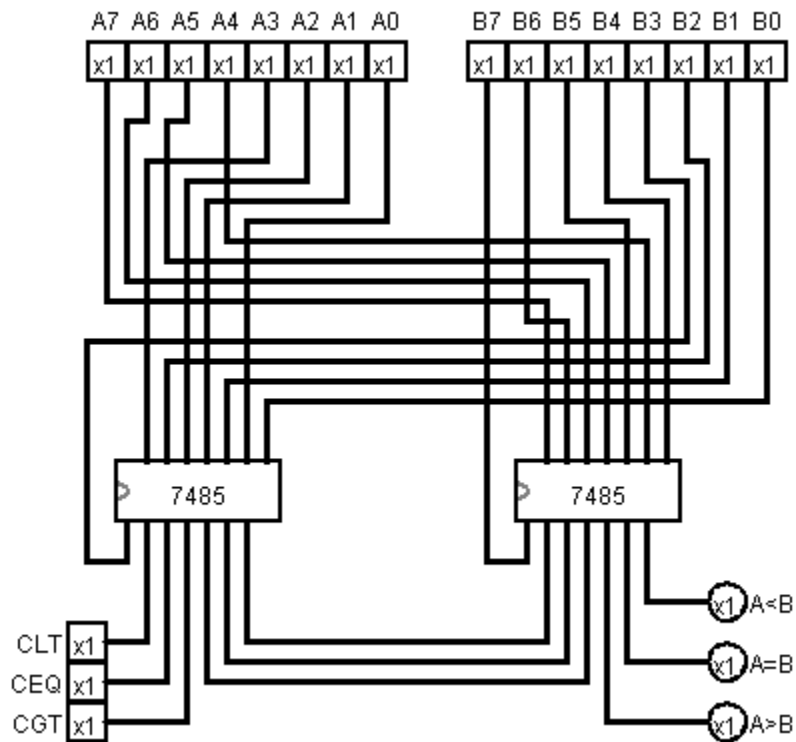
- $A = 54_{10} = 00110110_2$, $B = 79_{10} = 01001111_2$
- $A = 88_{10} = 01011000_2$, $B = 200_{10} = 11001000_2$
- $A = 133_{10} = 10000101_2$, $B = 183_{10} = 10110111_2$
- $A = 22_{10} = 00010110_2$, $B = 22_{10} = 00010110_2$
- $A = 115_{10} = 01110011_2$, $B = 78_{10} = 01001110_2$
- $A = 35_{10} = 00100011_2$, $B = 253_{10} = 11111101_2$

Hoàn thành bảng chân trị của mạch 8-bit magnitude comparator IC7485 theo Logisim
(Trong đó A0 và B0 là LSB):

A 0	A 1	A 2	A 3	A 4	A 5	A 6	A 7	B 0	B 1	B 2	B 3	B 4	B 5	B 6	B 7	Y G T	Y L T	Y E Q
0	0	1	1	0	1	1	0	0	1	0	0	1	1	1	1	0	1	0
0	1	0	1	1	0	0	0	1	1	0	0	1	0	0	0	0	1	0
1	0	0	0	0	1	0	1	1	0	1	1	0	1	1	1	0	1	0
0	0	0	1	0	1	1	0	0	0	0	1	0	1	1	0	0	0	1
0	1	1	1	0	0	1	1	0	1	0	0	1	1	1	0	1	0	0
0	0	1	0	0	0	1	1	1	1	1	1	1	1	0	1	0	1	0

Mô phỏng Logisim

Hình mạch thiết kế trên Logisim



Link video demo mạch so sánh các số đã cho trên Logisim:

https://drive.google.com/file/d/1fPMvo6ygyxBIB4S0Ah2otAkLQDMYcuZwV/view?usp=share_link

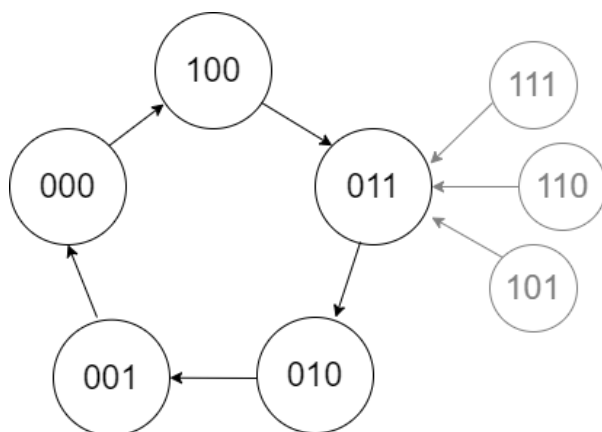
5. Thiết kế và mô phỏng MOD-5 Synchronous DOWN Counter sử dụng D FlipFlop

Thiết kế:

Thiết kế mạch theo yêu cầu:

- **Step 1:** Xác định cơ chế hoạt động của mạch:
Synchronous Counter |DOWN Counter
- **Step 2:** Xác định FlipFlop:
D FlipFlop.
Positive Edge Trigger
- **Step 3:** Xác định số FlipFlop cần hiện thực:
 - Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - Số State xảy ra của mạch yêu cầu: 5
 - Vậy mạch thiết kế cần có 3 FF để hoạt động.
- **Step 4:** Xác định State cần thể hiện và sự thay đổi của trạng thái:
 100_2 (initial) $\rightarrow 011_2 \rightarrow 010_2 \rightarrow 001_2 \rightarrow 000_2 \rightarrow 100_2$ (initial)

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5:** Bảng trạng thái của mạch yêu cầu.

CLK	Current state			Next state			DC	DB	DA
	C(M SB)	B	A	C	B	A			
↑	0	0	0	1	0	0	1	0	0
↑	0	0	1	0	0	0	0	0	0
↑	0	1	0	0	0	1	0	0	1
↑	0	1	1	0	1	0	0	1	0
↑	1	0	0	0	1	1	0	1	1
↑	1	0	1	0	1	1	0	0	0
↑	1	1	0	0	1	1	0	0	0
↑	1	1	1	0	1	1	0	0	0

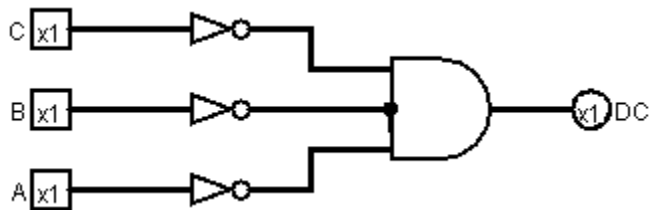
- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

Bảng K-Map cho đầu vào DC:

Table template	$C'B'$	$C'B$	CB	CB'
A'	1	0	0	0
A	0	0	0	0

Biểu thức cho DC: $C'B'A'$

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

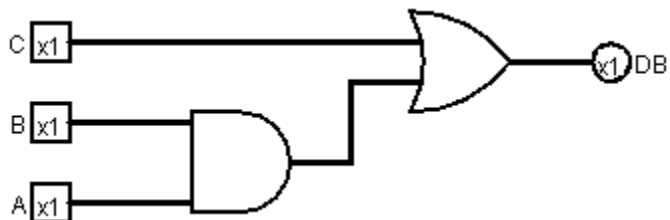


○ Bảng K-Map cho đầu vào DB:

Table template	$C'B'$	$C'B$	CB	CB'
A'	0	0	1	1
A	0	1	1	1

Biểu thức cho DB: $C + AB$

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

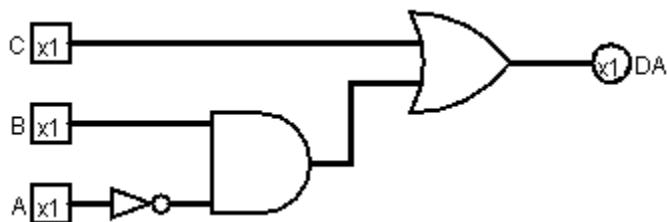


○ Bảng K-Map cho đầu vào DA:

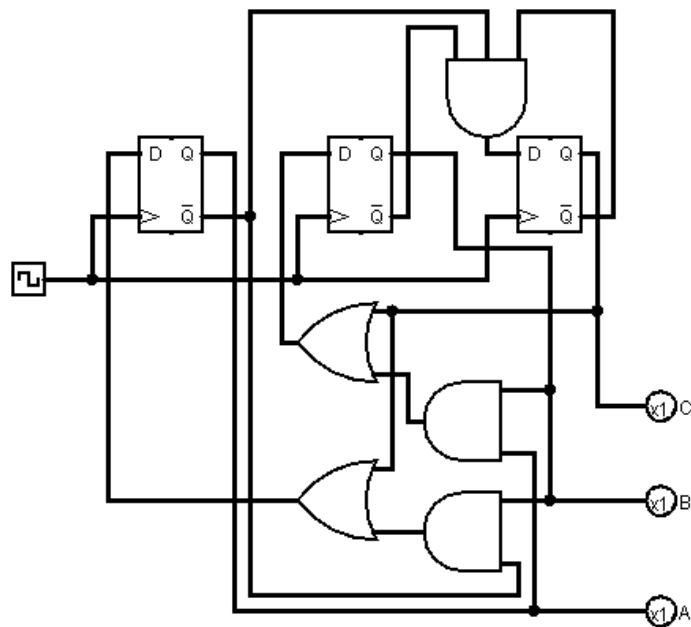
Table template	$C'B'$	$C'B$	CB	CB'
A'	0	1	1	1
A	0	0	1	1

Biểu thức cho DA: $C + A'B$

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

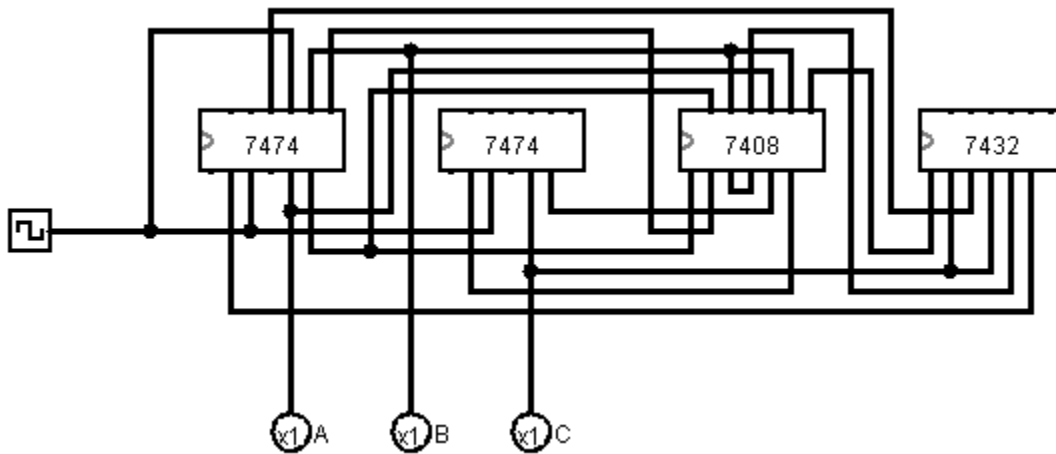


- Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



Mô phỏng Logisim:

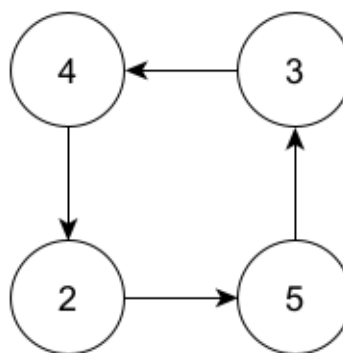
Hình mạch trên mô phỏng Logisim:



Link Video demo mạch hoạt động trên Logisim:

https://drive.google.com/file/d/1-0XW6ymz_UuXRJUoro9kz-0jZigX3QJZ/view?usp=share_link

6. Thiết kế, mô phỏng và lắp mạch Synchronous Counter sử dụng D FlipFlop dựa theo trạng thái sau:



Thiết kế:

Thiết kế mạch theo yêu cầu:

- **Step 1:** Xác định cơ chế hoạt động của mạch:

Synchronous Counter

- **Step 2:** Xác định FlipFlop:

D FlipFlop

Positive / Negative Edge Trigger

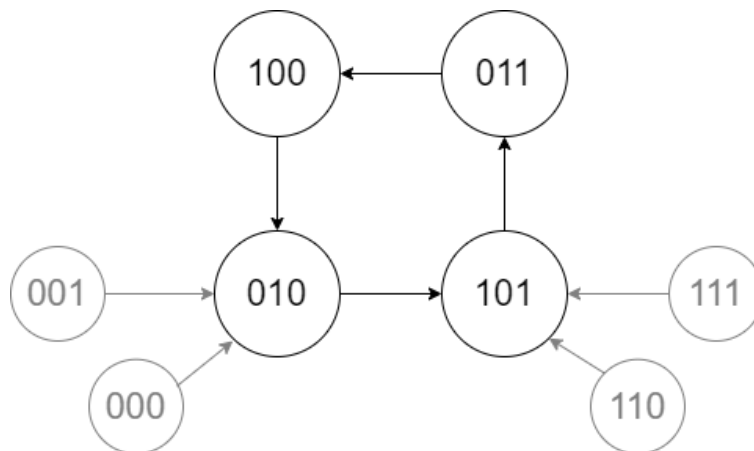
- **Step 3:** Xác định số FlipFlop cần hiện thực:

- Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
- Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
- Số State xảy ra của mạch yêu cầu: 4
- Vậy mạch thiết kế cần có 3 FF để hoạt động.

- **Step 4:** Xác định State cần thể hiện và sự thay đổi của trạng thái:

010_2 (initial) $\rightarrow 101_2 \rightarrow 011_2 \rightarrow 100_2 \rightarrow 010_2$ (initial)

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5:** Bảng trạng thái của mạch yêu cầu.

CLK	Q current state			Q next state			DC	DB	DA
	C	B	A	C	B	A			
↑	0	0	0	0	1	0	0	1	0
↑	0	0	1	0	1	0	0	1	0
↑	0	1	0	1	0	1	1	0	1
↑	0	1	1	1	0	0	1	0	0
↑	1	0	0	0	1	0	0	1	0
↑	1	0	1	0	1	1	0	1	1
↑	1	1	0	1	0	1	1	0	1
↑	1	1	1	1	0	1	1	0	1

Trong đó A là LSB và C là MSB.

- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

- Bảng K-Map cho đầu vào DC:

Table template	C'B'	C'B	CB	CB'
A'	0	1	1	0
A	0	1	1	0

Biểu thức cho DC: B

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

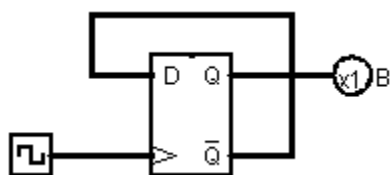


○ Bảng K-Map cho đầu vào DB:

Table template	$C'B'$	$C'B$	CB	CB'
A'	1	0	0	1
A	1	0	0	1

Biểu thức cho DB: B'

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

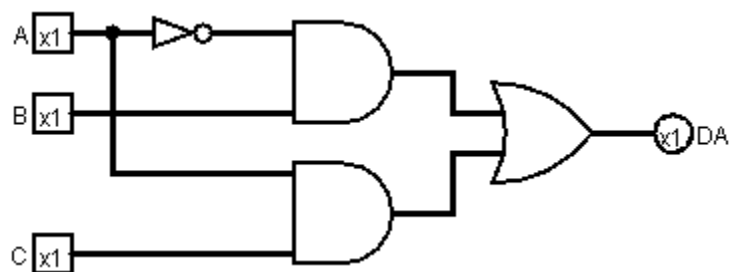


Bảng K-Map cho đầu vào DA:

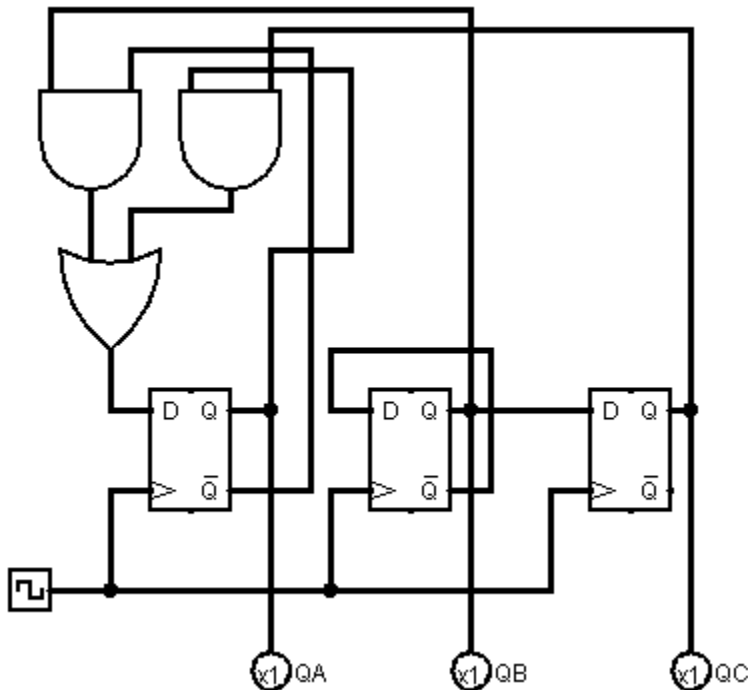
Table template	$C'B'$	$C'B$	CB	CB'
A'	0	1	1	0
A	0	0	1	1

Biểu thức cho DA: $BA' + CA$

Sơ đồ chân kết nối đầu ra Q và đầu vào D:

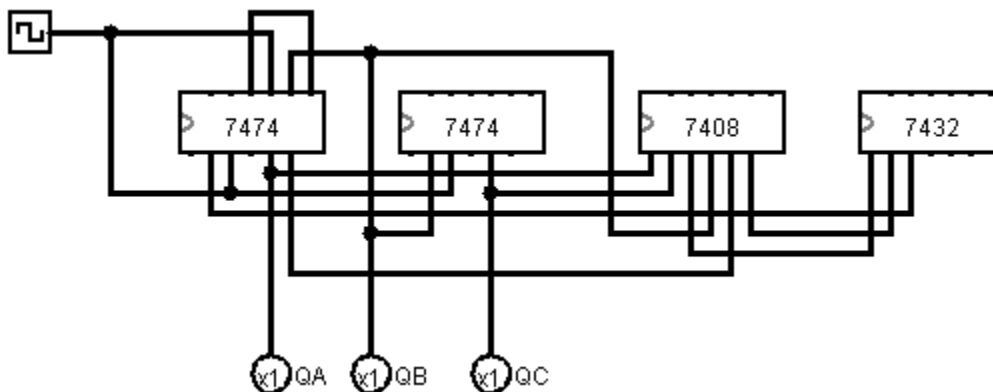


- **Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



Mô phỏng Logisim:

Hình mạch trên mô phỏng Logisim:

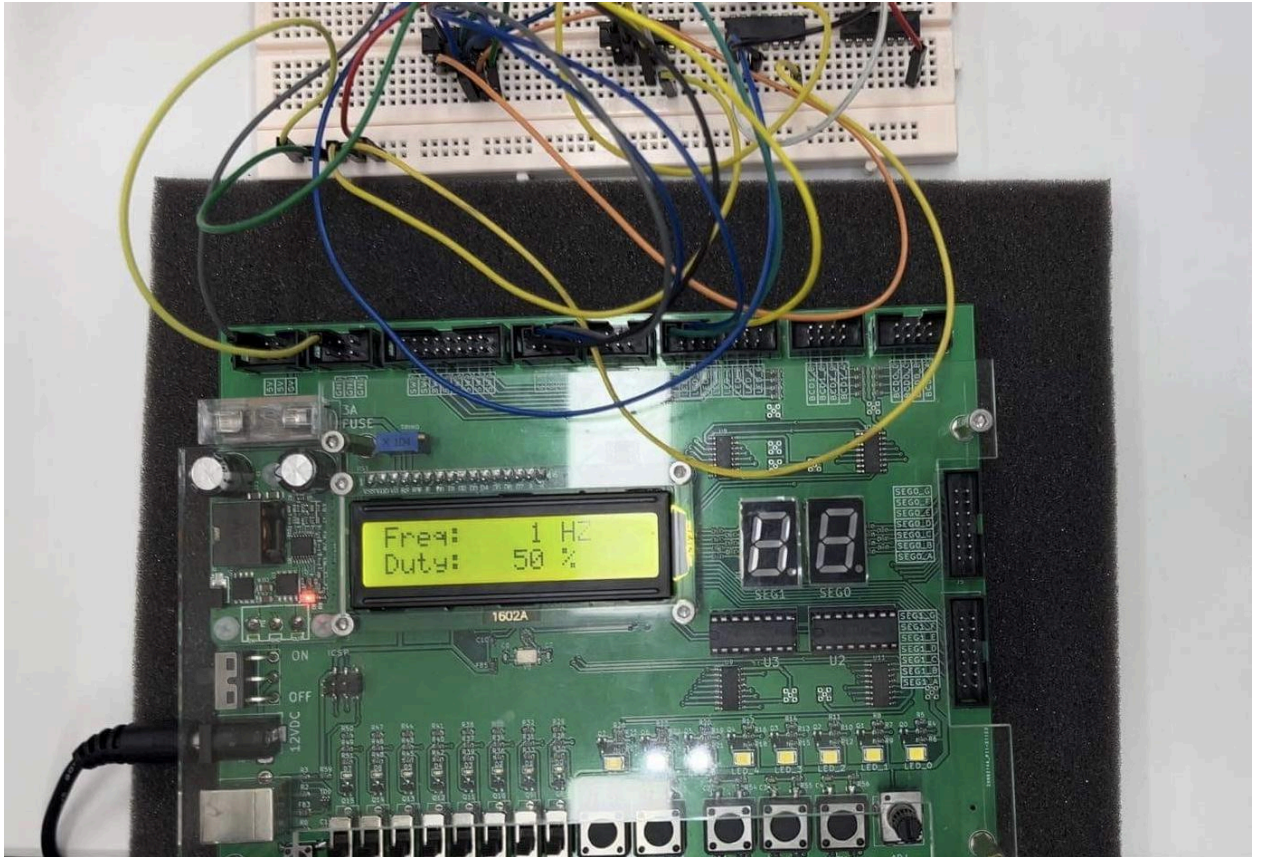


Link Video demo mạch hoạt động trên Logisim:

https://drive.google.com/file/d/17yeP8CoJq0qnyy5MiQ2nqw-yz55BtRK-/view?usp=share_link

Lắp mạch:

Hình mạch lắp trên Tickit:



Link video demo nói về mạch hoạt động trên Tickit:

https://drive.google.com/file/d/18kMAx3G-_SGKw--b5tiSKPzbnLgvFZPq/view?usp=drivesdk