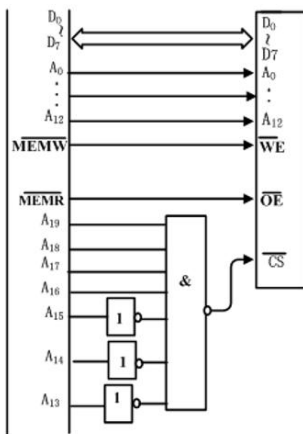




一. PPT 例题

例 1: 求芯片占据地址以及存储空间大小

按字节计算



解. 令 $\overline{CS} = 0$ 时, 芯片被选中. 因此 $A_{13}-A_{19}$ 需使 $\overline{CS} = 0$.

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	...	A_0
1	1	1	1	0	0	0	0	0	...	0 0#
							0	0	...	1 1#
									...	
							1	1	...	$2^{13}-1 \#$

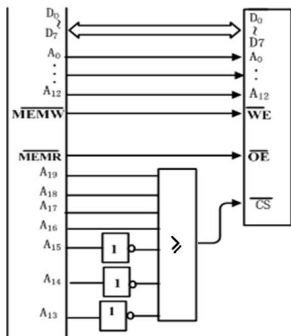
因此芯片占据地址空间为:

$F0000H \sim F1FFFH$

存储空间大小为 $2^{13} \text{ Byte} = 8 \times 2^{10} \text{ Byte} = 8 \text{ kB}$

PS: $1 \text{ kb} = 2^{10} \text{ bit}$ $1 \text{ KB} = 2^{10} \text{ Byte}$ $1 \text{ Byte} = 8 \text{ bit}$
 $1 \text{ Mb} = 2^{20} \text{ bit}$ $1 \text{ MB} = 2^{20} \text{ Byte}$
 $1 \text{ GB} = 2^{30} \text{ bit}$ $1 \text{ GB} = 2^{30} \text{ Byte}$

例 2: 求芯片占据地址以及存储空间大小



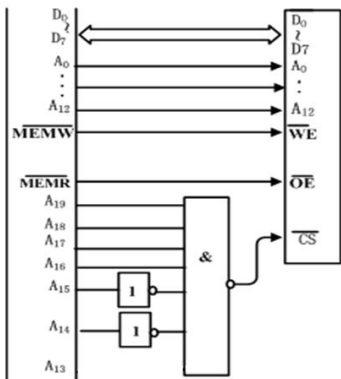
解. 令 $CS=0$, 芯片被选中, 因此

A_{11}	A_{12}	A_{13}	A_{14}	A_{15}	A_{16}	A_{17}	A_{18}	A_{19}	A_{20}		
0	0	0	0	1	1	1	0	0	0	0	4
							0	0	1	1	
							1	1	1	1	

芯片占据地址为: 0E000H ~ 0FFFFH

存储空间大小为 $2^3 \text{ Byte} = 8 \times 2^{10} \text{ Byte} = 8 \text{ KB}$

例 3: 求芯片占据地址以及存储空间大小



解: 令 $\overline{CS} = 0$, 则芯片被选中. 此时

$$\begin{array}{cccccccccccc} A_{19} & A_{18} & A_{17} & A_{16} & A_{15} & A_{14} & A_{13} & A_{12} & \dots & A_0 & & \\ 1 & 1 & 1 & 1 & 0 & 0 & \vdots & 0 & \dots & 0 & 0 & \# \\ & & & & & & \vdots & 0 & \dots & 1 & 1 & \# \\ & & & & & & & \vdots & & & & \\ & & & & & & & 1 & \dots & 1 & 2^{13}-1 & \end{array}$$

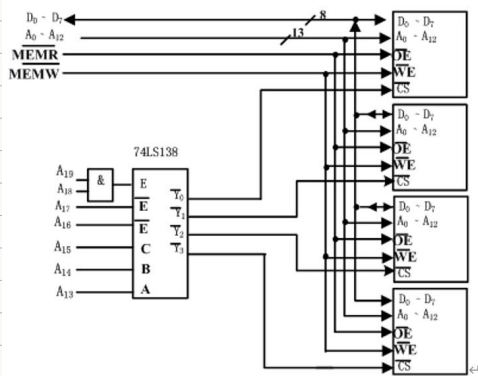
当 $A_{13}=0$ 时, 芯片地址为: $F000H \sim F1FFFFH$

当 $A_{13} = 1$ 时, 芯片地址为: $F200H \sim F3FFFFH$

因此 芯片 占据地址为. $F000H \sim F3FFFFH$

其空间大小为 $2 \times 2^{13} \text{ Byte} = 16 \times 2^{10} \text{ Byte} = 16 \text{ KB}$

例 4: 求芯片占据地址以及存储空间大小



解: 当 74LS138 生效时 $E=1$ $\bar{E}=0$, 因此

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	\dots	A_0
1	1	0	0	X	X	X	X	X		X

当 Y_0 被选中 $A_{15}A_{14}A_{13} = 000$, 此时芯片占据地址为: $C0000H \sim C1FFFFH$

当 Y_1 被选中 $A_{15}A_{14}A_{13} = 001$, 此时芯片占据地址为: $C2000H \sim C3FFFFH$

当 Y_2 被选中 $A_{15}A_{14}A_{13} = 010$, 此时芯片占据地址为: $C4000H \sim C5FFFFH$

当 Y_3 被选中 $A_{15}A_{14}A_{13} = 011$, 此时芯片占据地址为: $C6000H \sim C7FFFFH$

所占空间大小为: $4 \times 2^{13} \text{ Byte} = 32 \text{ KB}$

Cache 全相联

Cache与主存间采用全相联地址映像方式，Cache容量为4KB，分为4块每块1KB，主存容量为1MB。

问：(1) Cache与主存地址的各字段如何划分？

(2) 若地址变换表如下，

地址变换表

0	367H
1	222H
2	195H
3	388H

试根据主存地址确定变换后的Cache地址。

1. 主存地址为 **654E2H** 时，高速缓存地址为 8E2H。

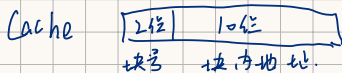
2. 主存地址为 **D9D9DH** 时，高速缓存地址为 19DH。

解. (1) 由于Cache容量为 $4KB = 4 \times 2^{10} = 2^{12}$ Byte.

因此Cache共有12位。

由于Cache分为4块，因此块号占2位。

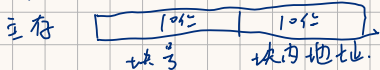
由于Cache每块1KB = 2^{10} Byte，因此块内地址占10位。



主存的块内地址与Cache块内地址所占位数同为10位

由于主存容量为1MB = 2^{20} Byte，故主存20位。

因此主存块号占 $20 - 10 = 10$ 位



(2) 主存地址为 **654E2H**，转换为2进制为：

0110 0101 0100 1110 0010

块号：0110 0101 01，转换为16进制 195H

在地址变换表中查找得Cache块号为2

因此Cache地址2进制表示为 10 00 1110 0010，16进制为：8E2H

主存地址为 **D9D9DH**，转换为2进制为：

1101 1001 1101 1001 1101

块号：1101 1001 11，转换为16进制 367H

在地址变换表中查找得Cache块号为0

因此Cache地址2进制表示为 00 01 1001 1101，16进制为：19DH

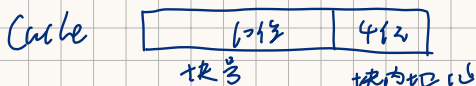
Cache 直接相连

一个具有16KB直接相连映射cache的32位微处理器，cache的块为4个字（字长32位），内存为256MB

问：（1）主存地址为多少位（按字节编址），各字段如何划分？

（2）主存地址为ABCDEF8H的单元调入cache中的位置？

解：1. 由于 Cache 容量为 $16KB = 2^{14}$ Byte，故 Cache 有14位。
由 Cache 块为4个字，即 $4 \times 32 \text{ bit} = 16B$
Cache 块内地址占4位，块地址占 $14 - 4 = 10$ 位



由于主存 $256MB = 2^8 \times 2^{20} = 2^{28}$ Byte，主存28位。

主存区号： $28 - 14 = 14$ 位



2. 主存地址 ABCDEF8H 的二进制为

1010 1011 1100 1101 1110 1111 1000

↓ ↓
Cache 块号 Cache 块内地址
↓
1 E F 8 H

Cache 组间相连

高速缓存Cache与主存间采用组相联地址映像方式（组间直接，组内全相联），高速缓存每组包含4块，每块为8个字，每个字为32位。若主存容量为2MB，Cache的容量为16KB。

问：

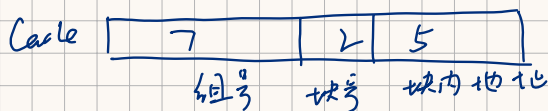
- (1) 请分析cache地址有多少位，各字段如何划分？
- (2) 请分析主存地址有多少位，试说明主存区号、区内组号、组内块号、块内字号、字内地址号各用多少位表示？

1.1 解 Cache 容量 16KB: $2^4 \times 2^{10} = 2^{14}$ Byte \Rightarrow Cache 14位.

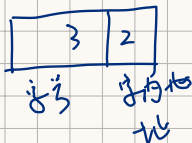
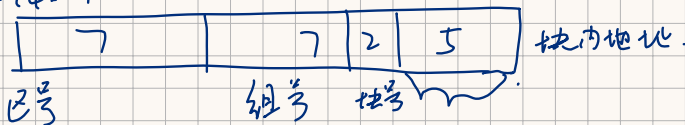
Cache 每组 4块 \Rightarrow Cache 块号 2 位

Cache 每块 8字 $\Rightarrow 2^5$ Byte \Rightarrow Cache 块内地址 5位

Cache 组号 $14 - 2 - 5 = 7$ 位



1.2 解 主存容量 2MB = $2 \times 2^{20} = 2^{21}$ Byte \Rightarrow 主存 21位
 $21 - 14 = 7$



问题：Cache-MM两级存储器采用组相联映像（组间直接，组内全相联）。若Cache容量为512B，64个字节为一块，且共分为2个组。主存容量是Cache容量2048倍。

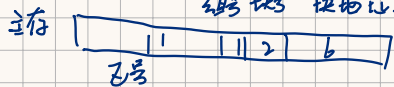
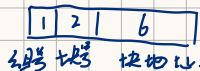
(1) 主存区号 11 位，区内组号 1 位，0 组
组内块号 2 位，块内地址 6 位。每
次进行MM→Cache的地址变换时，需要
参与相联比较的位数是 13 位。

(2) 若Cache-MM地址变换表的内容如下表，当CPU访问主存的地址分别为
91118H和0EDCB4H时，问是否能命中组
Cache，若能命中，指出相应的Cache
地址。

主存区号	组内块号
0C9H	00B
574H	01B
244H	10B
76EH	11B
76EH	10B
373H	10B
0C9H	00B
488H	00B

Cache容量 $512B = 2^9 B \Rightarrow$ Cache 9位
Cache 64字节一块 \Rightarrow Cache块内地址 6位
Cache 分 2 组 \Rightarrow 组号 1 位
块号 $9 - 6 - 1 = 2$ 位
主存容量 $2^9 \times 2^{11} = 2^{20} \Rightarrow$ 主存 20 位
主存区号 $20 - 9 = 11$ 位

Cache



(3) 若主存以Cache的64个字节为一块，从0块开始顺序分
块并编号，试决定515块应放在Cache的哪一组中？

主存地址 91118H，= 二进制为 1001000100010001000

主存区号 组内块号： $10010001000 + 00$

组号：1 \Rightarrow 在第1组找。 $\frac{4}{8} \frac{8}{8} H$

找到 488H，00B \Rightarrow 111

Cache 地址 $11011000 \Rightarrow 11011000$
1 D 8H

主存地址 EDCBAH，= 二进制 1110110111001011010
76E

3) 主存块内地址占 6 位。

一个区 2 个组，一个组 4 个块。 \Rightarrow 1 区 = 8 块。
(0H, 1H) (0H, 1H, 2H, 3H)

$516 / 8 = 64 \dots 4$ 在 63 区 0 组 3 块

替换算法

例：假定程序在主存为5块，Cache为3块。CPU执行程序的顺序为：P2、P3、P2、P1、P5、P2、P4、P5、P3、P2、P5、P2。画出FIFO算法命中情况如图所示。

Cache

P2	P3	P2	P1	P5	P2	P4	P5	P3	P2	P5	P2
2	2	2	2	5	5	5	5	3	3	3	3
	3	3	3	3	2	2	2	2	2	5	5
			1	1	1	4	4	4	4	4	2
		H					H		H		

图中用 H 表示“命中”，

在利用FIFO算法的情况下，命中率为 $3/12=25\%$

例：假定程序在主存为5块，Cache为3块。CPU执行程序的顺序为：P2、P3、P2、P1、P5、P2、P4、P5、P3、P2、P5、P2。画出LRU算法命中情况如图所示。

P2	P3	P2	P1	P5	P2	P4	P5	P3	P2	P5	P2
2	2	2	2	2	2	2	2	3	3	3	3
	3	3	3	5	5	5	5	5	5	5	5
			1	1	1	4	4	4	2	2	2
		H			H		H			H	H

图中用 H 表示“命中”，

在利用LRU算法的情况下，命中率为 $5/12=42\%$

例1 假设我们能够轻松地创建一个带有4ns访问时间的片上静态存储器，但是，我们能够为主存储器买到的最快的动态存储器的平均访问时间是40ns。如果我们必须保持5ns的平均访问时间，问需要多高的命中率？

解：将SRAM称为Cache，DRAM称为主存，则：

$$\text{平均访问时间 } T = h \cdot T_c + (1-h) \cdot (T_c + T_m)$$

$$5 = h \cdot 4 + (1-h) \cdot 44$$

$$h = 97.5\%$$

Cache性能

二. 课后题: (2, 6, 7, 16, 22, 23, 24, 27)

7.2 某以 8088 为 CPU 的微型计算机内存 RAM 区为 00000H~3FFFFH, 若采用 6264, 62256, 2164 或 21256 各需要多少片芯片?

解 8088 为 CPU \Rightarrow 数据线 8 位, 地址线 20 位

RAM 区为 00000H ~ 3FFFFH \Rightarrow 内存大小: $2^{18}B = 256KB = 256K \times 8bit$

芯片容量 片数
6264 $8K \times 8bit$ $256K / 8K = 32$

62256 $32K \times 8bit$ $\frac{256K \times 8bit}{32K \times 8bit} = 8$

2164 $64K \times 16bit$ $\frac{256K \times 8bit}{64K \times 16bit} = 32$

21256 $256K \times 16bit$ $\frac{256K \times 8bit}{256K \times 16bit} = 8$

7.6 试判断 PC/XT 系统中存储系统译码器 74LS138 的输出 $\overline{Y_0}\overline{Y_4}\overline{Y_6}$ 和 $\overline{Y_7}$ 所决定的内存地址范围, 见图 7.44。

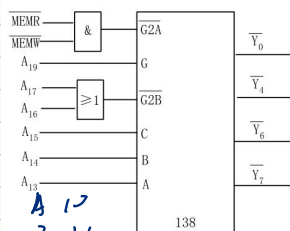


图 7.44 习题 7.6 图

解: 当 $\overline{Y_0} = 0$ 时, 地址线置位如下:

$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13} \vdots A_{12} A_{11} \dots A_0$
1 X 0 0 0 0 0 X X ... X

当 $A_{13} = 1$ 时, 内存地址范围为: C 0000 H ~ C FFFF H

当 $A_{13} = 0$ 时, 内存地址范围为: 8 0000 H ~ 8 FFFF H

当 $\overline{Y_4} = 0$ 时, 地址线置位如下:

$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13} \vdots A_{12} A_{11} \dots A_0$
1 X 0 0 1 0 0 X X ... X

当 $A_{13} = 1$ 时, 内存地址范围为: C 8000 H ~ C 9FFF H

当 $A_{13} = 0$ 时, 内存地址范围为: 8 8000 H ~ 8 9FFF H

当 $\overline{Y_6} = 0$ 时, 地址线置位如下:

$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13} \vdots A_{12} A_{11} \dots A_0$
1 X 0 0 1 1 0 X X ... X

当 $A_{13} = 1$ 时, 内存地址范围为: C C000 H ~ C DFFF H

当 $A_{13} = 0$ 时, 内存地址范围为: 8 C000 H ~ 8 DFFF H

当 $\overline{Y_7} = 0$ 时, 地址线置位如下:

$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13} \vdots A_{12} A_{11} \dots A_0$
1 X 0 0 1 1 1 X X ... X

当 $A_{13} = 1$ 时, 内存地址范围为: C E000 H ~ C FFFF H

当 $A_{13} = 0$ 时, 内存地址范围为: 8 E000 H ~ 8 FFFF H

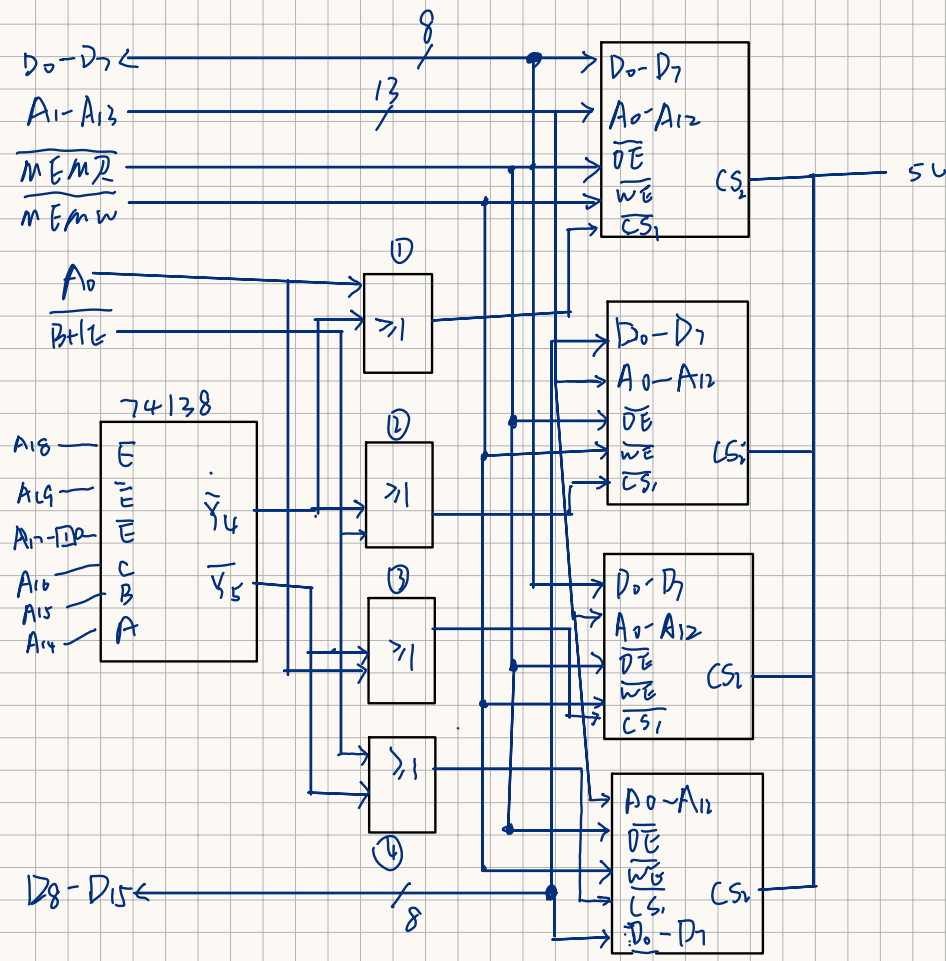
7.7 将4片6264连接到8086系统总线上，要求其内存地址范围为 70000H~77FFFH，画出连接图。

解: $70000H \sim 77FFFH$ 内存空间: $2^5B = 32KB = 16K \times 16bit$

6264: $8K \times 8bit \Rightarrow 4片$

8086: 20位地址线 16位数据线

因此,需2片位扩展一组形成16bit存储大小,再利用2组字扩展增加存储单元数目



A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	\dots	A_0
0	1	1	1	0	<u>X</u>	X	X	X	\dots	X
$A_0=0$	$A_{14}=0$	$\overline{BHE}=1$		①	8K * 8bit		低			
$A_0=1$	$A_{14}=0$	$\overline{BHE}=0$		②	8K * 8bit		高			
$A_0=0$	$A_{14}=1$	$\overline{BHE}=1$		③	8K * 8bit		低			
$A_0=1$	$A_{14}=1$	$\overline{BHE}=0$		④	8K * 8bit		高			



同时，为做到上面所描述的奇偶分体，在 8086 的引线上，增加了一个 \overline{BHE} 信号。当 8086 读写偶地址字节时， $A_0=0$ ， $\overline{BHE}=1$ ；当读写奇数地址字节时， $A_0=1$ ， $\overline{BHE}=0$ ，当读写一个 16 位字时， $A_0=0$ ， $\overline{BHE}=0$ 。◆◆◆◆ $A_0=0$ 低 高

7.16 某 CPU 地址总线为 $A_{19}-A_0$ ，数据总线为 D_7-D_0 ，内存读信号为 $MEMR$ ，内存写信号为 $MEMW$ ，某 SRAM 连接电路图如图 7.45 所示：◆◆◆◆

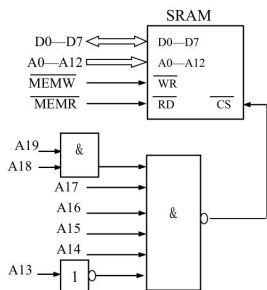


图 7.45 习题 7.16 附图

①分析该图，请指出该 SRAM 芯片占用的内存地址范围。

②采用该 SRAM 芯片实现 30000H~33FFFFH 的内存区域，试画连接图。

解：① $\overline{CS}=0$ 时芯片被选中，此时

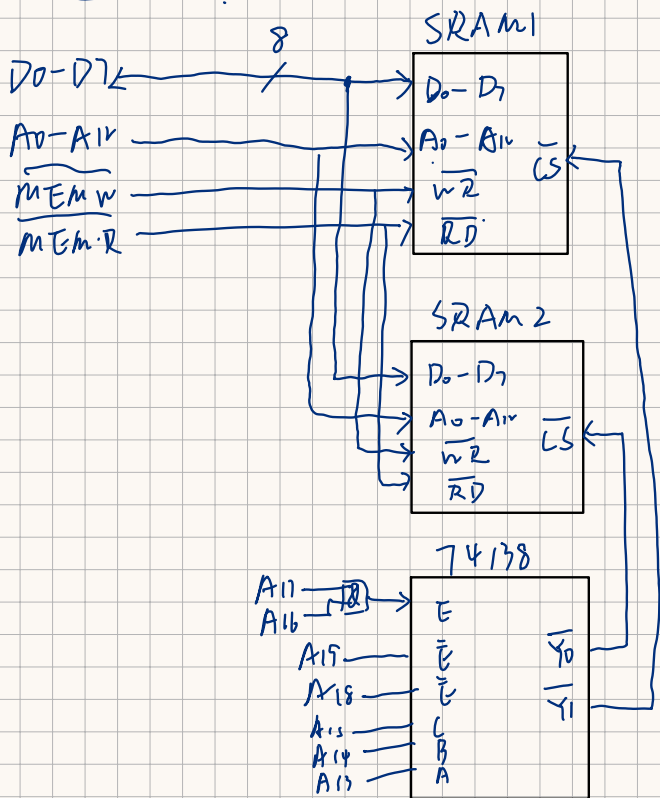
A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	\dots	A_0
1	1	1	1	1	1	0	X	X	\dots	X

内存地址范围：FC000H ~ FFFFFFH

② 30000H ~ 33FFFFH

$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13}$
 $0011 \ 0000 \ 0000 \ 0000 \ 0000$
 $0011 \ 0011 \ 1111 \ 1111 \ 1111$

16K * 8bit



7.22 高速缓存 Cache 与主存间采用组相联地址映像方式（即组间直接，组内全相联），高速缓存分为两组，每组包含 4 块，每块为 1KB。主存容量为 1MB。

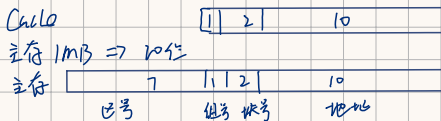
① 说明主存区号、区内组号、组内块号、块内地址号各用多少位表示？

表7-3 地址变换表

0	058H	第0组
1	112H	
2	067H	
3	157H	
0	188H	第1组
1	022H	
2	157H	
3	167H	

② 已知地址变换表如下，若主存地址为 ABCDEH，试确定变换后的高速缓存的地址。

解: ① Cache 两组 \Rightarrow 组号 1 位
 每组 4 块 \Rightarrow 块号 2 位
 每块 1KB \Rightarrow 块地址 10 位



② ABDEH

1010 011 1100 1101 1110

组号 块号

10101011 = 157H \Rightarrow 2

Cache 1 10 00 1101 1110B \Rightarrow 18DE

7.23 高速缓存 Cache 与主存间采用全相联地址映像方式, 高速缓存的容量为 4KB, 分为 4 块每块 1KB, 主存容量为 1MB。20 位。

① 地址变换表为 4 个存储单元, 每个存储单元包括 10 位。

② 若主存读写时间为 300ns, 高速缓存的读写时间为 30ns, 而平均读写时间为 32.7ns, 则该高速缓存的命中率为 99.2 %。

③ 若地址变换表如下, 试根据主存地址确定变换后的高速缓存的地址。

地址变换表	
0	388H
1	222H
2	159H
3	367H

· 主存地址为 88888H 时, 高速缓存地址为 488 H。

· 主存地址为 56789H 时, 高速缓存地址为 B89 H。

① Cache 4KB $\Rightarrow 2^2 \times 2^{10} = 2^{12} \Rightarrow$ 12 位。
 4 块 \Rightarrow 块号 2
 每块 1KB \Rightarrow 10 位

② $32.7ns = h \times 30ns + (1-h) (30 + 300)$
 $= 330 - 300h \Rightarrow h = 99.2\%$

③ 88888H \Rightarrow 1000 1000 1000 1000 1000

Cache 01 00 1000 1000

56789H \Rightarrow 0101 0110 0111 1000 1001

Cache 10 11 1000 1001

7.24 某计算机主存按字节编址,主存与高速缓存 Cache 地址变换采用组相联映象方式(即组内全相联,组间直接映象)。高速缓存分为 2 组,每组包含 4 块,块的大小为 512B(字节),主存容量为 1MB。构成高速缓存的地址变换表相联存储器容量为 B ①

bit。每次参与比较的存储单元为 C ② 个。

① A: 4×10bit

B: 8×10bit

C: 4×11bit

D: 8×11bit

② A: 1

B: 2

C: 4

D: 8

解: ① Cache 2 组 \Rightarrow 组号 1 位
4 块 \Rightarrow 块号 2 位 \Rightarrow 12 位
块大小 512B \Rightarrow 地址 9 位
主存 \Rightarrow 1MB \Rightarrow 20 位 $8 + 1 + 2 + 9$
2 组 共 8 块

27. 若 cache 容量为 100 字,并以 50 字分块,起始为空,CPU 从主存单元 0,1,2,...,99,依照一次读出一个字,顺序读出 100 个字,并重复读 10 次,求命中率是多少?若主存的速度比 cache 慢 5 倍,则在此情况下比无 cache 速度提高多少倍?

27. 解 50 字为块,重复 10 次,共读了 1000 次,2 次未命中
命中率 $H = \frac{998}{1000} = 99.8\%$

$$T_m = 5T_c \quad \therefore T = 1 \times 99.8\% + 0.2\% (45)$$

$$SP = \frac{5}{1.01} = 4.95 = 1.01$$

课后非作业题:

7.1 试以单元电路说明,为什么 DRAM 的功耗比 SRAM 小?

8位

7.3 试利用 6264 芯片, 在 PC/XT 系统总线上实现 00000H~03FFFH 的内存区域, 试画连接电路图。若在 8086 系统总线上实现上述内存, 试画其连接电路图。

T.3 解.

PC/XT: 数据线 8 位, 地址线 20 位

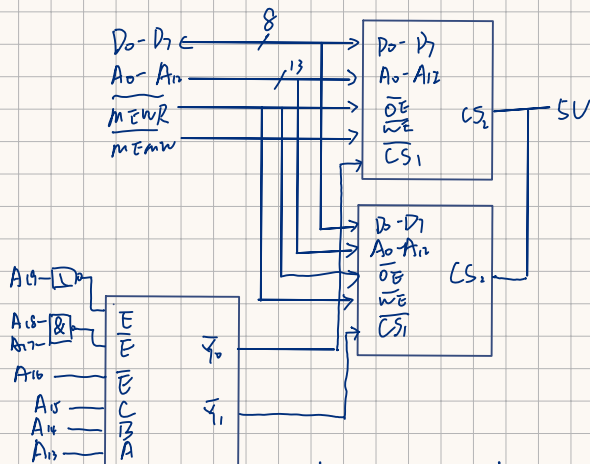
8086: 数据线 16 位, 地址线 20 位

6264: $8K \times 8\text{bit}$

00000H ~ 03FFFH \Rightarrow 0011 1111 1111 1111 $\Rightarrow 16K \times 8\text{bit}$

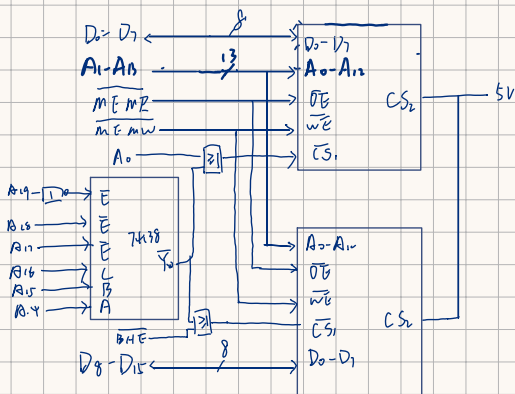
(需 2 片 6264 \Rightarrow 字扩展)

PC/XT



$A_{19} A_{18} A_{17} A_{16} A_{15} A_{14} A_{13} A_{12} A_{11} \dots A_0$
 $0 \quad 0 \quad 0 \quad 0 \quad 0 \quad 0 \quad X \quad X \quad X \dots X$

8086: $16K \times 8\text{bit} = 8K \times 16\text{bit} \Rightarrow$ 2片 1位扩展



7.4 叙述 EPROM 的编程过程，说明 EEPROM 的编程过程。

解：EPROM 芯片的编程有两种方式：标准编程和快速编程。

在标准编程方式下，每给出一个编程负脉冲就写入一个字节的数据。 V_{pp} 上加编程电压，地址线、数据线上给出要编程单元的地址及其数据，并使 $\overline{CE}=0$ ， $\overline{OE}=1$ 。上述信号稳定后，在 \overline{PGM} 端加上宽度为 $50ms \pm 5ms$ 的负脉冲，就可将数据逐一写入。写入一个单元后将 \overline{OE} 变低，可以对刚写入的数据读出进行检验。

快速编程使用 $100 \mu s$ 的编程脉冲依次写完所有要编程的单元，然后从头开始检验每个写入的字节。若写的不正确，则重写此单元。写完再检验，不正确可重写。

EEPROM 编程时不需要加高电压，也不需要专门的擦除过程。并口线 EEPROM 操作与 SRAM 相似，写入时间约 $5ms$ 。串行 EEPROM 写操作按时序进行，分为字节写方式和页写方式。

7.5 内存按字节编址，地址从 $40000H \sim BBFFFH$ 共有多少字节 (KB)？

$40000H$: 0100 0000 0000 0000 0000 0000
 $BBFFFH$: 1011 1011 1111 1111 1111 1111

$$\begin{array}{r} BBFFFH \\ - 40000H \\ \hline 7BFFFH \Rightarrow 0111 \quad 1011 \quad 1111 \quad 1111 \quad 1111 \quad B \\ \downarrow \\ 507904 B = 2^{10} \times 496 \\ = 496KB \end{array}$$

7.8 E²PROM 98C64A 芯片的各引脚的功能是什么？如果要将一片 98C64A 与 8088 微处理器相连接，并能随时改写 98C64A 中各单元的内容，试画出连接电路图（地址空间为 $40000H \sim 41FFFH$ ）。

- 十. CPU直接访问内存需50ns, 访问L1 Cache需1ns, L1 Cache有10%失效率; 访问L2 Cache需10ns, L2 Cache有2%失效率; 访问L3 Cache需10ns, L3 Cache 0.4%失效率。
1. 求只有L1 Cache, 只有L1和L2 Cache, 以及三级Cache构架下的平均访问时间。
 2. 如果L1、L2和Cache分为数据Cache(L1/L2 D-Cache)和指令Cache(L1/L2 I-Cache), L3 Cache不区别指令和数据。假设运行时平均75%为数据, 25%为指令, L1和L2的D-Cache失效率均为原先失效率的50%。求只有L1和L2 Cache, 以及三级Cache构架下的平均访问时间。

解: 1. 只有L1 Cache: $T = 90\% \times 1ns + 10\% (1ns + 50ns) = 6ns$

只有L1和L2:

$$T = 90\% \times 1ns + 10\% (98\% \times (1+10) + 2\% (1ns + 10ns + 50))$$

只有L1, L2, L3:

$$T = 90\% \times 1ns + 10\% (98\% \times (1+10) + 2\% (99.6\% (1+10+10) + 0.4\% (1+10+10+50)))$$

	D-Cache	I-Cache	Cache
L1	5%	10%	
L2	1%	2%	
L3			0.4%

$$T = 75\% \times T_D + 25\% \times T_I$$

某计算机访问L1 Cache命中率为95%, 访问L2 Cache命中率为50%, 其余50%访问主存。假定访问L1 Cache、L2 Cache和主存分别需要1个、10个和100个时间周期T, 那平均访问时间是 () 周期

- 2T
- 3T
- 4T
- 5T

解答

4T



复制

$$T = 95\% \times 1 + 5\% (50\% (1+10) + 50\% \times (1+10+100))$$

