

电 子 科 技 大 学

UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

专业学位硕士学位论文

MASTER THESIS FOR PROFESSIONAL DEGREE



论文题目 10Gbps SerDes 中的高速接口设计

专业学位类别 工 程 硕 士

学 号 201122240862

作 者 姓 名 黄灿灿

指 导 教 师 廖家轩 研究员

分类号 _____ 密级 _____

UDC ^{注1} _____

学 位 论 文

10Gbps SerDes 中的高速接口设计

(题名和副题名)

黄灿灿

(作者姓名)

指导教师	廖家轩	研究员
	电子科技大学	成 都

(姓名、职称、单位名称)

申请学位级别 硕士 专业学位类别 工 程 硕 士

工程领域名称 电子与通信工程

提交论文日期 2014 年 4 月 30 日 论文答辩日期 2014 年 5 月 30 日

学位授予单位和日期 电子科技大学 2014 年 6 月 日

答辩委员会主席 _____

评阅人 _____

注 1：注明《国际十进分类法 UDC》的类号。

THE DESIGN OF HIGH-SPEED I/O FOR 10G-SERDES

A Master Thesis Submitted to

University of Electronic Science and Technology of China

Major: **Electronics and Communication Engineer**

Author: **Huang Can Can**

Advisor: **Liao Jiao Xuan**

School: **Research Institute of Electronics Science**

and Technology of UESTC

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

作者签名：_____

日期： 年 月 日

论文使用授权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

作者签名：_____

导师签名：_____

日期： 年 月 日

摘要

CMOS 工艺继续沿着摩尔定律演进,特征尺寸已降低至 14nm,由此带来的 PC 和手持设备的 CPU 处理性能大幅提升,加上光纤网络的普遍采用,使得背板信道的数据传输压力剧增。为适应数据率的高速增加,串行数据传输方式早已替代传统的并行数据传输方式,随着数据率的进一步提升,高速 SerDes 成为计算机接口和网络接口的主流。由于成本和兼容性考虑,目前,在背板通信系统中 FR-4 背板仍广泛使用。但 FR-4 基板对于信号高频分量的衰减很大,尤其是当信号的奈奎斯特频率远远大于信道带宽时,信号质量会严重恶化,呈现明显的码间串扰 (ISI)。因此,在相应的高速接口电路设计中,应考虑对信道进行补偿。

针对背板通信的 10G-SerDes 芯片,基于 SMIC 标准的 0.13 μm CMOS 工艺,设计一款在 5GHz (数据率为 10Gb/s 的随进二进制数据的奈奎斯特频率) 处增益提升因子最大为 22dB,总体带宽达到 5.5GHz 以上,并且信道失配小于 3dB 的串行收发器。本文的主要工作包括以下几点:

- 1) 深入了解信号与信道的交互方式,及其带宽限制特性对信号产生的影响在频域和时域的体现。据此结合信道的衰减特性,确定设计目标参数,以及指导接口电路的设计和信道仿真模型的选取。
- 2) 针对性地研究了几种带宽拓展技术和均衡技术,对其电路特性和应用条件进行了分析和比较。为本文特定工艺条件下的高速收发器的设计提供了技术支持。
- 3) 根据 0.13 μm CMOS 工艺的具体条件,在发射端中采用了前馈源极跟随器和后馈源极跟随器,以及具有阻抗匹配和电感峰化的 CML (电流模) 驱动器。在接收器中,采用了具有电感峰化和电容负反馈技术的连续时间均衡器,基于频谱分割与自比较技术,实现了自适应均衡。

经过严格的仿真,本设计的发射端在 1.8V 的电源电压下,总体小信号带宽达到 5.5GHz 以上,小信号增益达到 18dB,差分的输出摆幅为 800mV。接收器实现了补偿幅度从 0dB 到 22dB 的自适应均衡,且在最大补偿下,带宽为 6.7GHz,信道失配为 2.3dB,经信道末端的眼图完全闭合,经过自适应均衡之后,眼图打开了 0.85UI。

关键词: 背板通信, 10G-SerDes, 自适应均衡, 增益提升, 信号完整性

ABSTRACT

As the CMOS technology continues to follow the Moore's law, the feature size has scaled down to 14nm. This contributes to the sharply improvement of the processing speed of CPUs of personal computer and portable device. Besides, with optical network being adopted widely, data transmission on the backplane endures increasingly pressure. So, conventional parallel data transmission has been replaced by serial data transmission, and high-speed SerDes becomes prevalent as interfaces between computer and peripherals or network interface. For considerations of costs and compatibility, FR-4 backplane is still widely in use. However, data transmitted in FR-4 backplane suffers great attenuation, especially when the signal's Nyquist frequency is significantly higher than the bandwidth of the channel. For this reason, channel compensation should be introduced in the design of high-speed interface circuit.

Aimed at the 10G-SerDes chips in backplane application, the research focus on the design of a 10Gb/s transceiver based on the SMIC standard 0.13 μ m CMOS technology. The main work of this research is listed as below:

- (1) Understanding of the interaction between the signal and the channel, the influence of the channel's bandwidth-limited characteristic on the signal quality and its expression in both frequency domain and time domain. Combined with the channel's characteristic, this provides fundamental design parameters that determine the choice of circuit topology and channel model.
- (2) Study of bandwidth improving techniques and equalizing technique. This provides a theoretical foundation for the implementation of high-speed transceiver in the specified technology.
- (3) Based on SMIC 0.13 μ m CMOS technology, feed forward source follower and feedback source follower were introduced in the amplify stages, inductive peaking technique and impedance matching are employed in the CML driver. At the receiver, inductive peaking technique and capacitive degeneration technique are adopted in the continuing time linear equalizer, and spectrum division technique and self-comparison method are employed in the feedback loop to achieve adaptive control.

Simulation result show that an overall bandwidth of 7GHz , a small signal gain of 18dB, a differential swing of 800mV at the transmitter and an adaptive equalization with a compensation range from 0dB to 22dB at the receiver. In the most adverse case, the receiver maintains a bandwidth of 6.7GHz, and the channel mismatching is less than 2.3dB, the eye opening of the signal approaches 0.85UI from a completely closed eye at the receiver input end.

Key words: Backplane transmission, 10G-SerDes, Adaptive equalization, Gain boost, Signal integrity

目 录

第一章 绪论.....	1
1.1 研究背景与意义.....	1
1.2 国内外研究现状.....	3
1.3 工作内容与创新.....	4
1.4 论文结构与安排.....	5
第二章 高速串行链路基础.....	6
2.1 随机二进制数据.....	6
2.1.1 随机二进制数据的特性.....	6
2.1.2 带宽限制特性对随机数据造成的影响.....	9
2.1.3 噪声对随机数据的影响.....	11
2.2 背板传输.....	13
2.2.1 背板传输相关的信号完整性问题.....	13
2.2.2 频率相关性损耗与 ISI.....	14
2.3 本章小结.....	18
第三章 带宽拓展与均衡技术.....	19
3.1 带宽拓展技术.....	19
3.1.1 电感峰化技术.....	19
3.1.2 电容负反馈技术.....	21
3.1.3 Cherry-Hooper 结构.....	24
3.1.4 转折频率倍增技术.....	28
3.1.5 有源负反馈放大器.....	29
3.2 均衡技术.....	31
3.2.1 数字 FIR 滤波器.....	31
3.2.2 模拟 FIR 滤波器.....	32
3.2.3 连续时间滤波器.....	33
3.2.4 判决反馈滤波器.....	33
3.3 本章小结.....	34
第四章 高速接口电路的设计与仿真.....	35
4.1 高速接口电路的驱动器设计.....	35

4.1.1 电流模逻辑电路技术	35
4.1.2 逐级增大的多级级联输出驱动器	37
4.1.3 前馈源极跟随器	39
4.1.4 后馈源极跟随器	44
4.1.5 发射端整体设计与仿真	47
4.1.6 驱动器版图设计与后仿真	50
4.2 背板信道的仿真模型	52
4.2.1 Spice 模型	52
4.2.2 二维场解析器	53
4.3 具有自适应均衡的接收器设计	54
4.3.1 自适应均衡器的实现原理	55
4.3.2 均衡器的设计	59
4.3.3 功率鉴别器的设计	74
4.3.4 V/I 转换器的设计	75
4.3.5 接收端整体仿真	75
4.3.6 接收端整体版图设计与后仿真	78
4.4 本章小结	82
第五章 总结与展望	83
致 谢	84
参考文献	85
攻硕期间的研究成果	89

图表目录

图 1-1 SerDes 的原理简图	1
图 2-1 非归零随机二进制数据的码型	7
图 2-2 随机序列可以看作单个脉冲的随机重复	7
图 2-3 随机二进制数据的频谱，线性竖轴缩放 (a)，对数的竖轴缩放 (b)	8
图 2-4 10Gb/s 随机二进制数据的频谱(a)，1010 序列的频谱 (b)	8
图 2-5 随机二进制 NRZ 码的累积功率与归一化的带宽的关系[46]	9
图 2-6 低通滤波器对周期性数据的影响(a)，对随机数据的影响 (b)	9
图 2-7 高通滤波效应	10
图 2-8 高通滤波效应导致的直流沉降	11
图 2-9 (a) 时钟采样不含噪声的数据；(b) 被噪声影响的数据以及眼图	11
图 2-10 包含了额外噪声的信号样本概率密度函数	12
图 2-11 芯片间的点对点通信	13
图 2-12 微带线的趋肤效应	15
图 2-13 背板传输线的 S21 参数	16
图 2-14 背板信道的低通特性导致的信号拖尾现象	16
图 2-15 背板传输线的单位冲击响应	17
图 2-16 pre-cursor ISI 和 post-cursor ISI	17
图 3-1 (a) 电容负载的共源放大器；(b) 为 (a) 的小信号等效电路；(c) 加入电感的共源放大器；(d) 为 (c) 的小信号等效电路	19
图 3-2 考虑了寄生效应的电感峰化模型	21
图 3-3 (a) 带有电容负反馈的差分对；(b) 半边等效电路	21
图 3-4 (a) 跨导随频率的变化；(b) 电压增益随频率的变化	22
图 3-5 电容负反馈放大器的输入电容	23
图 3-6 (a) 两级共源放大器；(b) 采用源极跟随器作为缓冲的级联放大器	24
图 3-7 (a) 采用负反馈的两级共源放大器；(b) 加入节点电容	25
图 3-8 Cherry-Hooper 放大器的等效电路	26
图 3-9 差分版的 Cherry-Hooper 放大器 (a) 电流源负载；(b) 电阻负载	27
图 3-10 改进的差分版 Cherry-Hooper 放大器	27
图 3-11 (a) 简单差分电路结构；(b) 倍增电路	28

图 3-12 并联-并联有源负反馈放大器的原理框图	29
图 3-13 半边小信号等效电路	30
图 3-14 数字 FIR 滤波器	32
图 3-15 模拟 FIR 滤波器	32
图 3-16 行波滤波器	33
图 3-17 判决反馈均衡器的原理框图	34
图 4-1 CML 电路结构	36
图 4-2 逐级增大级联 CML 放大器	37
图 4-3 大信号下带宽的变化	38
图 4-4 带有差分放大器的源极跟随器	39
图 4-5 带有差分放大器的前馈源极跟随器	40
图 4-6 前馈源极跟随器半边电路的小信号等效电路	41
图 4-7 FFSF 单元在偏置电流为 5mA 时的增益和-3dB 带宽	43
图 4-8 FFSF 单元在偏置电流为 7.5mA 时的增益和-3dB 带宽	44
图 4-9 反馈源极跟随器	45
图 4-10 后馈源极跟随器的小信号等效电路	46
图 4-11 FBSF 单元在偏置电流为 3.2mA 时的增益和-3dB 带宽	46
图 4-12 复极点对信号过零点的影响	47
图 4-13 发射端总体结构框图	47
图 4-14 发射端总体小信号增益和-3dB 带宽	48
图 4-15 电感选取过大造成的相位扭曲	49
图 4-16 电感感值取 0.8nH 时的信号眼图	49
图 4-17 发射端整体版图	50
图 4-18 发射端整体增益和带宽（典型条件下）	51
图 4-19 发射端整体增益和带宽（最快条件下）	51
图 4-20 发射端整体增益和带宽（最慢条件下）	52
图 4-21 理想传输线的一阶模型	52
图 4-22 加入损耗的理想传输线模型	53
图 4-23 FR-4 基板上长度为 30 英寸的铜质走线的 S21 参数	53
图 4-24 接收端整体原理框图	54
图 4-25 传统的自适应控制环路	55
图 4-26 加入摆幅控制的自适应环路	56
图 4-27 频谱分割与自比较	57

图 4-28 简化的自适应环路模型.....	58
图 4-29 控制电压 V_{ctrl} 的响应曲线.....	58
图 4-30 增益提升原理.....	59
图 4-31 基本的均衡滤波单元.....	60
图 4-32 改进型均衡滤波单元.....	61
图 4-33 改变源极负反馈电阻对频率响应曲线的影响.....	62
图 4-34 改变源极负反馈电容对频率响应曲线的影响.....	62
图 4-35 同时改变源极负反馈电容和电阻.....	63
图 4-36 具有压控调谐特性的均衡滤波单元.....	64
图 4-37 不同内径和匝数下的差分电感的电感值 L	65
图 4-38 不同内径和匝数下的差分电感上的等效串联电阻.....	65
图 4-39 不同内径和匝数下的差分电感品质因数 Q	66
图 4-40 MOS 变容管的结构图	66
图 4-41 不同栅长下, MOS 变容管的容值 C_{var} 随控制电压 V_{ctrl} 的变化曲线	67
图 4-42 源极负反馈电阻的选取.....	67
图 4-43 源极负反馈电容的选取.....	68
图 4-44 控制电压 V_{ctrl} 的调谐特性.....	68
图 4-45 噪声模型.....	69
图 4-46 均衡器传输函数的线性近似.....	70
图 4-47 比例缩小技术.....	71
图 4-48 均衡滤波单元的电容耦合.....	72
图 4-49 均衡器的增益提升因子随 V_{ctrl} 改变的变化曲线.....	73
图 4-50 经过缓冲放大后的均衡器的增益提升因子随 V_{ctrl} 改变的变化曲线.....	73
图 4-51 功率鉴别器.....	74
图 4-52 V/I 转换器.....	75
图 4-53 20 英寸 FR-4 传输线的频响特性.....	75
图 4-54 信道与均衡器的组合频响特性曲线.....	76
图 4-55 最大衰减情况下到达接收端的信号眼图.....	77
图 4-56 最大衰减情况下, 经过均衡器补偿的信号眼图.....	77
图 4-57 不同衰减程度下的控制电压 V_{ctrl} 的响应曲线.....	78
图 4-58 随信道衰减量的变化而变化的曲线.....	78
图 4-59 接收端整体版图.....	79
图 4-60 三种工艺角下, 最大衰减情况下的信道和均衡器组合频响特性.....	80

图 4-61 最大衰减情况下，典型工艺角下的均衡器输出眼图.....	81
图 4-62 最大衰减情况下，最慢工艺角下的均衡器输出眼图.....	81
图 4-63 最大衰减情况下，最快艺角下的均衡器输出眼图.....	82
表 1-1 不同半导体工艺的器件参数比较.....	2
表 3-1 电感峰化的特点.....	20
表 4-1 发射端各级参数.....	48
表 4-2 差分电感的有效尺寸与工作条件.....	64

第一章 绪论

1.1 研究背景与意义

以 IOS、Android、Winphone 等为代表的智能手机系统，实现了手持设备的智能化，使得人们能够随时随地地利用移动互联网进行信息分享、音视频播放、图像查看等，这个过程中产生了大量数据，推动了移动互联网技术的进步和更新。而且，由于云技术的不断演进，人们习惯于在线视频播放、本地文件与“云盘”同步等，使得互联网数据流量大大增加。与此同时，在 PC 和手持设备终端，CPU 多核化以及单核多线程化使得计算机的处理性能达到每秒钟处理数十亿个指令。由于主干网络普遍升级为光纤通讯设备，数据传输速率得到长足的提高。因此，芯片之间、PCB 板间、服务器之间以及局域网之间的物理媒介因其带宽的限制而成为数据传输的瓶颈。

由于数据率的增大，串行链路系统逐渐替代并行链路系统，成为高速数据链路通信的主要传输方式。由于采用差分信号传输方式，串行数据能够传输更长的距离，而并行传输因其线路之间的串扰造成的信号质量恶化而大大限制了传输长度。此外，并行线路能够容许的信号偏斜量又限制了数据的最大传输速率。因此，串行链路得到了广泛应用，并成为主流的数据传输方式。

串化器-解串器(SerDes, Serializer/Deserializer)系统是串行链路的典型代表，其原理框图如图 1-1 所示。在发射端中，锁相环以低频参考时钟源为输入，产生低抖动的高频时钟信号，并提供给串化器。串化器将并行数据转化为串行数据，再由驱动器发送出去。驱动器通常是根据特定的应用场合和标准来设计的。接收端包括均衡器、时钟数据恢复器以及解串器。其中，均衡器用来补偿信道的非理想特性，时钟数据恢复(CDR)电路从均衡器的输出信号中恢复数据和时钟信号，该时钟信号则用于将恢复出的数据通过解串器转化为并行数据。

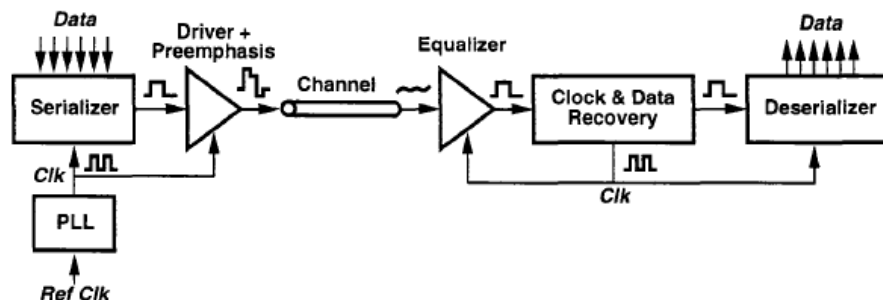


图 1-1 SerDes 的原理简图

在现有通信系统中，图 1-1 中的信道受到多种非理想因素的影响，即频率相关损耗，阻抗不连续和串扰。其中频率相关损耗尤为突出。当数据率达到 10-Gb/s 时，背板（即用于连接各线路接口插件板的 PCB 板）信道因其对信号高频部分的衰减而使得信号 ISI 恶化，导致误码率严重恶化。虽然可以通过采用更为先进的硬件来减小信道的非理想特性，但因其成本高昂，业界主流多在芯片内的驱动器和接收器中对信道进行补偿（相关电路被称为“均衡器”）。

早期的高速接口的实现主要依赖于特殊工艺，如 GaAs、SiGe、InP。上世纪 90 年代中期，由于当时硅基 CMOS 工艺的转折频率的限制，第一代 OC-192 (10Gb/s) 系统的实现只能采用 GaAs 等 III-V 族元素化合物工艺或者双极性硅工艺。表 1-1 为三种工艺各项指标的比较，这几项参数直接决定了晶体管的开关速度、本征压摆率、最大输出摆幅、最小电源电压以及集成度等指标^[1]。

表 1-1 不同半导体工艺的器件参数比较

器件参数	InP HBT	SiGe HBT	NMOS
尺寸（栅长）	1 μm	0.18 μm	0.13 μm
f_T	160GHz	140GHz	105GHz
f_{\max}	200GHz	150GHz	105GHz
I_{cplT}	1 ps/V	0.5 ps/V	1.4 ps/V
V_{BE}/V_T	0.8V	0.8V	0.35V
BV_{CEO}/BV_{DG}	6.0 V	2.0 V	>1.2 V

表中转折频率 f_T 和晶体管最大工作频率 f_{\max} 决定了电路的工作速度。 I_{cplT} 为 f_T 电流 I_{cplT} ，它与晶体管的本征输出电容 $C_{BC(GD)}$ 之比 $\frac{I_{\text{cplT}}}{C_{BC(GD)}}$ 决定了晶体管的本征压摆率（Intrinsic slew rate）。而截止电压 BV_{CEO}/BV_{DG} 决定了晶体管的最大输出摆幅。集成度由晶体管的特征尺寸决定。而最小电源电压则由晶体管的打开电压与阈值电压之比 V_{BE}/V_T 决定。

随着 CMOS 工艺的不断演进，高速 I/O 接口已经开始采用标准 CMOS 工艺来实现。采用标准 CMOS 工艺实现的高速模拟电路可以与超大规模数字集成电路在同一块衬底上制造，其集成度远远高于特殊工艺，封装尺寸也相应的减小。又由于数字 CMOS 门电路的静态功耗几乎为零，整个接口芯片的功耗大幅减小。因此，单片化的集成收发器无论从功耗、面积，还是芯片成本上看，都具有极大的优势。尽管如此，由于转折频率 f_T 、较低的本征增益（Intrinsic gain）、较高的 $1/f$ 噪声以及较低的电源电压的限制，即便单片电感在标准 CMOS 工艺上得到了集成，在

0.13 μm 标准 CMOS 工艺上实现数据率高达 10G-b/s 接口以及信道信道的频率相关损耗的补偿电路, 仍面临严峻的挑战。

总之, 本课题对于 10G-b/s SerDes 中高速接口的设计, 不仅具有良好的现实意义和应用前景, 也为下一代 40-Gb/s 高速接口的实现打下基础。

1.2 国内外研究现状

目前, 国内对于 10Gb/s (及以上) 的高速 SerDes 的研究集中于光纤通信接口中, 且主要是高速 CDR 的设计, 相关研究人员包括东南大学的吴春红^[2]、孙玲^[3]等人。而应用于背板通信中的 10Gb/s 高速接口的研究较少, 其中有来自电子科技大学的吕晓华^[4], 基于 0.13 μm 标准 CMOS 工艺设计出具有预加重和判决均衡的高速接口电路。

相比国内, 国外对于高速接口的研究遥遥领先。在 2013 年度 ISSCC 会议上关于高速接口设计文章共有八篇^{[5]-[12]}。就数据率来看, 分布在 8.5Gb/s 到 66Gb/s 之间, 其中有 4 个为 32Gb/s, 表明目前国外研究热点已集中在数据率 30Gb/s 以上的收发器。从所采用的工艺来看, 主要是特征尺寸为 40nm 和 28nm CMOS 工艺, 表明先进的工艺直接关系到数据率的提高。从采用的结构来看, 判决反馈均衡器 (DFE) 成为主流, 且抽头系数均不超过 3。来自 Fujitsu 实验室的 Y. Doi 采用 28nm CMOS 工艺实现了数据率为 32Gb/s 的有线接收器^[6]。在该接收器中, 多种均衡器分工组合使用, 利用低频均衡器 (LFEQ) 来补偿由趋肤效应导致的低频衰减、利用连续时间线性均衡器 (CTLE) 补偿中频衰减以及一个 2 抽头的 DFE 补偿高频衰减, 该均衡器能够补偿在 16GHz 处衰减达 40dB 的信道。来自 Broadcom 的 Bharath Raghavan 等人^[7], 在 40nm CMOS 工艺上实现了功耗低于 2W, 数据率达到 39.8-44.6Gb/s 的收发器(支持 OC-768/OTU-3 接口标准)。将 4 路数据率为 11.15Gb/s 的数据流通过两个 2-1 多路复用器 (MUX) 转化成 2 路数据率为 22.3Gb/s 的数据流, 然后将这两路数据流送入一个由工作频率为 22.3GHz 的 PLL (锁相环) 驱动的 2-1 MUX 中, 最终产生 44.6Gb/s 的串行数据, 在 MUX 中采用电感峰化 (Inductive peaking) 技术来增大带宽。来自加州大学伯克利分校 (University of California, Berkeley) 的 Yue Lu 和 Elad Alon, 在 65nm CMOS 工艺上实现了数据率高达 66Gb/s 的三抽头判决反馈均衡器^[5]。该均衡器采用双数据率 (Double-data-rate) 结构以缓解锁存器和时钟分配的压力, 而且为了减小环路延迟时间, 采用动态锁存器 (Dynamic latch), 而非传统的 CML 锁存器, 并且使锁存器的输出摆幅能够驱使 DFE 反馈环路的输入差分对工作于线性区, 使反馈环路的延迟时间最小化。

而对于 0.13 μm 标准 CMOS 工艺实现数据率高达 10Gb/s 的均衡器, 国外多采

用连续时间线性均衡器和模拟判决均衡器。

总的来看,国外在先进工艺的基础上,采用创新的结构,进一步提高了高速接口电路的数据率。

1.3 工作内容与创新

本课题着眼于国内外的研究现状、发展趋势,基于现实条件,从学科背景、理论基础展开,扩大到相关技术的研究与比较,最后映射到具体电路的设计实现与验证上。具体可以分为以下几点:

- (1) 信号与信道的交互带来的信号完整性问题。这一问题是本课题的出发点,即信号以一定的功率和质量发送至信道,再由接收端收取处理,并且保证信号质量。信号的带宽与信道的带宽是信号完整性问题中两个关键概念。由于本课题针对背板信道的接口技术研究,故而对背板信道的非理想效应进行了细致的探讨。从中提取出指导电路设计的关键参数,以及应对方案。
- (2) 带宽拓展技术与均衡技术的研究。这部分内容主要介绍现有的带宽拓展技术和均衡技术的结构原理、功能特性以及适用条件。在深入探讨的基础上,进行横向比较,以供备具体设计。
- (3) 具有大带宽、高驱动能力的发送器的设计以及具有自适应均衡的接收端的设计。基于 SMIC 0.13 μm CMOS 工艺的具体情形,根据初步设定的纲领性设计参数,进行参数细化,然后择取并改进现有带宽拓展与均衡技术,再进行组合创新应用,最后进行晶体管级的电路实现。
- (4) 组合仿真与验证。在初步电路实现的基础上,通过各电路参数的相互制约关系,不断收缩取值范围,最后锁定最优值。然后进行版图设计和后仿真以及 PVT 工艺角的组合验证。

在以上研究内容中,包含了本文的主要创新点:

- (1) 在发送端驱动器的设计中,多级缓冲器级联后,总体带宽会大幅降低。由于 0.13 μm CMOS 工艺的限制,传统的 CML 缓冲器很难满足 10Gb/s 数据率接口的带宽与增益的双重要求。尽管采用无缘电感做负载,能将带宽提升 60%以上,但电感的引入不仅增大了芯片面积,而且由于可能引起过冲以及相位扭曲。因此,本文引入了具有前馈源极跟随器的 CML 缓冲器和具有后馈源极跟随器的 CML 缓冲器,并且采用了比例缩放技术,使得驱动器的总体带宽满足设计要求。仅在最后一级应用了电感峰化技术,以应对封装及传输线上的寄生效应。
- (2) 在接收端均衡器的设计中,自适应功能的实现本身具有一定的难度。在反馈环

路中，作为比较电路的输入基准的信号一般由削峰器（Slicer）提供，但是如果没有额外的控制环路来调节 Slicer 的输出摆幅，那么均衡器输出信号与 Slicer 输出信号的比较结果，便不能准确地判定补偿的强度。因此，本文引入了频谱自比较技术，即比较均衡器输出信号频谱中的高频与低频能量，来确定补偿量。同时，在均衡器的设计中引入了反向比例缩小技术，大幅提高了均衡器的带宽。使得在最坏情况下（即设计中假定的最大信道衰减量）信道与均衡器的总体带宽满足设计要求。

1.4 论文结构与安排

- (1) 第一章，绪论。概括了本课题涉及的学术背景和国内外的研究现状，指出国内与国外前沿设计制造水平的差距，以及本课题的现实意义和应用前景。确定了本课题的基本框架。
- (2) 第二章，高速串行链路基础。介绍了随机二进制数据的频谱特性，以及带宽限制特性、噪声对其造成的影响，由此引出信号完整性问题，并深入探讨了背板通信的信号完整性问题，以及应对措施。
- (3) 第三章，带宽拓展与均衡技术。本章将带宽拓展技术和均衡技术分为两大节，分别介绍。对现有的每一个拓扑结构进行了原理分析，从中提取出各种结构的优缺点和适用条件，然后进行横向比较，为下一章具体电路设计做铺垫。
- (4) 第四章，高速接口电路的设计与仿真。本章分为两大部分，一部分为发射端的设计，一部分为接收端的设计。从参数分解到模块电路的选取和改进，再到晶体管级电路参数的确定、仿真验证。另外还包括信道的行为级建模，以及在整体仿真中采用精确的二维场解析器（2D Field solver）来模拟信道的特性。然后，进行接口电路整体联合前仿真、验证。最后，进行版图设计与后仿真。给出了发射端和接收端的整体版图，然后提取寄生参数进行后仿真，并将后仿结果与前仿结果进行对比。
- (5) 第五章，总结与展望。总结了本文的成果，并对设计中有待改进的地方进行了分析，提出了未来的工作方向。

第二章 高速串行链路基础

本章将要介绍高速串行链路中的基本概念，主要有以下内容：随机二进制数据的频谱特性、带宽和噪声对随机二进制数据的影响以及这些影响的定性分析和初步量化、信号完整性问题及其应对措施、结合信号完整性分析探讨背板信道的特性。信号、信道的特性，以及两者交互的特点，是本设计的出发点。本质上，高速接口的作用就是保证发射出的信号和接收之后提供给后续电路的信号具有良好的信号完整性，因此，本章重点探讨背板信道的带宽限制特性对随机二进制数据产生的信号完整性问题。

2.1 随机二进制数据

2.1.1 随机二进制数据的特性

随机二进制序列通常由相同概率出现的逻辑 0 和逻辑 1 组成。这些逻辑 0 和逻辑 1 的组合完成了信息的编码和传输。如果码元周期为 T_b ，则数据率为 $1/T_b$ 。根据随机二进制数据是否包含直流成分可分为两种：一种是具有一定直流成分的随机二进制数据，一种是不含直流成分的二进制数据。在有些情况下，把随机二进制数据波形的逻辑 0 和逻辑 1 看做幅度相同但符号相反的量，可以简化系统的分析和设计。二进制数据的随机特性表明数据序列中可能包含长串连续的 0 或 1，即出现较低的“沿密度”（Transition Density）。这种情况的出现会对一些应用场合带来问题。特别是，诸如交流耦合，失调弥补（Offset Cancellation）以及数据恢复等操作对沿的密度很敏感，如果沿密度太低，会导致操作失败。所以很多通信协议都规定了最大连续序列长度（Run Length），也即数据在发射端必须以特定的编码方式进行编码以避免超过最大序列长度。

在高速接口中，信号一般是非归零型（NRZ, Non Return to Zero），如图 2-1 所示。而且在接收端中，数据时钟恢复器（CDR, Clock and Data Recovery）电路需要在足够的“沿密度”和直流电平不偏斜的条件才能正常工作，因此规定了随机数据一定的编码形式，然后将编码后的数据送入扰码器（Scrambler）进行扰码，使得扰码之后的 NRZ 数据近似随机二进制数据。因此，本文针对随机二进制 NRZ 型数据做设计，对于各种编码方式不作叙述。

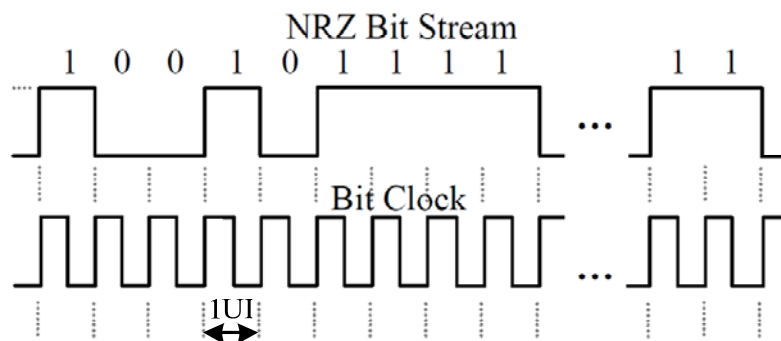


图 2-1 非归零随机二进制数据的码型

在通信系统中，信号在频域中表达会使得数学上的分析和计算大大简化，下面叙述随进二进制数据的频谱特性。

在时域中，随机二进制数据可以用一个关于时间 t 的函数^[41]，即，

$$x(t) = \sum_k b_k p(t - kT_b) \quad (2-1)$$

其中 $b_k = \pm 1$ ， $p(t)$ 表示脉冲的形状。也就是说，可以将随进二进制数据序列看做由基本脉冲在时间轴上以 T_b 为周期的排列，如图 2-2 所示。

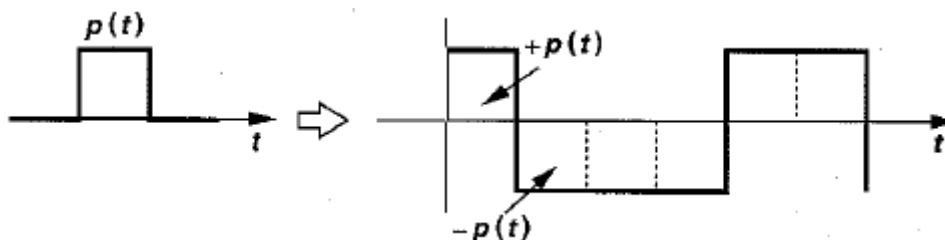


图 2-2 随机序列可以看作单个脉冲的随机重复

尽管 $p(t)$ 只是一个简单的矩形脉冲，但我们通过它可以得到随机序列 $x(t)$ 的频谱。如果 $x(t)$ 中正的脉冲和负的脉冲出现的概率相同，那么 $x(t)$ 的功率谱密度可由以下式子表示：

$$S_x(f) = \frac{1}{T_b} |P(f)|^2 \quad (2-2)$$

其中 $P(f)$ 表示 $p(t)$ 的傅里叶变换^[41]。假设 $p(t)$ 是宽度为 T_b ，并且以 T_b 为周期的矩形脉冲。其傅里叶变换为：

$$P(f) = T_b \frac{\sin(\pi f T_b)}{\pi f T_b} \quad (2-3)$$

因此，随机序列的频谱可以表达为：

$$S_x(f) = T_b \left[\frac{\sin(\pi f T_b)}{\pi f T_b} \right]^2 \quad (2-4)$$

注意，对于整数 n ，当 $f = n/T_b$ 时， $\sin(\pi f T_b)$ 为 0，由此我们将竖轴分别以线性缩放和对数地缩放来构造频谱图像，如图 2-3 所示。为了体现更大的幅度范围，频谱图通常采用对数缩放的竖轴。

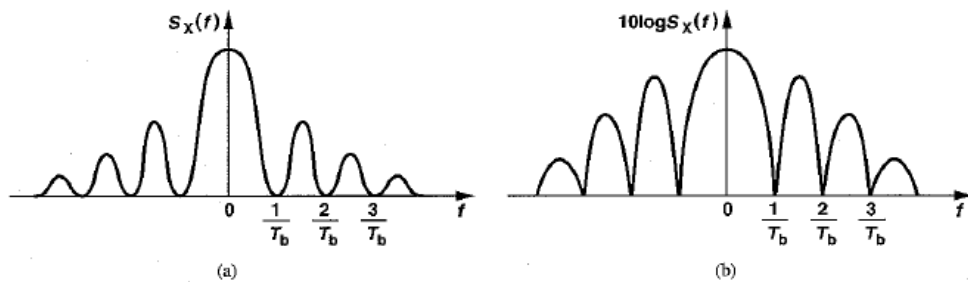


图 2-3 随机二进制数据的频谱，线性竖轴缩放 (a)，对数的竖轴缩放 (b)

以上分析揭示了随机二进制数据的一个重要特性，即：对于一个比特率为 $1/T_b$ 随机二进制数据序列，当频率为 $1/T_b$ ， $2/T_b$ ， $3/T_b$... 时，频谱的幅度值为 0，即数据序列在这些频率点上不包含能量。例如一个 10Gb/s 随机序列并不包含一个 10GHz 的分量，其频谱如图 2-4 (a) 所示，而该随机序列的一个特殊情况，1010 序列，是一个 5GHz 的方波，其频谱只包含奇次谐波，如图 2-4 (b) 所示。这一特性对于本文中均衡器的设计具有重要的指导意义。

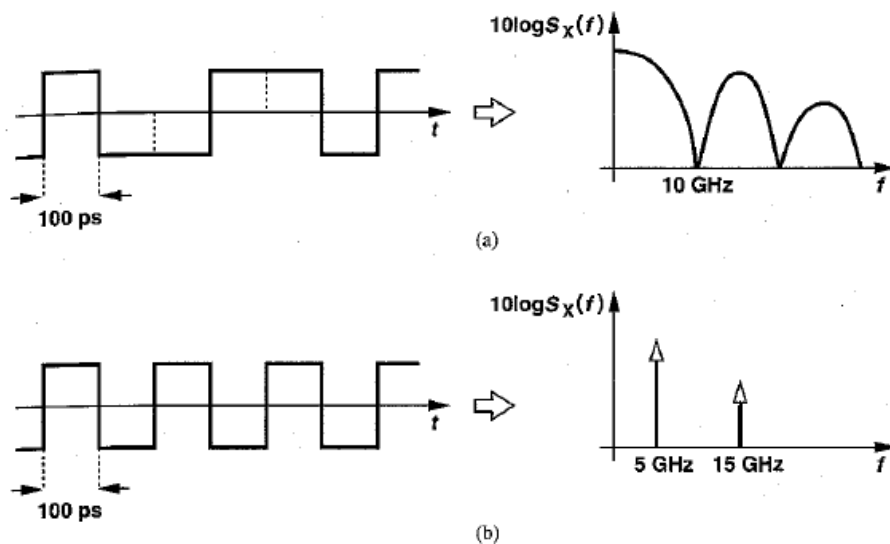


图 2-4 10Gb/s 随机二进制数据的频谱(a)，1010 序列的频谱 (b)

同时，从随机二进制 NRZ 数据的频谱可以看出，信号的频率分量的功率随频率增加大幅下降，而且集中在频率小于 $1/T_b$ 的频段，当带宽为 $0.75(1/T_b)$ 时，该频

带内的功率达到总体功率的 93.6%^[46]。如图 2-5^[46]为详细的数据。据此可知，对于发射端的驱动器和接受端的均衡器来说，其带宽要求无需达到数据率大小，一般来说，达到 $0.7(1/T_b)$ 即满足设计要求。

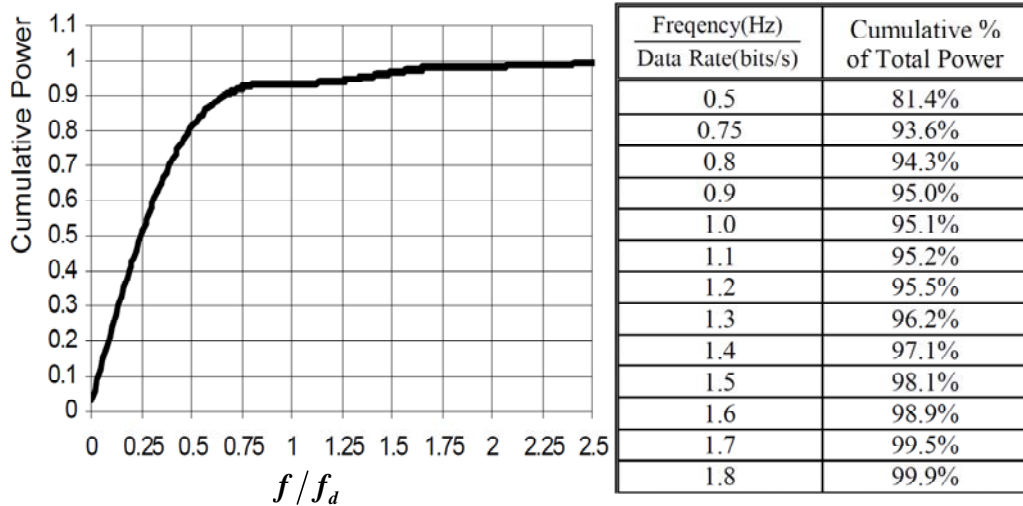


图 2-5 随机二进制 NRZ 码的累积功率与归一化的带宽的关系

2.1.2 带宽限制特性对随机数据造成的影响

2.1.2.1 低通滤波效应

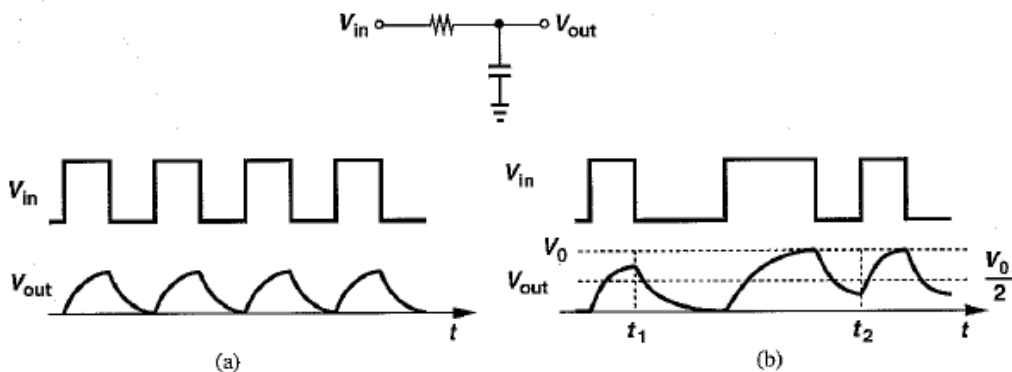


图 2-6 低通滤波器对周期性数据的影响(a)，对随机数据的影响 (b)

在高速电路设计过程中，带宽与增益和功耗进行折衷。而且在低噪声应用中，为保证信号处理具有较高的保真度，同时积分得到的整体噪声最小化，必须仔细的择取带宽。当带宽减小时，我们检验信号的质量，据此确定给定电路的带宽。对于一个理想的周期性方波，通过低通滤波器时，其高频分量受到衰减，时域上表现为上升和下降时间不再为 0，如图 2-6 所示。当输入的信号是随机二进制数据数据时，低通滤波效应可以根据一个一般的图例来说明。如图 2-6 (b)，对于一个

单个的“1”后面紧跟一个“0”，输出电平不会趋近于 V_0 ，但如果后面紧跟两个连续的“1”时，输出电平就接近 V_0 了。反之亦然。也即，对于输入的“0”或者“1”，输出电平随时间变化，导致判决阈（Decision Threshold）的确定十分困难。

例如，如果把阈值电压设置在 $V_0/2$ ，那么在 $t=t_1$ 和 $t=t_2$ 处的电平极易受噪声的影响而产生误判。以上现象也即是前文所说的“ISI”，因为输入数据序列可以表示成正的阶跃信号和负的阶跃信号的叠加，而每个阶跃信号在输出端产生一个幅度呈负指数增长的响应，出现“拖尾”，因此恶化了与后续数据位相应的输出电平。带宽越小，指数响应的“尾巴”所造成的 ISI 也越严重。

2.1.2.2 高通滤波效应

在一些应用场合中，需要对信号进行高通滤波处理。例如，级联的放大器之间的接口可能要求不同的直流电压，为避免直流失调（DC Offset），可以在级联的放大器之间引入容性耦合，也即采用高通滤波。但高通滤波效应也会恶化随机数据的信号完整性。当一队随机二进制数据序列输入到一阶 RC 滤波器时，输入信号的每一个电平转换（即上升沿或者下降沿）会立即出现在输出端，但如果出现很长的连续的“0”或“1”时，输出端的直流电平会大幅下降，后续数据位的直流电平会出现很大的偏移，使得判决电平很难确定，如图 2-7 所示。这种现象也可以看做 ISI，因为每一个数据位的电平都与之前的数据序列的样式相关。

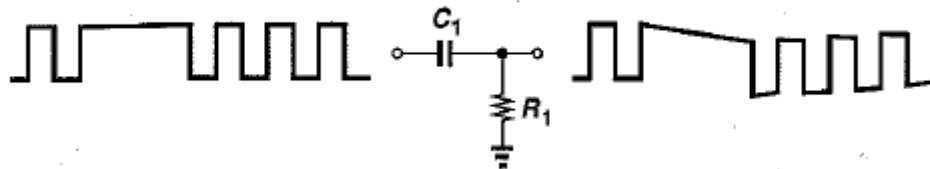


图 2-7 高通滤波效应

以上现象被称作“直流徘徊（DC Wander）”，因为输出波形的瞬时直流电平随着输入数据的样式改变而改变，具有随机性。为使直流徘徊最小化，即使得直流沉降最小化， $\tau_1 = R_1 C_1$ 必须远远大于最长的连续相同数据位的长度。有些通讯标准简单地规定了低位 -3dB 带宽来避免直流徘徊。对于以上假定的一阶高通 RC 滤波器，如果给定了带宽和最大直流偏移量就可以计算出随机二进制数据中最大的。下面给出计算推导过程。

如图 2-8 所示，各参量已在途中标出， T_b 为码元周期，假设直流沉降为 0.2 dB，高通滤波器转折频率为 250KHz，比特率为 10-Gb/s 则输出电压为：

$$V_1 = V_0 \exp \frac{-mT_b}{\tau_1} \quad (2-5)$$

解出, $m = \frac{\tau_1}{T_b} \log \frac{V_0}{V_1}$, 由于 $20 \log V_1 = 20 \log V_0 - 0.2 \text{ dB}$, 代入题设, $m \approx 147$ 。

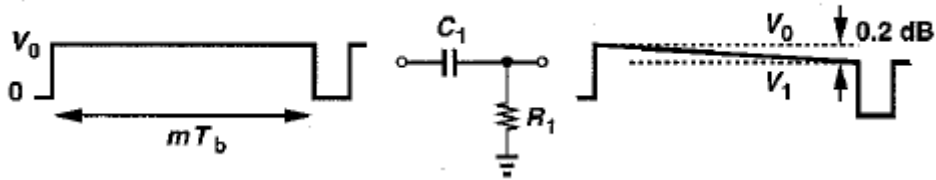


图 2-8 高通滤波效应导致的直流沉降

2.1.3 噪声对随机数据的影响

随机数据经过信道传输到接收端时, 信号幅度通常会经历很大的衰减, 因此, 接收端的噪声可能严重的影响信号质量。由于噪声直接与增益、带宽以及功耗进行折衷, 所以, 有必要在给定的误码率的情况下确定系统能够容忍的最大噪声量。

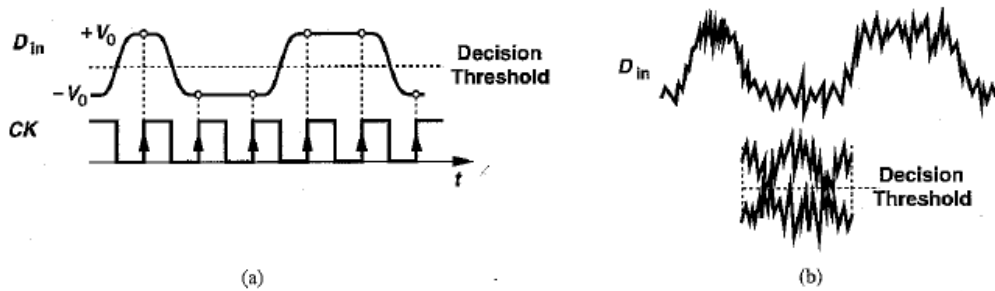


图 2-9 (a) 时钟采样不含噪声的数据; (b) 被噪声影响的数据以及眼图

时钟采样必须在数据位的中间位置 (这样距离判决电压的位置最远) 进行, 以保证较低的误码率。当噪声 $n(t)$ 叠加到信号上, 信号的幅度和时间分辨率 (Time Resolution) 都会恶化, 减小了眼图的开度, 同时增大了误码率, 如图 2-9 所示。因此有必要确定误码率和噪声幅度的关系。

假设噪声 $n(t)$ 的幅度服从高斯分布, 且均值为 0, 那么 $n(t)$ 的概率密度函数为:

$$P_n = \frac{1}{\sigma_n \sqrt{2\pi}} \exp \frac{-n^2}{2\sigma_n^2} \quad (2-6)$$

式中, σ_n 表示噪声的均方根。上式表明, 如果噪声幅度的大量样本服从高斯分布, 那么, 68% 的样本落在区间 $[-\sigma_n, +\sigma_n]$ 内, 98% 的样本落在区间 $[-2\sigma_n, +2\sigma_n]$ 内, 为了简化计算, 可以假定高斯噪声的幅度值极少超出 $\pm 4\sigma_n$ 。

由于随进二进制数据“0”和“1”等概率出现，它的概率密度函数由 $x = -V_0$ 和 $x = +V_0$ 组成，每个值出现的概率均为为 $1/2$ 。由概率理论可知，两个独立随机变量的求和，其概率密度函数则求卷积。因此，如图 2-10 所示， $x(t) + n(t)$ 的概率密度函数由两个分别以 $-V_0$ 和 $+V_0$ 为中心，均方根均为 σ_n 的高斯分布组成，图中阴影部分表示 $-V_0 + n(t)$ 的样本为正且 $+V_0 + n(t)$ 为负的概率分布，也即采样错误的概率。

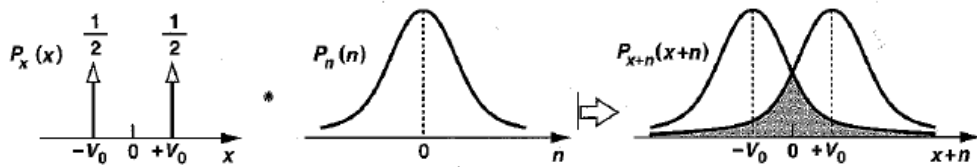


图 2-10 包含了额外噪声的信号样本概率密度函数

采样错误的概率，即是将 0 误判为 1 或者将 1 误判为 0，其概率是相等的，将其分别表示为 $P_{0 \rightarrow 1}$ 和 $P_{1 \rightarrow 0}$ 。我们只要求出其中一个就可以得出总的概率了。

$$P_{0 \rightarrow 1} = \frac{1}{2} \int_0^{+\infty} \frac{1}{\sigma_n \sqrt{2\pi}} \exp \frac{-(u + V_0)^2}{2\sigma_n^2} du \quad (2-7)$$

令 $z = (u + V_0)/\sigma_n$ ，式(2-7)可以简化为：

$$P_{0 \rightarrow 1} = \frac{1}{2} \int_{V_0/\sigma_n}^{+\infty} \frac{1}{\sqrt{2\pi}} \exp \frac{-z^2}{2} dz = \frac{1}{2} Q\left(\frac{V_0}{\sigma_n}\right) \quad (2-8)$$

其中， $Q(\bullet)$ 为“Q 函数”，且被定义为：

$$Q(x) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} \exp \frac{-u^2}{2} du \quad (2-9)$$

于是采样错误的概率为 $P_{tot} = Q\left(\frac{V_0}{\sigma_n}\right)$ 。注意， V_0 为信号摆幅峰峰值的一半， σ_n 为噪声的均方根，式子可以简化为 $P_{tot} = Q\left(\frac{V_{pp}}{2\sigma_n}\right)$ 。由于 $\frac{V_{pp}}{2\sigma_n}$ 本身即是系统信噪比（SNR）的一个度量，可以据此预见式中 P_{tot} 与 $\frac{V_{pp}}{2\sigma_n}$ 的相关特性。在整个带宽内对噪声进行积分即可得到 σ_n 。但是，Q 函数不能直接积分，尽管如此，对于 $x > 3$ ，Q 函数可以精确的近似为：

$$Q(x) \approx \frac{1}{x\sqrt{2\pi}} \exp \frac{-x^2}{2} \quad (2-10)$$

在实际设计过程中，要求在给定的误码率条件下，确定相应的 V_{pp}/σ_n 比率。

这个可以由上式(2-8)迭代求出。综上所述，信号完整性与带宽存在一个折衷：如果一个放大器的带宽过小，会给随机数据带来严重的 ISI；另一方面，如果带宽过大，又将引入过多的噪声。这一结论在后文中将会用到。

2.2 背板传输

现有的高速链路多采用铜质互连线，根据不同的应用环境，可以有多种信道类型，这些信道大体上可以归为两种主要范畴。第一类是 PCB 板间通信，也即背板通信，在信号路径中有包括连接器和过孔的多种部件，主要用于网络设备、服务器以及路由器中。目前尚在使用的大多数背板能够支持的信号速率通常不超过 1Gb/s，但最近的趋势表明，高速串行信号的数据率已经达到 1Gb/s，甚至 10Gb/s，使得这一类成为研究热点。第二类是 PCB 单板上的芯片间通信，单板上铜质走线的特性可以严格控制。本文即是基于 FR-4 (Flame Resistant 4) 背板、铜质走线的单板 PCB 上的芯片间通信。其中的分析方法可以很容易的应用于其他信道，如同轴电缆和双绞线电缆等。

2.2.1 背板传输相关的信号完整性问题

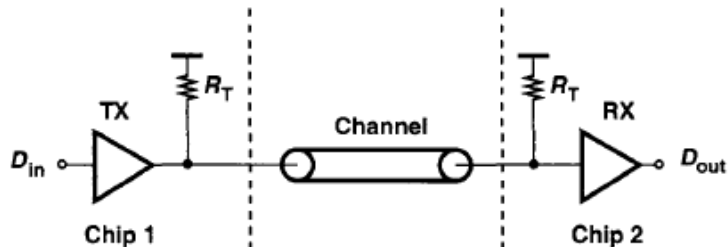


图 2-11 芯片间的点对点通信

发射端 (Transmitter) 和接收端 (Receiver) 分别为发射和接受数据的专用电路，如图 2-11 所示。多年以来，片外带宽 (Off-chip bandwidth) 增长的速率远小于片上带宽的增长速率，使得芯片间的通信链路成为提高整体数据传输速率的瓶颈。例如，对于处理器-内存接口，处理器的时钟频率可以达到 1Ghz 以上，而接口只能工作在几分之一这个频率^[37]，使得信道成为高速运算的一个瓶颈。因此，本文所做的工作即是弥补片上带宽和片外带宽的差距。

频率较低时 (MHz 量级)，信道可以看作点对点传输信号的导线 (即信道对于信号是“透明的”)，但是当信号数据率增大到一定程度，导线上的寄生电容、电

阻和电感会引起很大的电磁辐射和串扰^[13]，导致信号的扭曲，恶化了数据码元的信号完整性，此时已不能将导线视为短接了。为了正确估量寄生效应的影响，须将信道设计为传输线，而信号也被视为行波。当行波的波长和传输线的尺寸相当时，传输线效应尤为明显。因此，相比片上互连线，传输线效应更有可能出现在长度更大的 PCB 走线上。

在将铜走线设计为传输线时，反射量是一个重要的衡量指标。为了避免波反射，在确定走线的尺寸时必须保证其特征阻抗为 $Z_0 = \sqrt{l/c}$ ，其中 l 和 c 分别为单位长度走线的电容和寄生电感。在大多数应用中 $Z_0 = 50\Omega$ ，且在宽频段内呈现纯电阻属性。为了将信号反射量最小化，图 2-11 中的端接电阻 R_T 应该精确地匹配传输线的特征阻抗。在发射端和接收端都要端接电阻，以使任意方向上的反射最小化。任何一端的短接电阻和特征阻抗的失配都会导致波反射，反射可由反射系数来量化：

$$R_L = \frac{R_T - Z_0}{R_T + Z_0} \quad (2-11)$$

在匹配理想的情况下，即 $R_T = Z_0$ 时，回波损耗（Return loss）趋近于 0。当 R_T 偏离 Z_0 时，回波损耗增大。宽频电路要求在很大频段内有较好的回波损耗性能，通常从 DC 到数据率频率。与之形成对比的是在窄带应用中，只要求在很窄的频率范围内具有较好的回波损耗性能。

传输路径中的过孔和连接器也可能导致阻抗失配，使得传输线路径的设计、发射端和接收端中用于补偿这些效应的电路设计复杂化。信道中不连续点可以通过时域反射计（TDR）来鉴定和纠正。总之，反射的危害有两点。第一，入射波的反射会减少接收端的信号强度；第二，反射造成信号的扭曲。为了弥补阻抗不连续造成的信号恶化，需要在进行额外的片内信号处理，提高了设计复杂度，并且增大了系统功耗。

2.2.2 频率相关性损耗与 ISI

传输线中另外一个主要的非理想特性是频率相关性损耗（Frequency-dependent Loss），它在高频下尤为突出。除了金属导体固有的电阻，损耗的来源主要是趋肤效应（Skin Effect）和介电损耗（Dielectric Loss）。传输线由信号路径（Signal Path）、介质、以及返回路径（Return Path）构成，信号路径和返回路径均为金属导体，因此，传输线中存在两种电感，即自感（Self-inductance）和互感（Mutual-inductance），电流在导体中的分布即是这两种电感的作用结果。电流在导体中流动时会选择阻抗最小的分布方式，为减小自感，电流倾向于分离开，表现于在导体表面集中。

同时，为了减小互感，信号路径和返回路径中的电流又倾向于尽可能的靠近，因此，传输线中电流的分布如图 2-12 所示。随着频率的增加，电流想导体表面集中度也越大。这一现象被称作“趋肤效应”。电流在导体表面集中的厚度成为趋肤深度（Skin Depth）。实际的介质材料都具有一定的导通电阻，造成传输线的信号路径和返回路径之间存在泄漏电流（Leakage Current），随着频率的升高，导通电阻下降，使得传输线上的信号高频分量严重衰减。这一现象被称为“介电损耗”^[38]。



图 2-12 微带线的趋肤效应

趋肤深度可以表示为：

$$d = \sqrt{\frac{\rho}{2\pi f \mu}} \quad (2-12)$$

其中 μ 是磁导率， ρ 是导体材料的电阻率。由于导体的体外电感（External Inductance）不随电流在导体内的分布变化，故趋肤效应只改变导体的内部电感（Inner Inductance），同时由于导电截面的减小，电阻也因之增大。假设导体的宽度为 W ，由趋肤效应引起的电阻增量为 R_{skin} ，电感增量为 L_{skin} 。则趋肤效应引起的总的等效阻抗为：

$$Z_{skin} = R_{skin} + j\omega L_{skin} = \frac{\rho}{Wd} + j\omega \frac{\rho}{2\pi Wdf} = \frac{\sqrt{\pi\mu\rho}}{W} (1+j)\sqrt{f} = \alpha_{skin} (1+j)\sqrt{f} \quad (2-13)$$

同时，介电损耗的定量可由 $\tan \delta$ 来表征：

$$\tan \delta = \frac{G}{\omega C} \quad (2-14)$$

式中 G 和 C 分别表示单位长度的介质上的电导和电容。由于 $\tan \delta$ 在 10GHz 以内的频带内不随频率的改变而改变，因此上式表明介质的导电性随着频率线性的增大。根据上式，带入 G 和 C 的表达式，可得介电损耗因子为：

$$\alpha_D = \frac{\pi \sqrt{\epsilon_r} \tan \delta}{c} f \quad (2-15)$$

式中 c 和 ϵ_r 分别表示光速和相对介电常数。因此，设导体的长度为 l ，则趋肤

效应和介电损耗造成的总的损耗为：

$$H(f, l) = (\alpha_{skin} \sqrt{f} + \alpha_D f) l \quad (2-16)$$

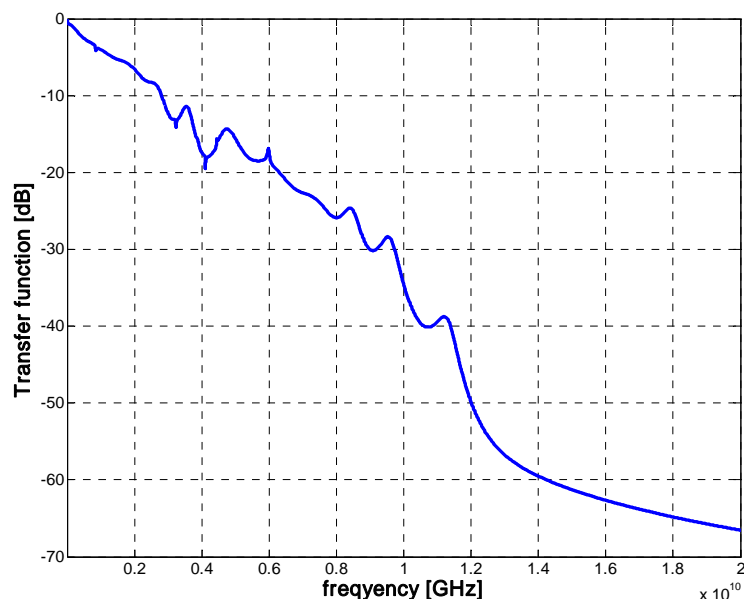


图 2-13 背板传输线的 S21 参数

由于介电损耗具有线性的频率相关性，其在高频下占主导，而低频下为趋肤效应造成的损耗占主导，交叉频率（两者相等处的频率）由导体和背板的物理尺寸和材料特性决定。如图 2-13 所示为一个背板传输线的 S21 参数。由此可以看出，背板传输具有明显的低通滤波特性，其对信号的影响在时域上体现为信号的沿变缓，出现“拖尾”现象，如图 2-14 所示。

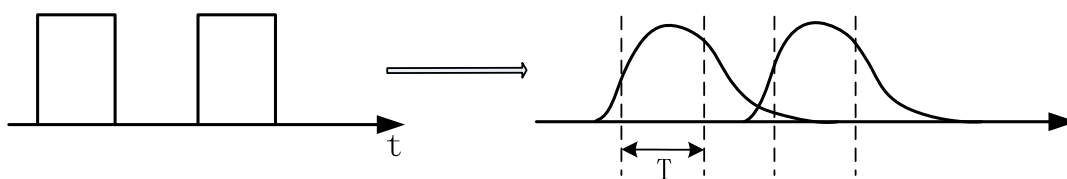


图 2-14 背板信道的低通特性导致的信号拖尾现象

如图 2-15 所示是背板传输线的单位冲击响应，可以看出脉冲信号被明显展宽，当连续的脉冲出现时，前一个脉冲的拖尾就会影响后一个脉冲的电平如。图 2-14 所示是背板信道的低通特性导致的信号拖尾现象。从图中可以看出，一个单脉冲会影响到它附近的码元。这种现象通常被称为码间串扰（ISI）。

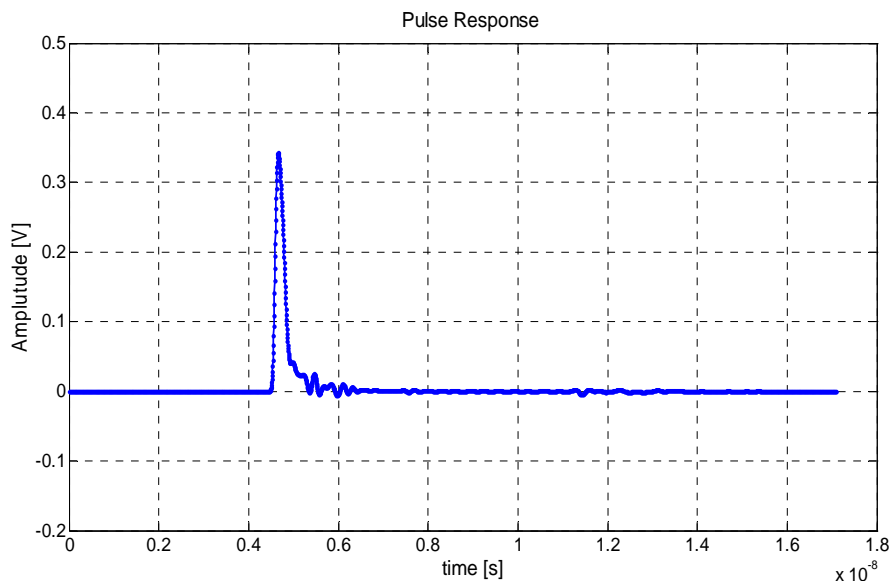


图 2-15 背板传输线的单位冲击响应

如图 2-16 所示，根据 ISI 所处码元的前后位置，可将 ISI 分为尾随码间串扰（Trailing ISI）和超前码间串扰（Leading ISI），通常称之为前光标（Pre-cursor）和后光标（post-cursor）ISI。

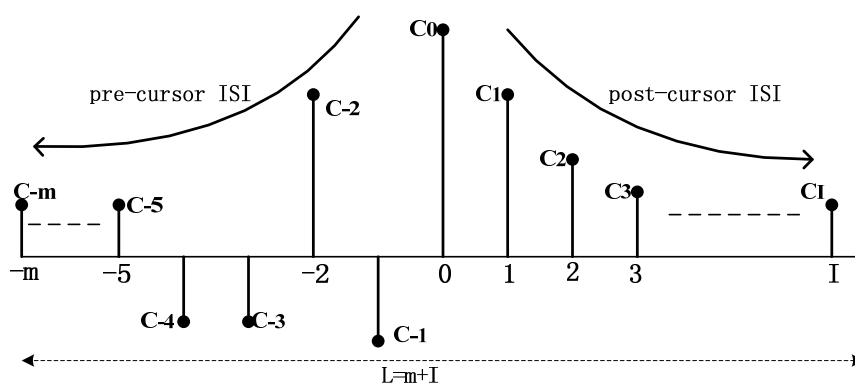


图 2-16 pre-cursor ISI 和 post-cursor ISI

信号经过背板信道之后，由于产生了 Pre-cursor 和 post-cursor，可以在离散时间函数表达：

$$x(t) = y(t) + \sum_{j=-\infty}^{\infty} y(t)_j \cdot c_j \quad (2-17)$$

$y(t)$ 表示发射端的信号， $x(t)$ 表示 $y(t)$ 经过背板信号到达接收端的信号， c_j 表示码间串扰的系数。在给定的采样率下，ISI 对整体电压裕量造成的最差结果可以通过将这些 ISI 项的绝对值相加得到[8]：最差情况下 ISI 噪声大小

$=\sum |ISI_+| + \sum |ISI_-|$ ，其中， $|ISI_+|$ 和 $|ISI_-|$ 分别表示正的及负的 ISI 项。另外，还可以通过眼图（Eye Diagram）检验信号完整性，首先发送一个随机数字序列，然后画出眼图并估算出电压裕度和时间裕度。通过眼图估算出的电压裕度和以上方法估算出的结果理论上是很接近的。在额外噪声存在的情况下，电压裕量和时间裕量的减小使得系统的误码率（BER）增大。然而串行链路有严格的误码率要求，一般要求低于 10^{-12} 。采用均衡技术，可大大减小 ISI，进而提高电压裕度。这将在后续章节中进行讨论。

2.3 本章小结

本章介绍了高速串行链路中的基本概念，主要有以下内容：随机二进制数据的频谱特性、带宽和噪声对随机二进制数据的影响以及这些影响的定性分析和初步量化、信号完整性问题及其应对措施、结合信号完整性分析探讨背板信道的特性。本章重点探讨了背板信道的带宽限制特性对随机二进制数据产生的信号完整性问题，并且给出了接口电路带宽的大致范围。

第三章 带宽拓展与均衡技术

带宽拓展和均衡是本课题的两大关键问题。带宽直接决定了串行链路信号的质量,如何将多级级联的单元电路总体带宽大于随机数据的乃奎斯特频率(Nyquist frequency)是本课题的难点。另外要求接收端的均衡器在乃奎斯特频率处的增益达到信道的衰减量。带宽拓展技术发掘现有工艺的潜力以达到更好的性能,均衡技术则是利用电路的特性来补偿信道的衰减,是保持信号完整性的具体措施。本章将对现有的主要拓扑结构(其中带宽拓展技术包括电感峰化技术、电容负反馈技术、Cherry-Hppoeer 结构、转折频率倍增技术以及有源负反馈技术;均衡技术包括数字 FIR 滤波器、模拟 FIR 滤波器、连续时间滤波器以及判决负反馈滤波器)进行了原理分析,从中提取出各种结构的优缺点和适用条件,然后进行横向比较,为下一章具体电路设计做铺垫。

3.1 带宽拓展技术

3.1.1 电感峰化技术

随着单片电感的出现,电感峰化技术开始在集成电路中得到应用。其原理是让限制放大器带宽的电容与一个电感进行谐振,以提高速度。当然,谐振时必须保证随之出现的过冲最小化,为随机数据提供良好的响应。以下以一个单级共源放大器来说明这一技术。

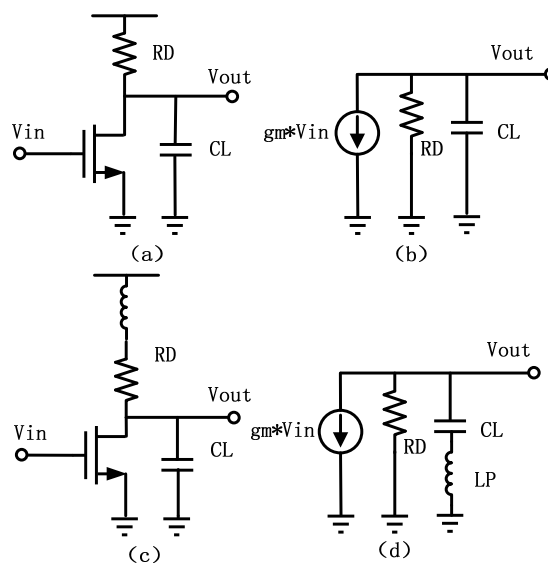


图 3-1 (a) 电容负载的共源放大器; (b) 为 (a) 的小信号等效电路; (c) 加入电感的共源放大器; (d) 为 (c) 的小信号等效电路

图 3-1 (a) 为带有电容负载的共源放大器，其小信号等效电路如图 3-1 (b) 所示。可以看出，该放大器的 $-3dB$ 带宽为 $(2\pi R_D C_L)^{-1}$ 。如图 3-1 (c) 在负载电阻上串联一个电感，并画出其小信号等效电路，如图 3-1 (d) 所示。直观上看，如果输入一个阶跃波形，电感初始时作为开路，使得所有的电流流过电容，而不是流过负载电阻。所以，图 3-1 (d) 输出电压的变化要比图 3-1 (b) 输出电压的变化快。如果电感的感值过大，那么输出电压在稳定之前会出现过冲。因此，必须将过冲和电路参数以函数的形式关联起来，以指导电路设计。将电容支路和 RL 支路的电流进行相加，得到：

$$V_{out} C_L s + \frac{V_{out}}{L_p s + R_D} = -g_m V_{in} \quad (3-1)$$

整理上式，得，

$$\frac{V_{out}}{V_{in}} = -g_m \frac{L_p s + R_D}{L_p C_L s^2 + R_D C_L s + 1} = -g_m R_D \frac{s + 2\zeta \omega_n}{s^2 + 2\zeta \omega_n s + \omega_n^2} \cdot \frac{\omega_n}{2\zeta} \quad (3-2)$$

其中， $\zeta = (R_D/2)\sqrt{C_L/L_p}$ ， $\omega_n^2 = (L_p C_L)^{-1}$ 。由于该传输函数中包含一个零点，在计算 $-3-dB$ 时必须将其考虑进去。令上式的幅值的平方等于 $g_m [\omega_n R_D / (2\zeta)]^2 / 2$ ，得到：

$$\omega_{-3-dB}^2 = \left[\frac{1}{4\zeta^2} + 1 - 2\zeta^2 + \sqrt{\left(\frac{1}{4\zeta^2} + 1 - 2\zeta^2 \right) + 1} \right] \omega_n^2 \quad (3-3)$$

由于 $\zeta = (R_D/2)\sqrt{C_L/L_p}$ ，则 $\omega_n^2 = (L_p C_L)^{-1} = 4\zeta^2 / (R_D^2 C_L^2)$ ，于是：

$$\omega_{-3-dB}^2 = \left[\frac{1}{4\zeta^2} + 1 - 2\zeta^2 + \sqrt{\left(\frac{1}{4\zeta^2} + 1 - 2\zeta^2 \right) + 1} \right] \frac{4\zeta^2}{R_D^2 C_L^2} \quad (3-4)$$

从上式可以得出带宽较原有值 $1/(R_D C_L)$ 提高的倍数。表 3-1 给出了不同过冲大小的条件下，因零点的引入导致的传输方程特性差异。

表 3-1 电感峰化的特点

过冲	5%	7.5%	10%
ζ (包含零点)	0.73	0.69	0.65
ζ (不包含零点)	0.69	0.64	0.59
带宽提升 (包含零点)	78%	82%	84%

在典型设计中，根据增益和电压裕量的要求来确定 R_D 和 C_L 的值， L_p 则是由

速度的要求而定。考虑到工艺和温度的偏差需要预留一定的裕量，在良好的阶跃响应和带宽提升度之间进行折衷，过冲量大致选为 7.5% 较为合理。因此，理论上，电感峰化技术可以将速度提升 82%。由于二阶效应，在谐振频率外增益的下降越快，带宽外的噪声抑制效果越好。

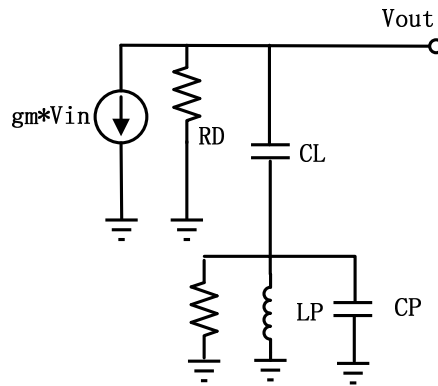


图 3-2 考虑了寄生效应的电感峰化模型

实际情况下，由于单片电感存在寄生电感，且品质因数 Q 较低，电感峰化技术带来的速度提升较理论值略低。图 3-2 将实际单片电感模拟为一个简单的并联网络，其中 R_p 用于表示有限的 Q 值效应，即， $R_p = L_p \omega / Q$ 。 C_p 表示单片电感与地之间的寄生电容。此时，由于 R_p 与 L_p 并联， L_p 对输出的影响减小，电路呈现三阶效应。典型的单片电感特性使得带宽的提升被限制在 50% 左右。

如果芯片面积作为首要折衷条件，也可采用有源电感来实现电感风化技术。但有源电感有个很大的弊端，即消耗很大的电压裕量，很难在低电源电压下应用。因此，这里不再赘述。

3.1.2 电容负反馈技术

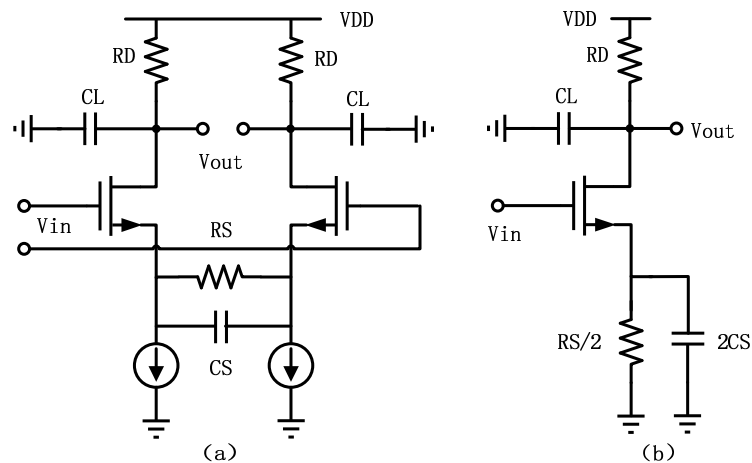


图 3-3 (a) 带有电容负反馈的差分对；(b) 半边等效电路

为得到宽频带的响应，可以在差分对中引入电阻负反馈，使得差分电路的跨导在高频下增加，以抵消输出端引入的极点所导致的增益下降。如图 3-3 所示，同时引入电容和电阻负反馈。根据该电路的对称性，可取其半边进行分析，等效跨导为：

$$G_m = \frac{g_m}{1 + g_m \left(\frac{R_S}{2} \cdot \frac{1}{2C_S s} \right)} = \frac{g_m (R_S C_S s + 1)}{R_S C_S s + 1 + g_m R_S / 2} \quad (3-5)$$

上式表明，跨导传输函数中包含一个位于 $1/(R_S C_S)$ 的零点和一个位于 $(1 + g_m R_S / 2)/(R_S C_S)$ 的极点。如果零点抵消了极点，也即如果 $R_S C_S = R_D C_L$ ，那么放大器的整体带宽将拓展到 $(1 + g_m R_S / 2)/(R_S C_S)$ ，即 $(1 + g_m R_S / 2)/(R_D C_L)$ 。也就是说，带宽提升了 $1 + g_m R_S / 2$ 倍，而低频增益下降了同样比率，减小为 $A_v = g_m R_D / (1 + g_m R_S / 2)$ 。同时，由 R_S 引入的特噪声也会带来额外的问题。

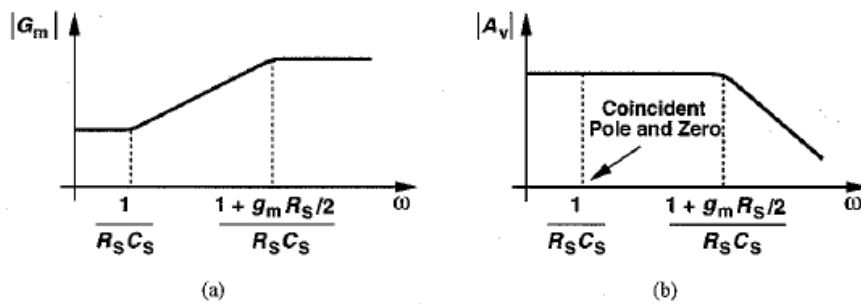


图 3-4 (a) 跨导随频率的变化；(b) 电压增益随频率的变化

相比简单的共源放大器，电容/电阻负反馈放大器的一个重要的优点在于输入阻抗的改变，也就是改变了前一级放大器看到的负载。在推导传输方程时，将前一级放大器的输出电阻 R_G 包含进来。如图 3-5 所示， $g_m V_1 = I_{out}$ ，通过 C_{GS} 的电流为 $(I_{out}/g_m)C_{GS}s$ ，且通过 $R_S/2$ 和 $2C_S$ 并联支路的电流为 $(I_{out}/g_m)C_{GS}s + I_{out}$ ，将 R_G ， C_{GS} 和 $(R_S/2) \cdot (2C_S s)^{-1}$ 上的电压进行求和，并令其等于 V_{in} ，可得：

$$\frac{I_{out}}{g_m} C_{GS} s R_G + \frac{I_{out}}{g_m} + \left(\frac{I_{out}}{g_m} C_{GS} s + I_{out} \right) \frac{R_S/2}{R_S C_S s + 1} = V_{in} \quad (3-6)$$

整理得到：

$$\frac{I_{out}}{V_{in}} = \frac{g_m (R_S C_S s + 1)}{R_G C_{GS} R_S C_S s^2 + (R_G C_{GS} + R_S C_S + C_{GS} R_S / 2) s + 1 + g_m R_S / 2} \quad (3-7)$$

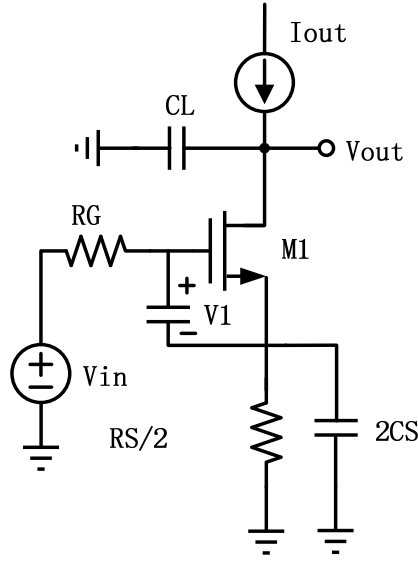


图 3-5 电容负反馈放大器的输入电容

可以看出零点仍然出现在 $1/(R_S C_S)$ 处。为估算极点，作如下近似：

$$\left(\frac{s}{\omega_{p1}} + 1\right)\left(\frac{s}{\omega_{p2}} + 1\right) = \frac{s^2}{\omega_{p1}\omega_{p2}} + \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}}\right)s + 1 \quad (3-8)$$

假设 $\omega_{p1} \ll \omega_{p2}$ ，可以得到：

$$\left(\frac{s}{\omega_{p1}} + 1\right)\left(\frac{s}{\omega_{p2}} + 1\right) \approx \frac{s^2}{\omega_{p1}\omega_{p2}} + \frac{s}{\omega_{p1}} + 1 \quad (3-9)$$

因此，由前两式可以解出：

$$\omega_{p1} \approx \frac{1 + g_m R_S / 2}{R_G C_{GS} + R_S C_S + C_{GS} R_S / 2} \quad (3-10)$$

$$\omega_{p2} \approx \frac{1}{R_S C_S} + \frac{1}{R_G C_{GS}} + \frac{1}{2R_G C_S} \quad (3-11)$$

为避免放大器的增益下降太多， $g_m R_S$ 通常不大于 5，因此可以假定 $\omega_{p1} \ll \omega_{p2}$ 。如果 $R_G C_{GS} \gg R_S C_S + C_{GS} R_S / 2$ ，那么：

$$\omega_{p1} \approx \frac{1 + g_m R_S / 2}{R_G C_{GS}} \quad (3-12)$$

也即，输入极点增大了 $1 + g_m R_S / 2$ 倍。当多个差分对进行级联时，可以让电容负反馈产生的零点去抵消晶体管自身的栅-源电容引入的极点，即，使得 ω_{p1} 等于 $1/(R_S C_S)$ ：

$$\frac{1 + g_m R_s / 2}{R_G C_{GS} + R_s C_s + C_{GS} R_s / 2} = \frac{1}{R_s C_s} \quad (3-13)$$

整理得：

$$\frac{C_s}{C_{GS}} = \frac{1}{g_m R_s} \left(\frac{2R_G}{R_s} + 1 \right) \quad (3-14)$$

在此条件下， ω_{p2} 和漏极与衬底之间的电容限制了带宽。该结构可以用于低压条件下。

3.1.3 Cherry-Hooper 结构

Cherry-Hooper 放大器^[51]采用漏极局部负反馈网络来提高带宽。此类结构是在级联的共源放大器的基础上改进而来的。因此，首先讨论一下共源放大器级联电路。如图 3-6 (a)， C_x 表示从节点 X 到地的全部电容。第一级的电压增益和带宽直接折衷： $|A_v| = g_{m1} R_{D1}$ 及 $\omega_{p,x} = (R_{D1} C_x)^{-1}$ 。为保证第二级放大器具有适中的增益 M_2 的尺寸必须足够大，这就带来了较大的 C_{GS2} 和 C_{GD2} ，由于米勒效应，节点 X 的等效电容大大增加，可能严重地限制了该节点的带宽。如图 3-6 (b) 所示，在两级放大器中间插入一个源极跟随器，用以将节点 X 同第二个共源放大器的输入电容隔离开。然而，由于源极跟随器消耗很大的电压裕量，限制了可分配给 R_{D1} 的电压，进而限制了电压增益。如果将体效应和沟道调制效应考虑进去，源极跟随器对信号的幅度的衰减可达 6dB。

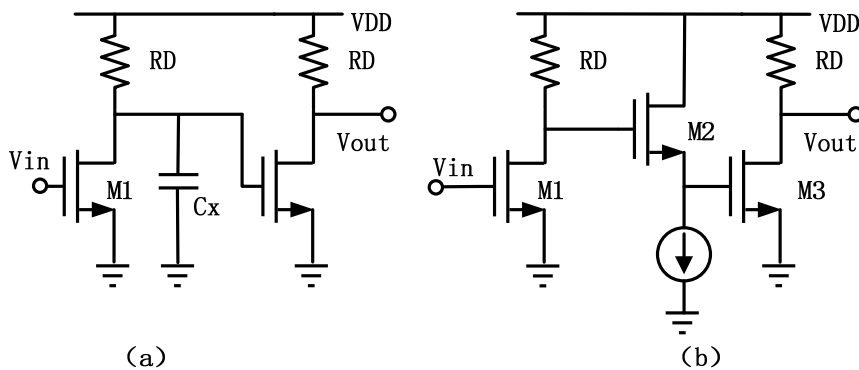


图 3-6 (a) 两级共源放大器；(b) 采用源极跟随器作为缓冲的级联放大器

现在考虑另外一种改进方案，如图 3-7 (a)，电阻 R_f 检测输出端的电压，然后返回一个与该电压成比例的电流到节点 X，由此建立起围绕 M_2 的负反馈网络。该电路有两条到达输出端的路径：一个通过 M_2 ，另外一个通过 R_f 。由于经由 R_f 到输出端的信号与 M_2 产生的信号符号相反，故而有必要采取措施使得通过 R_f 的信号大小最小化，以恶化增益。假定 I_B 是理想电流源，沟道调制效应也忽略不计。那

么可以得到：

$$V_{out} - g_{m1}V_{in}R_F = V_X \quad (3-15)$$

由 M_2 产生的小信号电流必须流过 R_F ，因此：

$$g_{m2}(V_{out} - g_{m1}V_{in}R_F) = -g_{m1}V_{in} \quad (3-16)$$

整理得到：

$$\frac{V_{out}}{V_{in}} = g_{m1}R_F - \frac{g_{m1}}{g_{m2}} \quad (3-17)$$

如果 $R_F \gg g_{m2}^{-1}$ ，那么此电路的增益与单个的共源放大器相同，并且负载电阻等于 R_F 。图 3-7 (a) 电路相对于图 3-6 (a) 和图 3-6 (b) 电路的优势在于其在节点 X 和 Y 看入的小信号电阻。容易看出，这两个节点看入的小信号电阻均为 g_{m2}^{-1} ，通常情况下，其值远小于 R_F 。因此，如果这些节点的电容可以采用图 3-7 (b) 的话，那么极点处的频率量级为 $\omega_{p,X} \approx g_{m2}/C_X$ 和 $\omega_{p,Y} \approx g_{m2}/C_Y$ ，远高于图 3-6 (a) 和图 3-6 (b) 相应的极点频率。直观地看，在高频下， C_Y 将输出节点短路，降低了环路增益，而且增大了 M_2 栅极看入的阻抗。同理， C_X 将节点 X 短接，增大了输出阻抗。假设 $C_X \approx C_{GS2}$ ，那么 $\omega_{p,X} \approx g_{m2}/C_{GS2} \approx 2\pi f_{T2}$ ，其中 f_{T2} 表示 M_2 的转折频率。

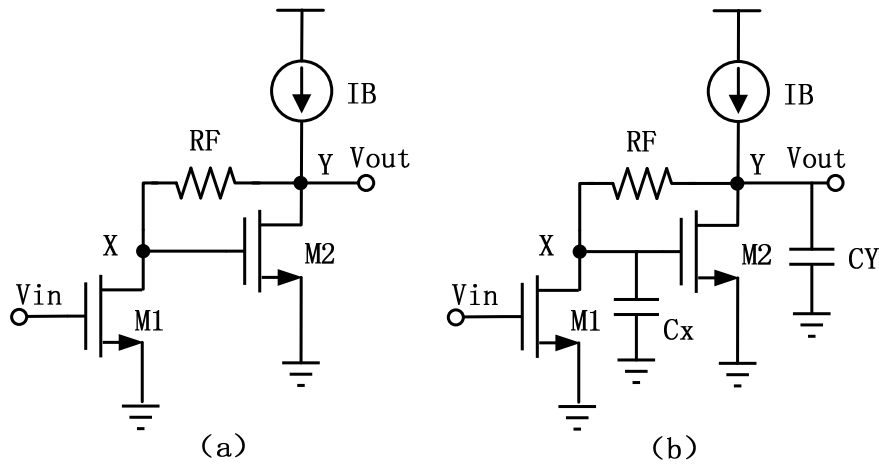


图 3-7 (a) 采用负反馈的两级共源放大器；(b) 加入节点电容

总之，如图 3-7 (a) 所示的 Cherry-Hooper 电路结构提供的增益为 $g_{m1}R_F$ ，却以较小节点电阻（节点 X 、 Y ）为代价，故而在这两个节点上只产生了高频极点。下面通过等效电路更精确地分析该电路结构。

如图 3-8 所示， $I_{in} = g_{m1}V_{in}$ ，流过 R_F 和 C_{GD2} 的并联组合的电流为 $I_{in} + V_X C_X s$ ，其电压降为 $(I_{in} + V_X C_X s)R_F / (R_F C_{GD2} s + 1)$ ，将该电压降与 V_X 相加，并令其等于 V_{out} ，

得到：

$$(I_{in} + V_X C_X s) \frac{R_F}{R_F C_{GD2} s + 1} + V_X = V_{out} \quad (3-18)$$

同时，对输出节点电流进行求和：

$$-V_{out} C_Y s - g_{m2} V_X = I_{in} + V_X C_X s \quad (3-19)$$

解得：

$$\frac{V_{out}}{I_{in}} = \frac{R_F^2 C_X C_{GD2} s^2 + (g_{m2} R_F C_{GD2} + C_X - C_{GD2}) R_F s + g_{m2} R_F - 1}{R_F (C_X C_Y + C_{GD2} C_Y + C_X C_{GD2}) s^2 + (C_Y + g_{m2} R_F C_{GD2} + C_X) s + g_{m2}} \quad (3-20)$$

从上式中很难得到对电路设计的直接指导。但作为特例，假定两个极点相等，则可以得出：

$$\omega_{p1} = \omega_{p2} = \frac{2g_{m2}}{C_Y + C_X + g_{m2} R_F C_{GD2}} \quad (3-21)$$

如果分母中的第三项可以忽略不计，那么极点频率可由 g_{m2} 及 C_X 和 C_Y 的平均值得出。即便如此， ω_{p1} 和 ω_{p2} 也比无负反馈的极点大得多。当用于差分信号的放大时，Cherry-Hooper 电路如图 3-9（a）所示。如图 3-9（b）所示，由于典型的 PMOS 或者 pnp 电流源会给输出端引入很大的电容，电流源 I_1 和 I_2 通常由电阻替代。

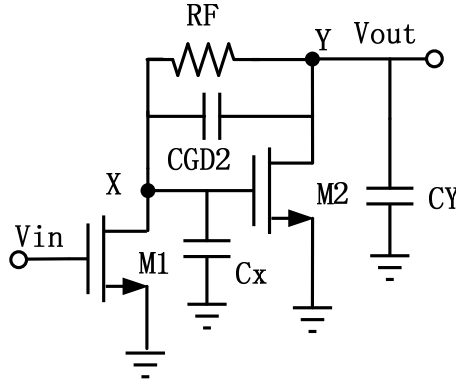


图 3-8 Cherry-Hooper 放大器的等效电路

尽管 Cherry-Hooper 大大提高了带宽，但由于消耗过多的电压裕量，因而很难应用于低电源电压电路中。例如，在图 3-9（b）中， I_{SS1} 必须从反馈电阻中流过，而且 $I_{SS1} + I_{SS2}$ 必须流过负载电阻。于是，可以推算出最小电源点压：

$$V_{DD,min} = \frac{(I_{SS1} + I_{SS2})}{2} R_D + \frac{I_{SS1}}{2} R_F + V_{GS3,4} + V_{ISS2} \quad (3-22)$$

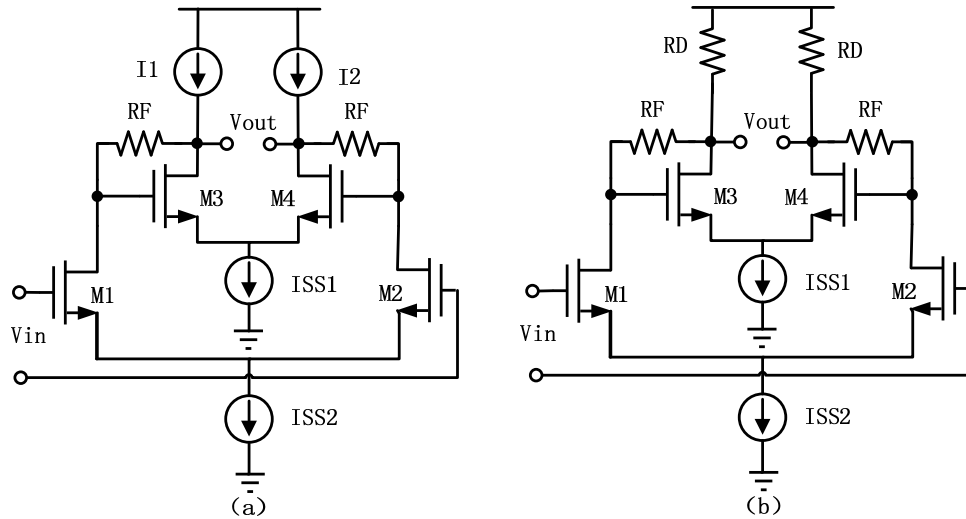


图 3-9 差分版的 Cherry-Hooper 放大器 (a) 电流源负载; (b) 电阻负载

式中 V_{ISS2} 表示电流源 I_{SS2} 所需的最小电压, 可以看出, 电压裕量限制了该电路的增益。为了解除增益和电压裕量之间互为掣肘的折衷关系, 现将输入级差分对的偏置电流的一部分或全部由电阻负载 (或电流源负载) 提供。其中, R_H 必须远远大于第二级的输入电阻。由于 PMOS 载流子的迁移率较低, 在消耗适度电压裕量的条件下, PMOS 器件需要更大的沟道宽度以承载所要求的电流, 因此, 图 3-10 (b) 中与 M_1-M_4 相连的电流源可能会在相应节点上引入很大的电容, 进而使得该电路速度提升效果较理想值低。

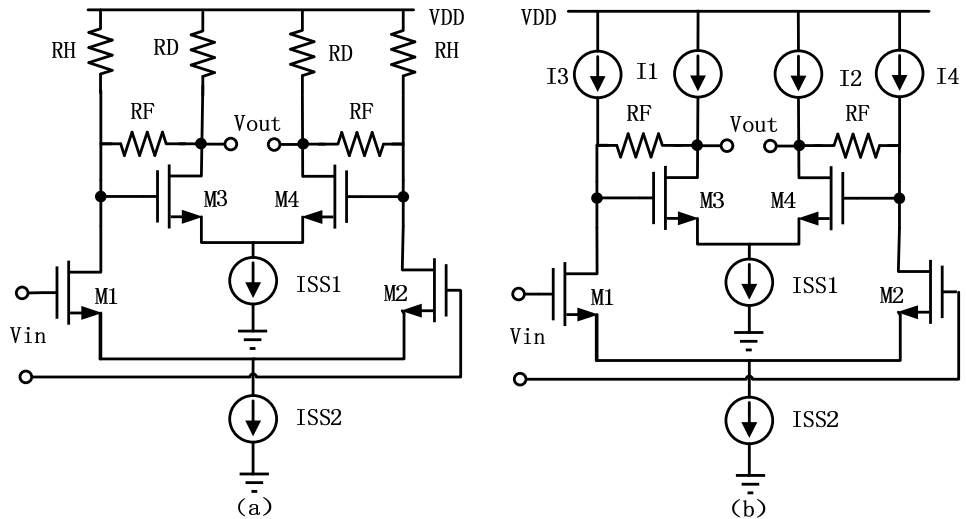


图 3-10 改进的差分版 Cherry-Hooper 放大器

3.1.4 转折频率倍增技术

当多个差分对级联时，每一级的输入电容成为带宽的主要限制因素。由于输出缓冲器需要向片外输送大量电流，这个问题尤为明显。“ f_T 倍增器”即是一种减小差分对输入电容，同时保持增益不变的方法。如图 3-11 (a) 电路中的器件尺寸和偏置电流根据给定的增益和电压裕量来确定。对该差分电路进行改进，以达到在电压增益不变的条件下减小输入电容的目的，其小信号特性，可表达为：

$$V_{out} = g_m (V_{in1} - V_{in2}) R_D \quad (3-23)$$

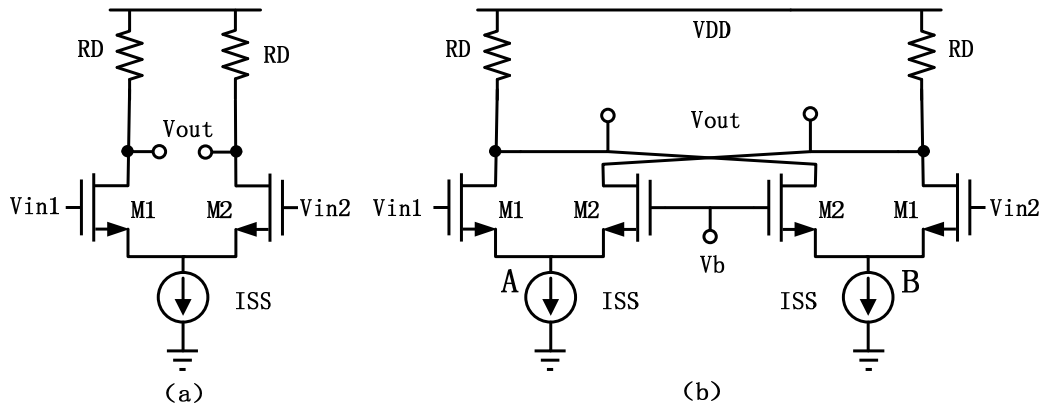


图 3-11 (a) 简单差分电路结构; (b) 倍增电路

式中 g_m 表示每个管子的跨导。现在将两个同样的差分对构造如图 3-11 (b) 所示的电路结构，即，输入端口串联相接，而输出端口并联相接，同时保持负载电阻不变，仍为 R_D 。偏置电压 V_b 选取为 V_{in1} 和 V_{in2} 的共模电平，使得这两对差分对工作时不会产生系统失调。可以计算得到：

$$V_{out} = g_m (V_{in1} - V_{in2}) R_D \quad (3-24)$$

由此看出，该电路在保持了同样的电压增益的情况下引入了较小的输入电容。事实上，如果节点 A 和节点 B 的寄生电容可以忽略不计，那么由 V_{in1} 和 V_{in2} 看到的输入电容大致等于 $C_{GS}/2$ 。故而将此电路结构成为“ f_T 倍增器”。

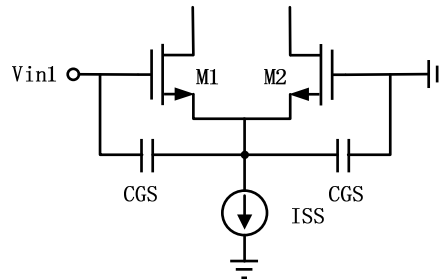


图 3-12 f_T 倍增电路的输入电容

如图 3-11 (b) 所示的 f_T 倍增器在减小输入电容的同时却带来了以下缺点：首先，电路的功耗增大了一倍；其次，流过负载电阻的电流也加倍，可能迫使管子工作在三极管区；再次，输出端电容由差分对管贡献的部分也加倍，减小了输出极点；而且，如果把差分对管的源-体结电容和尾电流源引入的电容也考虑进去的话，输入电容要大于 $C_{GS}/2$ 。尽管如此， f_T 倍增器仍然适用于宽频带输出缓冲器中。

3.1.5 有源负反馈放大器

放大器的带宽的拓展主要通过反馈电路来实现，其反馈网络又大多由有源电路构成。反馈路径的延迟时间比单位增益频率的周期小，才能满足放大器的稳定性条件。Cherry-Hooper 以及改进的 Cherry-Hooper 放大器由于存在着电压裕量问题而很难在低电源电压下应用。如图 3-12 所示为典型的本地有源负反馈放大器原理框图。 g_{m1} ， g_{m2} 以及 g_{mf} 均为跨导模块，每个跨导模块均由一个差分对和一个尾电流源组成。源极跟随缓冲器（SFB，Source Follower Buffer）模块是一个单位增益缓冲器，它主要起到电平转换和隔离输出端电容的作用。差分输入信号经 g_{m1} 转化成电流，然后经由 Z_{L1} 转换成 v_{gs2} 的一部分。 v_{gs2} 被放大 $g_{m2}R_{L2}$ 倍得到输出信号 V_{out} 。输出信号经反馈网络转换成电流并与 g_{m1} 产生的电流求和。因此，图示结构为并联-并联负反馈结构。

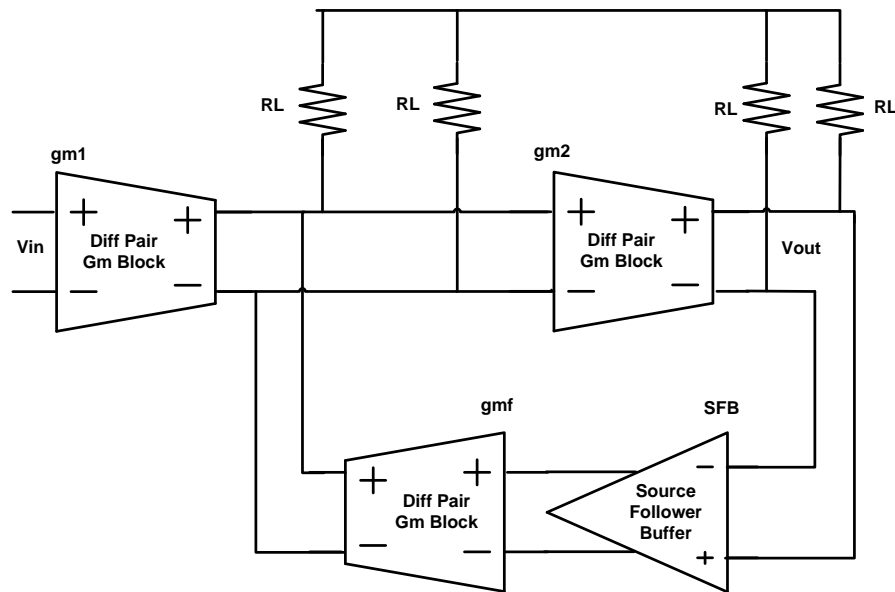


图 3-12 并联-并联有源负反馈放大器的原理框图

如图 3-13 为图 3-12 的半边小信号等效电路。

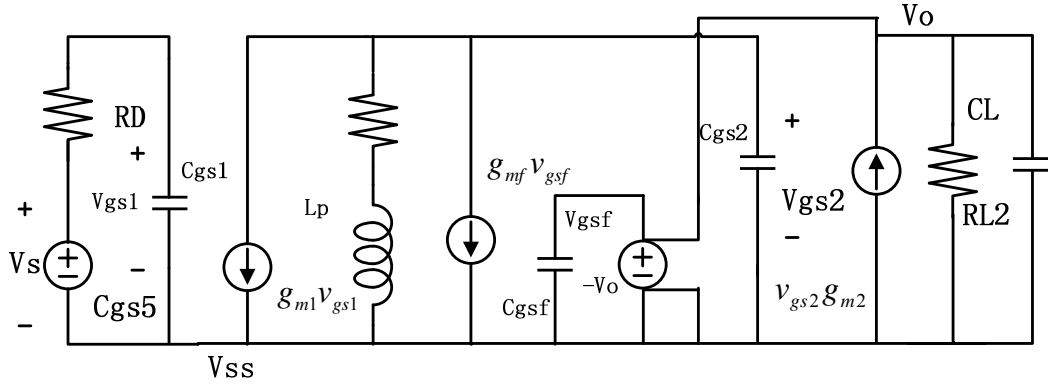


图 3-13 半边小信号等效电路

据此可以写出系统的传输方程：

$$\begin{cases} V_{gs1} = \frac{V_s}{1 + sR_s C_{gs1}} \\ V_{out} = -Z_{L2}(g_{m1}V_{gs2} + sC_{gsf}V_{out}) \\ V_{gs2} = -\frac{1 + sZ_{L2}C_{gsf}}{Z_{L2}g_{m2}}V_{out} \\ V_{gs2} = -Z_{L1}[g_{m1}V_{gs1} + g_{mf}(-V_{out}) + sV_{gs2}C_{gs2}] \end{cases} \quad (3-25)$$

其中， $Z_{L1} = R_{L1} + sL_p$ ：求和节点的负载阻抗。 $Z_{L2} = R_{L2} \cdot sC_{Lf}$ ：输出端的负载阻抗。 $C_{Lf} = C_L + C_{gsf}$ （ C_L 为输出端的负载电容， C_{gsf} 为缓冲器的输入电容）。 g_{m1} ， g_{mf} ， g_{m2} 分别为第一级，第一级的跨导以及反馈级的跨导。 C_{gs2} 为第二跨导单元的输入电容。

由(3-25)整理可得系统的传输方程：

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{Z_{L1}Z_{L2}g_{m1}g_{m2}}{(1 + sR_s C_{gs1})[Z_{L1}Z_{L2}g_{m1}g_{mf} + (1 + sZ_{L2}C_{gsf})(1 + sZ_{L1}C_{gs2})]} \quad (3-26)$$

图 4-13 中，作为缓冲器的源极跟随器的输出电阻 R_s 与第一跨导级的输入电容 C_{gs1} 产生一个零点，因此可将 C_{gs1} 并入 1XSF 的频率响应中。令 R_s 等于 0，以便分析 SSAF 的频率响应。传输方程变为：

$$H(s) = \frac{Z_{L1}Z_{L2}g_{m1}g_{m2}}{s^2Z_{L1}Z_{L2}C_{gs2}C_{gsf} + s(Z_{L1}C_{gs2} + Z_{L2}C_{gsf}) + Z_{L1}Z_{L2}g_{m1}g_{mf} + 1} \quad (3-27)$$

在不考虑峰化电感 L_p 的情况下，为更直观的体现该电路的特性，式(3-26)可改写成以下形式：

$$H(s) = \frac{A_v(0)\omega_n^2}{s^2 + 2s\zeta\omega_n\omega_n^2} \quad (3-28)$$

$$\text{其中, } \begin{cases} A_v(0) = \frac{R_{L1}R_{L2}g_{m1}g_{m2}}{R_{L1}R_{L2}g_{m2}g_{mf} + 1} \\ \zeta = \frac{R_{L1}C_{gs2} + R_{L2}C_{Lf}}{2\sqrt{R_{L1}R_{L2}C_{gs2}C_{Lf}(R_{L1}R_{L2}g_{m2}g_{mf} + 1)}} \\ \omega_n^2 = \frac{R_{L1}R_{L2}g_{m2}g_{mf} + 1}{R_{L1}R_{L2}C_{gs2}C_{Lf}} \end{cases}$$

为了使频率响应的平坦度最大化, 令阻尼因子 $\zeta = 1/\sqrt{2}$, 那么 $-3dB$ 带宽就是自然频率 ω_n 。假定 $A_v(0) = 1$, 那么:

$$A_v(0)\omega_n^2 = \omega_n^2 = \frac{g_{m1}g_{m2}}{C_{gs2}C_{Lf}} = \frac{g_{m1}g_{m2}}{nC_{gs1}C_{gs2}} \quad (3-29)$$

其中, $C_{Lf} = nC_{gs1}$ 。由于 $\omega_T \cong g_m/C_{gs}$, 因此:

$$\omega_{-3dB} = \sqrt{\frac{g_{m1}g_{m2}}{nC_{gs1}C_{gs2}}} \approx \frac{\omega_T}{\sqrt{n}} \quad (3-30)$$

因此, 该有源负反馈放大器的 $-3dB$ 带宽决定于负载电容的大小。对于本设计, 比例因子 n 小于 3。如果转折频率 f_T 为 70GHz, 那么不考虑寄生电容, 理论上带宽可达 40GHz, 实际值可能远小于理论估计值。

3.2 均衡技术

接收端的均衡功能的实现尽管有多种方式, 但其基本原理是一样的, 提升信号频谱中高频部分的幅度并保持低频部分的频谱不变, 反之亦然。本小节讨论接收端均衡的几种实现策略。

3.2.1 数字 FIR 滤波器

接收端 FIR 滤波器也可以与发射端预加重 FIR 滤波器类似的方式实现。由于发射端处理的是离散信号, 其 FIR 滤波器可以实现为数字滤波器。然而, 离散信号经过有损信道之后会出现扭曲, 到达接收端时候成了模拟信号, 因此接收端滤波器应该在模拟域 (Analog Domain) 中实现。如图 3-14 为数字 FIR 滤波器的实现框图。其中采样保持放大器(SHA)对信号进行采样, 样本再由模数转换器 (ADC) 转换成数字信号。但由于乘法运算通常在数字域中实现, 功耗很大。

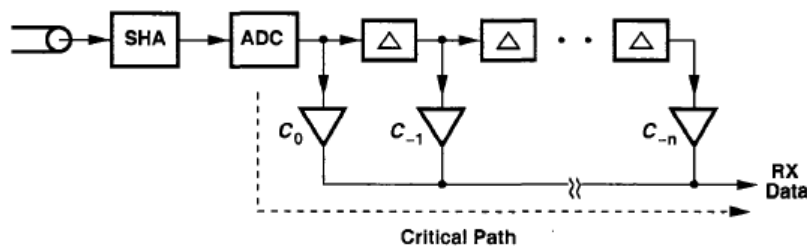


图 3-14 数字 FIR 滤波器

该滤波器的实现遭遇了两个瓶颈：（1）关键路径（Critical Path）限制了滤波器的工作速度，使其不过数百 MHz。移相技术^[14]和并行技术^[15]即便可以减轻速度上的瓶颈，其波特率也被限制在 1Gbps。（2）在合适的功耗和面积前提下，位于前端的 ADC 的工作速度严重限制了均衡器的工作速度。当数据率达到 GHz 两级时，这些 ADC 将消耗大量的功耗和面积。这些瓶颈将 FIR 滤波器的应用局限在中间速率的接口中（如宽带调制解调器和硬盘驱动读取信道）。尽管图 3-12 所示的滤波器仅能消除光标后（Post-cursor）ISI，经过改进即可消除光标前（Pre-cursor）ISI。

3.2.2 模拟 FIR 滤波器

串行链路中通常要求将数十个链路集成在一个芯片上，这就要求均衡器的功率做到足够小。模拟 FIR 滤波器无需额外的高速 ADC，因此有可能实现低功耗高速度。如图 3-15 所示为模拟 FIR 滤波器的原理框图^{[16][17]}。

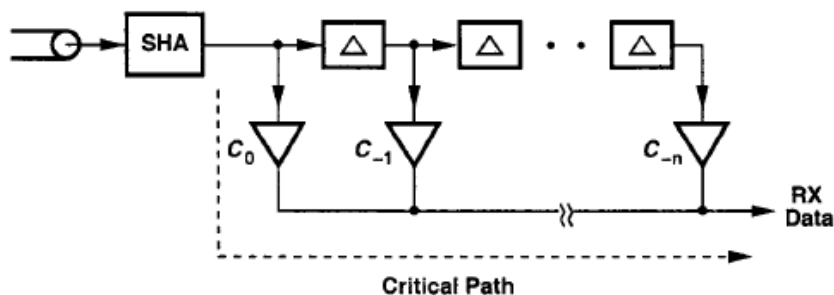


图 3-15 模拟 FIR 滤波器

图中延迟线路可以由 LC 延迟线路实现，也可以由 DLL 或者 PLL 锁定的延迟线实现。加权相加功能由模拟乘法器实现。该滤波器同样存在一些瓶颈：（1）速度同样被位于前端的采样保持电路限制，（2）延迟线的速度受其带宽限制，使得信号经受很大的衰减，（3）为很高的数据率提供精确的延迟时间也是一个严重的挑战。为了应对这些问题，文献[18][19]提出了多种技术。尽管其中一些技术采用

并行计算和电流模技术，一定程度上减轻以上问题，却增加了功耗，增大了面积，以及增大了对信道之间失调的敏感度。

3.2.3 连续时间滤波器

前文所述的离散时间滤波器具有三个基本的缺陷：（1）SHA 限制了滤波器的速度，（2）SHA 对时钟抖动的敏感性恶化了均衡器的性能，（3）采用离散时间滤波器的接收器需要额外的时钟源。而且，直到均衡功能完成之后，才可以精确地进行时钟对齐。为解决这个问题，串行链路采用具有分离的时钟和数据信道的源同步（Source-synchronous）接口^[21]来实现离散时间 FIR 均衡器。

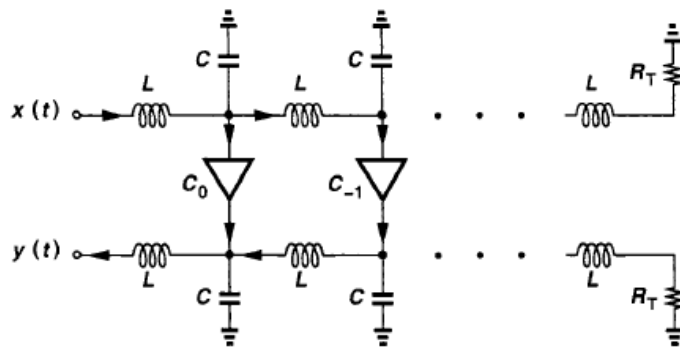


图 3-16 行波滤波器

由于无需采样保持电路，连续时间滤波器可以减轻以上问题。文献中经常出现两个大类的连续时间滤波器：（1）1 抽头的连续时间滤波器^[22]，其在高频部分产生尖峰，可以有效地补偿信道的频率响应，使之在带宽内呈现平直的特征，（2）行波滤波器^{[23][24]}（Travelling Wave Filter），适应于更高速率的应用场合，其功耗更小，是高速版的数字滤波器。如图 3-16 所示为行波滤波器的典型实现。它实质上是 FIR 滤波器，根据所需的频率响应，对 LC 线（LC Line）上的行波进行抽头和加权。通过改变抽头权值，即可得到较大范围的频率响应。

相比与其等效的有源电路实现，行波滤波器占用了更多的面积，而且很难自适应的进行均衡。故而，行波滤波器被局限在其他技术都无法完成的高速应用中（ $> 20Gb/s$ ）。

3.2.4 判决反馈滤波器

前文所讨论的几种滤波器均属于前馈均衡器（FFE）。采用连续时间滤波器的前馈均衡器在减小了 ISI 的同时也放大了噪声，减小了噪声裕量。判决反馈均衡器

(DFE) 能够避免噪声被放大的问题^{[25][26]}。如图 3-17 所示为 DFE 的原理框图，其用于接收端。与前文讨论的各项技术所不同的是，DFE 只能利用之前的判决来消除 ISI，因此，DFE 只能用于消除光标后 ISI (Post-cursor ISI)，这就从根本上避免了噪声的放大。

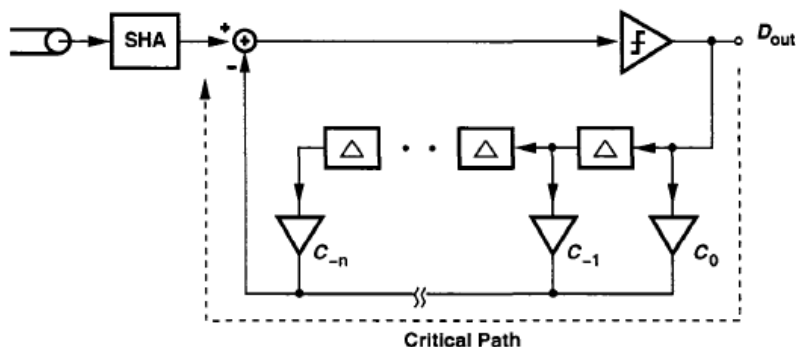


图 3-17 判决反馈均衡器的原理框图

根据通讯理论，ISI 的消除是否有效取决于过去的判决的精确度。因此，数据中存在的错误码会恶化 ISI，而非消除它，这种显现被称之为误码传播 (Error Propagation)。由于串行链路要求很低的误码率 (典型值 $<10^{-12}$)，误码传播并不会恶化性能^[25]。

由于 DFE 只能消除光标后 ISI，因此需要一个 FFE 来消除光标前 ISI。DFE 所面临着严重的速度限制，因为 DFE 环路延迟时间必须小于一个码元周期 (Bit Period)。然而，对于高速设计，该环路延迟可达到数个码元周期，因此很难得到应用。也有一些文献提出超前判决结构 (Decision Look-ahead Scheme) 以避免环路延迟时间问题^{[27][28]}，但随着抽头的增加，所要求的硬件实现呈指数增长，即速度越高所能使用的抽头数目越小。

3.3 本章小结

本章对现有的主要拓扑结构 (其中带宽拓展技术包括电感峰化技术、电容负反馈技术、Cherry-Hppoer 结构、转折频率倍增技术以及有源负反馈技术；均衡技术包括数字 FIR 滤波器、模拟 FIR 滤波器、连续时间滤波器以及判决负反馈滤波器) 进行了详细的理论分析，对每种结构的特性有了较为深入的了解，这为下一章具体电路的设计与实现打下了基础。

第四章 高速接口电路的设计与仿真

前面各章节详述了接口电路设计的基础：(1) 信号、信道的特性，以及两者交互的特点，这是本设计的出发点。本质上，高速接口的作用就是保证发射出的信号和接收之后提供给后续电路的信号具有良好的信号完整性。(2) 利用带宽拓展技术发掘现有工艺的潜力以达到更好的性能，均衡技术则是利用电路的特性来补偿信道的衰减，是保持信号完整性的具体措施。本章是在对信号以及信道特性深入了解的基础上，选取合适的电路结构，加以创新的组合应用，以满足设计要求。其中关键电路是，驱动器中级联放大器以及接收器自适应结构和单元电路，其对带宽、增益、相位失真度有严苛的要求，这是本设计中的难点和关键点。本章将围绕以上难点展开讨论，包括电路结构的原理、选取的根据、具体电路参数的设定、实现与仿真等。

4.1 高速接口电路的驱动器设计

本节主要内容是在标准 $0.13\mu\text{m}$ CMOS 下设计实现用于驱动输出端焊盘的低功耗高性能的驱动器。设计中采用源极跟随拓扑结构，同时对于给定的负载电容，利用一个正反馈电路和一个负反馈电路来控制信号沿的上升时间和下降时间。在数据率为 10-Gb/s 时，该驱动器可以驱动 $50\text{-}\Omega$ 的传输线。

4.1.1 电流模逻辑电路技术

随着数据率的增加，为处理高速基带信号，CMOS CML 电路逐渐替代传统的 CMOS 数字逻辑电路。CMOS CML 与大多数基带数据传所采用的差分信号传输方式兼容。CMOS 数字逻辑门，反相器，以及触发器均为单端电路，其差分电路通常由两个相同的数字单元并行实现。具有轨对轨工作，噪声裕量大，静态功耗低，紧凑的布局等特性。但是，当数据率达到数-Gb/s 时，管子的输入电容限制了管子的开关速度。而且，电源噪声和地弹 (Ground Bounce) 也更严重。因此，CMOS CML 电路被广泛应用于数据率达到数-Gb/s 的基带电路中。

CMOS CML 的拓扑结构如图 4-1 所示，其基本上是一个 CMOS 差分放大器，在以 CML 模式工作时，当输入信号 V_{in} 足够大，那么，尾电流 I_{ss} 就会被从一个支路切换到另外一个支路。实质上，这是个非线性模拟电路，因为，当电路工作于处于 CML 模式时，尽管差分对的偏置电压在共模电压附近，输入信号的大小已经使差分对的工作区域发生变化不能视为小信号。处于小信号工作模式时，输出电

压可以由小信号增益 A_v 确定。只要输入信号处于差分放大器的小信号动态范围内，并且假定放大器的小信号增益遵从理想的平方准则，那么 A_v 可以表示为：

$$A_v = g_m R_D = R_D \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} \quad (4-1)$$

$$V_{out} = A_v V_{in} \quad (4-2)$$

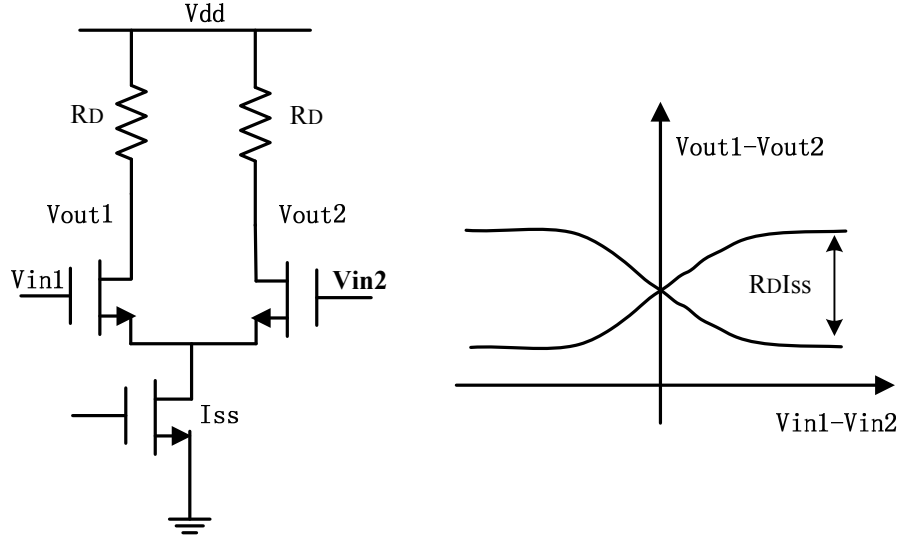


图 4-1 CML 电路结构

要完成 CML 操作，输入信号的电压必须使差分对工作在全切换状态，能够完全将尾电流从一个支路切换到另外一个支路。使得输出电压在 V_{DD} 与 $V_{DD} - I_{SS} R_D$ 之间变化（如图 4-1 所示）。输入的差分电压的最小值 $V_{IN,min}$ 可以由下式得到：

$$I_{SS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{IN,min}^2 \rightarrow V_{IN,min} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox} \frac{W}{L}}} \quad (4-3)$$

输入信号的共模电压也必须在一定的范围内才能使得电路工作于 CML 状态。 $V_{IN,CM}$ 至少要满足提供尾电流的 M_3 管工作于饱和区，即满足 $V_{IN,CM} \geq V_{GS1} + (V_{GS3} - V_{TH3})$ 。 $V_{IN,CM}$ 最大不能使 M_1 和 M_2 进入线性区，即满足 $V_{IN,CM} \leq V_{DD} - \frac{R_D I_{SS}}{2} + V_{TH}$ 。综上， $V_{IN,CM}$ 必须满足：

$$V_{GS1} + (V_{GS3} - V_{TH3}) \leq V_{in,CM} \leq \min[V_{DD} - R_D \frac{I_{SS}}{2} + V_{TH}, V_{DD}] \quad (4-4)$$

其中， V_{GS1} 和 V_{TH} 分别为管子的栅源电压和阈值电压。

CML 电路的时间常数为： $\tau = k R_D W L C_{ox}$ 。其中 k 与物理常量和晶体管的尺寸

有关。CML 电路呈现给前一级的负载只是一个 NMOS 管的栅电容。而且由于无需轨对轨操作，较小的输出摆幅使得 CML 电路花更少的时间达到输出电平要求，因此具有更快的开关速度。

4.1.2 逐级增大的多级级联输出驱动器

在高速电路中，由于封装上的寄生效应和传输线效应，通常要求驱动器能够驱动较大的负载。这就要求最后一级放大器具有很大的电流驱动能力，所采用的管子的尺寸也很大。这给前一级带来很大的负载电容，要求前一级放大器的输出电阻相对较小。因此，从第一级到最后一级，放大器的管子尺寸和偏置电流都必须逐级增大，这样在保持较大的带宽的同时提供很大的输出电流。如图 4-2 所示为一个 N 级放大器构成的驱动器^[42]。

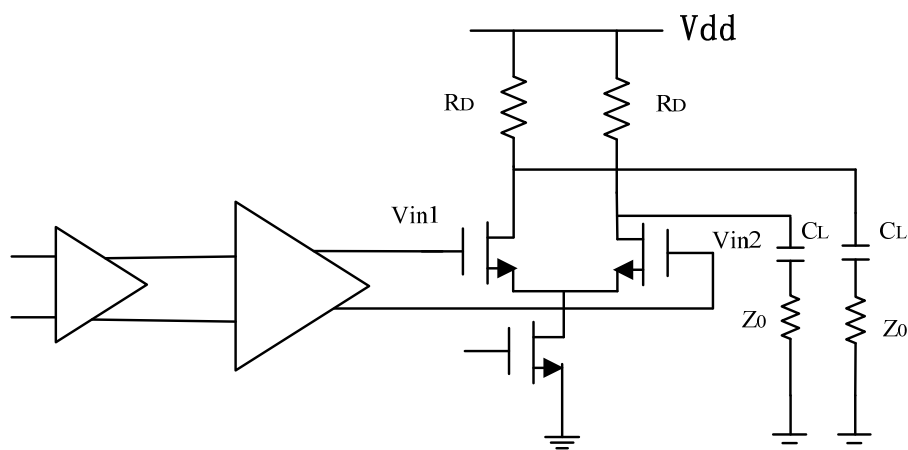


图 4-2 逐级增大级联 CML 放大器

假定每一级放大器具有相同的增益和带宽，设增益带宽积为 B ，每一级的 $-3dB$ 带宽为 ω_0 ，于是每一级的放大器的传输方程为：

$$H(s) = \frac{\frac{B}{\omega_0}}{1 + \frac{s}{\omega_0}} \quad (4-5)$$

上式表明了每一级增益-带宽的折衷：如果选取一个较高的 ω_0 ，那么增益 B/ω_0 就会相应的减小。将上式取模，并令其等于 $B/\sqrt{2}\omega_0$ ，可以得到两级放大器的整体带宽：

$$\omega_{-3dB} = \omega_0 \sqrt{\sqrt{2} - 1} \approx 0.644\omega_0 \quad (4-6)$$

表明两个相同的放大器进行级联，其带宽减小了 36%。类似地，对于 N 个相

同的放大器级联，整体的 $-3dB$ 带宽可以给出为：

$$\omega_{-3dB} = \omega_0 \sqrt{\sqrt[N]{2} - 1} \quad (4-7)$$

如果 $N \geq 2$ ，上式可近似为：

$$\omega_{-3dB} \approx \frac{0.9}{\sqrt{N}} \omega_0 \quad (4-8)$$

随着级数 N 的增大，驱动器的整体带宽减小，噪声增大，整体增益增大，因此，对于给定的整体增益 A_{tot} ，应该存在一个最优值 N ，使得驱动器带宽最大。对于 N 个相同的放大器级联， $A_{tot} = (B/\omega_0)^N$ ， $\omega_0 = B/\sqrt[N]{A_{tot}}$ ，代入式 (4.3) 可得：

$$\omega_{-3dB} = B \frac{\sqrt{\sqrt[N]{2} - 1}}{\sqrt[N]{A_{tot}}} \quad (4-9)$$

再利用式(4-8)的近似结果，上式可简化为：

$$\omega_{-3dB} = B \frac{0.9}{\sqrt{N} \sqrt[N]{A_{tot}}} \quad (4-10)$$

下面来求取上式(4-10)分母的最小值，令 $D = \sqrt{N} \sqrt[N]{A_{tot}}$ ，取其自然对数 $\ln D = (1/2) \ln N + (1/N) \ln A_{tot}$ ，然后两边求关于 N 的导数：

$$\frac{1}{D} \frac{\partial D}{\partial N} = \frac{1}{2N} - \frac{1}{N^2} \ln A_{tot} \quad (4-11)$$

令上式(4-11)等于 0，解得 $N_{opt} = 2 \ln A_{tot}$ 。显然， N_{opt} 与增益-带宽积无关。相应的带宽为：

$$\omega_{max} = \frac{0.9B}{\sqrt{2 \ln A_{tot}}} A_{tot}^{-\frac{1}{2 \ln A_{tot}}} \approx \frac{0.636B}{\sqrt{\ln A_{tot}}} A_{tot}^{-\frac{1}{2 \ln A_{tot}}} \quad (4-12)$$

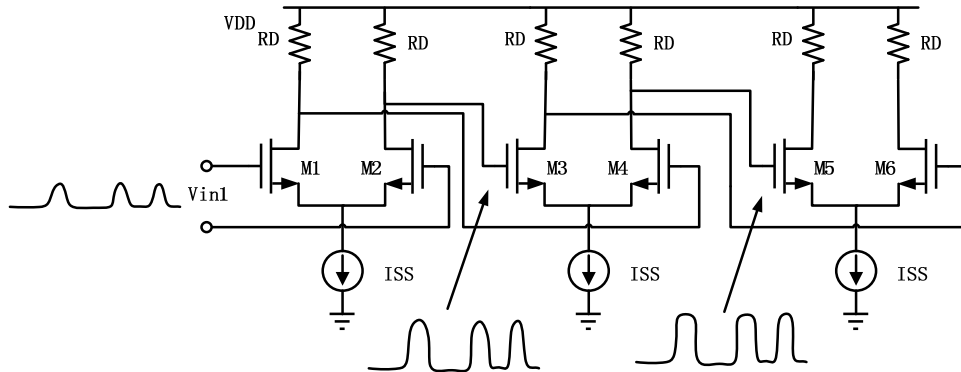


图 4-3 大信号下带宽的变化

以上对于最优值 N_{opt} 的推导是假定电路工作在小信号模式下进行的，实际上，小信号带宽不必要这么大，因为在级联的放大器链中，最后几级的输入信号摆幅已经足够大，使得电路工作在大信号模式下，小信号模型不再适用。

如图 4-3 所示，由尾电流源近似工作于全切换状态，放大器链的每一级呈现一定的延迟，最后两级的差分对数据过零点的处理在不同的时刻，这与(4-5)的假设相冲突。利用放大器链的小信号带宽来估计大信号的速度是过于保守的。当信号的摆幅很大时，只有放大器链的前一两级限制信号的速度。在具体的设计中，以上理论结果只用于指导初步设计，最终的设计需要经过仔细的仿真和迭代。

4.1.3 前馈源极跟随器

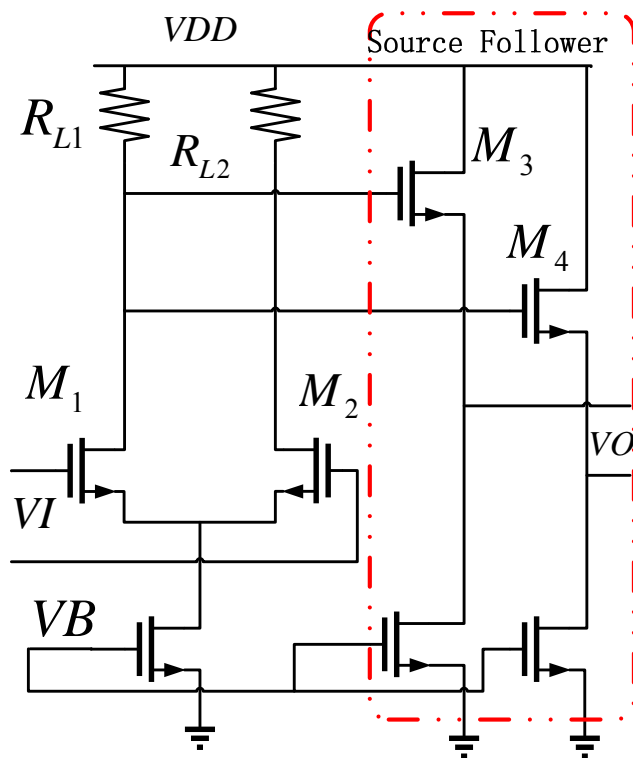


图 4-4 带有差分放大器的源极跟随器

如图 4-4 所示为带有差分放大器的源极跟随器（Source Follower）的基本电路结构。它由一对源极跟随 MOS 管和一对电流源组成。该源极跟随器能够提供较大的电流驱动能力，而且由于其输出电阻较小，因此输出节点的极点较高，带宽较大。由于增益带宽积的限制，在低频情况下，可以得到所需的电压增益。但在高频情况下，由于电压在跨导（ g_m ）和负载电导（ $g_o + g_l$ ）之间进行分割，电压增益的下降更为明显，因此高频下很难在达到所需的电压增益。这使得源极跟随电路

很难在高速大信号驱动得到应用。为了提供足够大的输出信号摆幅，输入信号的摆幅必须更大，因此，这就要求前面的差分对要么提供更大的尾电流和更大尺寸的 MOS 管，要么采用更大的负载电阻(更大的负载电阻意味着漏极的带宽的减小)。

如图 4-5 所示，在上述基本电路中加入额外的一对差分放大器，该差分放大器以源极跟随器的输出电阻作为负载，其提供的额外增益与源极跟随电路本身的 1 增益具有相加性。因此，该源极跟随器的整体直流增益为：

$$A_{vff} = \frac{V_{out}}{V_{in}} = A_{vSF} + A_{vdfs} = \frac{g_{m3}R_L + kg_{m5}R_L}{1 + g_{m3}R_L} = \frac{g_{m3} + kg_{m5}}{g_{m3} + \frac{1}{R_L}} \quad (4-13)$$

上式中 k 表示增益因子，即主差分对 (M_1, M_2) 的增益的倒数， $1/(g_{m1}R_D)$ 。 R_L 是 M_3 源极看入的电阻。 k 的引入是为了将差分对的增益排除在外，只考虑源极跟随器的增益，其值小于 1。在式(4-13)中，如果 $k = 1/g_{m5}R_L$ ，那么源极跟随器的增益就为 1。如果 $k > 1/g_{m5}R_L$ ，其增益也可以大于 1。

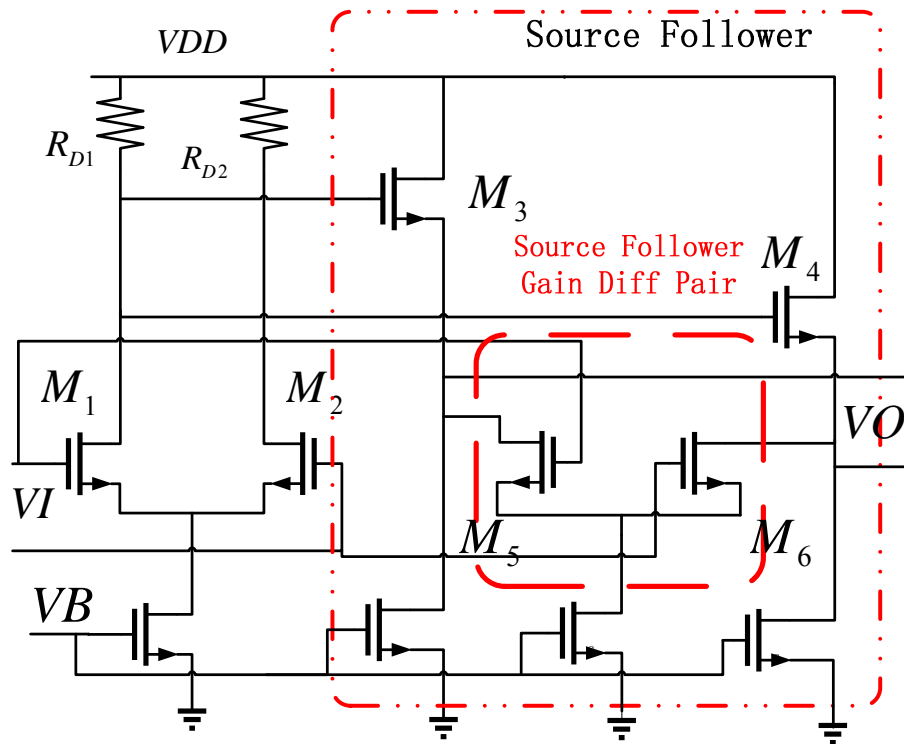


图 4-5 带有差分放大器的前馈源极跟随器

为了计算源极跟随器的交流小信号传输方程，将其半边电路的小信号等效电路画出，如图 4-6 所示。从 M_3 管的栅极看入的阻抗 $Z_{in,g3}$ 与输出端的负载阻抗 Z_L 之间有很大的相关性，其相关性可以表达为：

$$Z_{in,g3}(s) = \frac{1}{sC_{gs3}} + (1 + \frac{g_{m3}}{sC_{gs3}})Z_L(s) \quad (4-14)$$

其中,

$$Z_L(s) = \frac{1}{g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1} + sC_L} \quad (4-15)$$

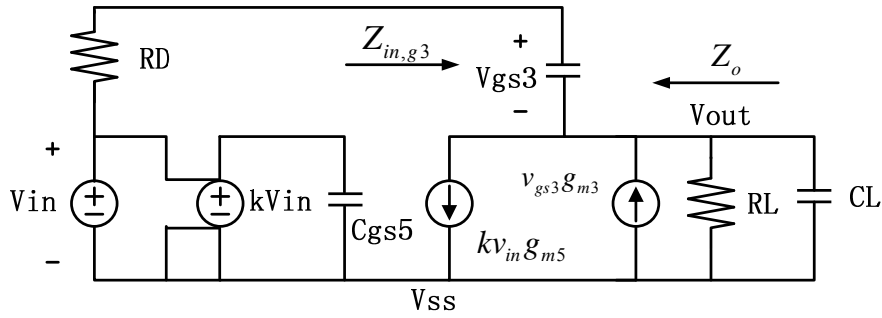


图 4-6 前馈源极跟随器半边电路的小信号等效电路

因此, 该源极跟随器的小信号增益可以表示为:

$$A_{vSF}(s) = (1 + \frac{g_{m3}}{sC_{gs}}) \frac{Z_L(s)}{Z_{in}(s)} \quad (4-16)$$

而且, 额外的差分对的小信号增益为:

$$A_{vdfs}(s) = kg_{m5}Z_{L5}(s) \quad (4-17)$$

其中,

$$Z_{L5}(s) = Z_L(s) \cdot \frac{1}{g_{m3}} = \frac{Z_L(s)}{1 + g_{m3}Z_L(s)} \quad (4-18)$$

那么, 前馈源极跟随器的增益交流小信号增益可由式(4-16)和式(4-17)相加得到:

$$A_{vff}(s) = A_{vSF}(s) + A_{vdfs}(s) = \frac{(1 + \frac{g_{m3}}{sC_{gs}})Z_L(s)}{R_D + \frac{1}{sC_{gs}} + (1 + \frac{g_{m3}}{sC_{gs}})Z_L(s)} + \frac{kg_{m5}Z_L(s)}{1 + g_{m3}Z_L(s)} \quad (4-19)$$

由式(4-19)可以推算出前馈源极跟随器的直流增益:

$$A_{vff}(0) = \frac{g_{m3} + kg_{m5}}{g_{m3} + g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1}} \quad (4-20)$$

前馈源极跟随器的电路特性可以从式(4-19)得到, 将式(4-19)写作:

$$A_{vff}(s) = \frac{\left(\frac{1}{g_{m3}} + \frac{1}{sC_{gs}} \right) g_{m3}}{\frac{1}{Z_L(s)} + \left(\frac{1}{g_{m3}} + \frac{1}{sC_{gs}} \right) g_{m3}} + \frac{kg_{m5}}{\frac{1}{Z_L(s)} + g_{m3}} \quad (4-21)$$

如果 $R_D g_{m3} = 1$ ，那么，式(4-21)将变成一个简单的一阶传输方程：

$$A_{vff}(s) = \frac{\left(\frac{g_{m3} + \frac{g_{m5}}{g_{m5}R_D}}{g_{m3} + g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1}} \right)}{1 + s \left(\frac{C_L}{g_{m3} + g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1}} \right)} \quad (4-22)$$

可以看出 -3dB 带宽可以表示为：

$$f_{-3dB} = \frac{g_{m3} + g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1}}{2\pi C_L} \quad (4-23)$$

然而，将式(4-21)中 $R_D g_{m3}$ 设置为 1，电路简化成一阶电路，结果是该电路只能提供电平转换和一些增益，但不能减小阻抗以适应更大的负载电容。因此，有必要增大 g_{m3} ，避免 $R_D g_{m3} = 1$ 时出现的零极点抵消，该电路也因此变成二阶电路。

将式(4-21)写作：

$$A_{vff}(s) = \frac{sC_{gs} + g_{m3}}{(sC_{gs}R_D + 1)\frac{1}{Z_L(s)} + (sC_{gs} + g_{m3})} + \frac{kg_{m5}}{\frac{1}{Z_L(s)} + g_{m3}} \quad (4-24)$$

$$\text{其中， } Z_L(s) = \frac{R_L}{1 + sC_L R_L} = \frac{1}{g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1} + sC_L} = \frac{1}{g_o + sC_L}$$

因此，代入 $Z_L(s)$ 后，式(4-24)变为：

$$\begin{aligned} A_{vff}(s) &= \frac{sC_{gs} + g_{m3}}{(sC_{gs}R_D + 1)(g_o + sC_L) + (sC_{gs} + g_{m3})} + \frac{kg_{m5}}{g_o + sC_L + g_{m3}} \\ &= \frac{sC_{gs} + g_{m3}}{s^2 C_{gs} C_L R_D + s[C_{gs}(R_D g_o + 1) + C_L] + g_{m3} + g_o} + \frac{kg_{m5}}{g_o + sC_L + g_{m3}} \end{aligned} \quad (4-25)$$

将 $A_{vff}(s)$ 对 $A_{vff}(0)$ 进行归一化，可以得到 -3dB 带宽关于 g_{m3} ， C_L 和 k 的函数：

$$\frac{A_{\text{vff}}(s)}{A_{\text{vff}}(0)} = \frac{(g_o + g_{m3})[(sC_{gs} + g_{m3})(g_o + sC_L + g_{m3}) + kg_{m5}X]}{(g_{m3} + kg_{m5})(g_o + sC_L + g_{m3})X} \quad (4-26)$$

其中, $X = s^2 C_{gs} C_L R_D + s[C_{gs}(R_D g_o + 1) + C_L] + g_{m3} + g_o$

式(4-26)太过繁琐, 很难从中看出各项参数之间的关系。可以做一些近似, 将 $g_{m3} = N/R_D$, $g_o \approx 1/R_D$, $\omega_T = C_{gs}/g_{m3}$, $kg_{m5} = m/R_L = mg_o \approx m/R_D$ 代入式(4-26)中, 可得:

$$\frac{A_{\text{vff}}(s)}{A_{\text{vff}}(0)} = \frac{(N+1)[s^2 R_D C_L (m+1)N + s(R_D C_L \omega_T (N+2m+1)) + (N+m)(N+1)\omega_T]}{(N+m)[s^2 R_D C_L N + s(2N + R_D C_L \omega_T) + (N+1)\omega_T]}(sR_D C_L + N+1) \quad (4-27)$$

令式(4-27)的模等于 $1/\sqrt{2}$, 再代入不同的 N 值, 就可以求得相应的 -3dB 带宽。尽管式子依然非常繁琐, 但可以通过 matlab 来求解计算, 从而得到初步的, 大致的设计参数。Matlab 计算得出 N 的最优值处于 4 与 8 之间。由于增益、带宽和功耗三者之间相互掣肘的关系, 若提高该电路的增益, 要么提高差分对的增益, 要么增大前馈放大电路的增益, 而增大带宽就要求增大源极跟随器的跨导, 并且减小前馈放大电路的跨导, 故而, 最优值的确定往往在迭代仿真中产生。

经过精确的电路仿真, 最后确定 $N=5$ 。确定了两个不同电流偏置下的前馈源极跟随器电路参数。电源电压为 1.8V 。

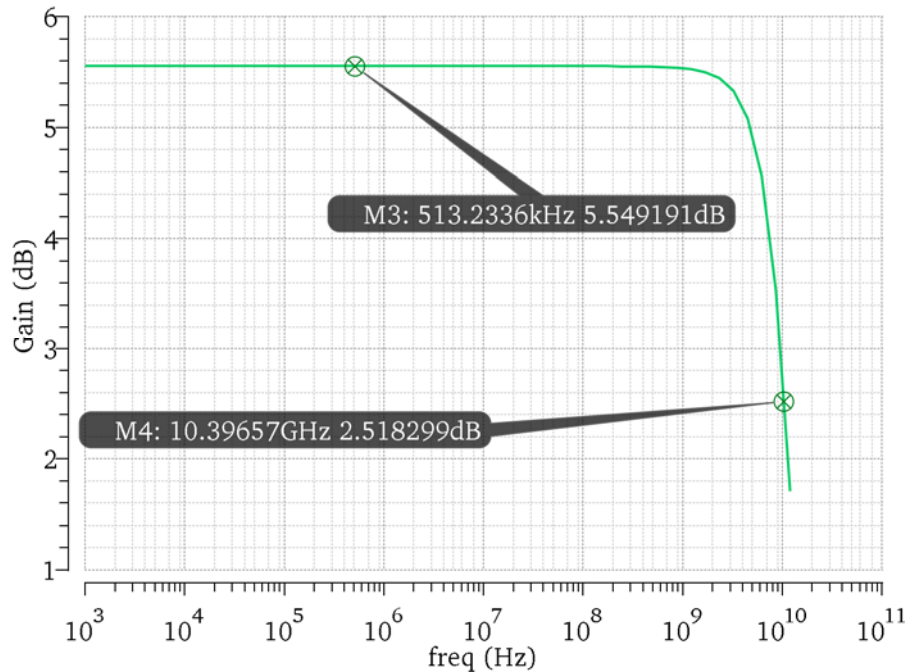


图 4-7 FFSF 单元在偏置电流为 5mA 时的增益和 -3dB 带宽

$R_D = 120\Omega$, 偏置电流为 5mA (其中差分对、源极跟随器以及前馈放大电路的

偏执电流分别为 1.5mA、1.25mA、1 mA)，并且假定负载电容为 $C_L = 200\text{fF}$ 。如图 4-7 所示为仿真结果，可以看出低频增益为 5.54dB，-3dB 带宽达到了 10.39GHz，满足设计要求。

$R_D = 110\Omega$ ，偏置电流为 7.5mA（其中差分对、源极跟随器以及前馈放大电路的偏置电流分别为 2.5mA、1.75mA、1.5mA），并且假定负载电容为 $C_L = 250\text{fF}$ 。如图 4-8 所示为仿真结果，可以看出低频增益为 5.13dB，-3dB 带宽达到了 10.77GHz，满足设计要求。

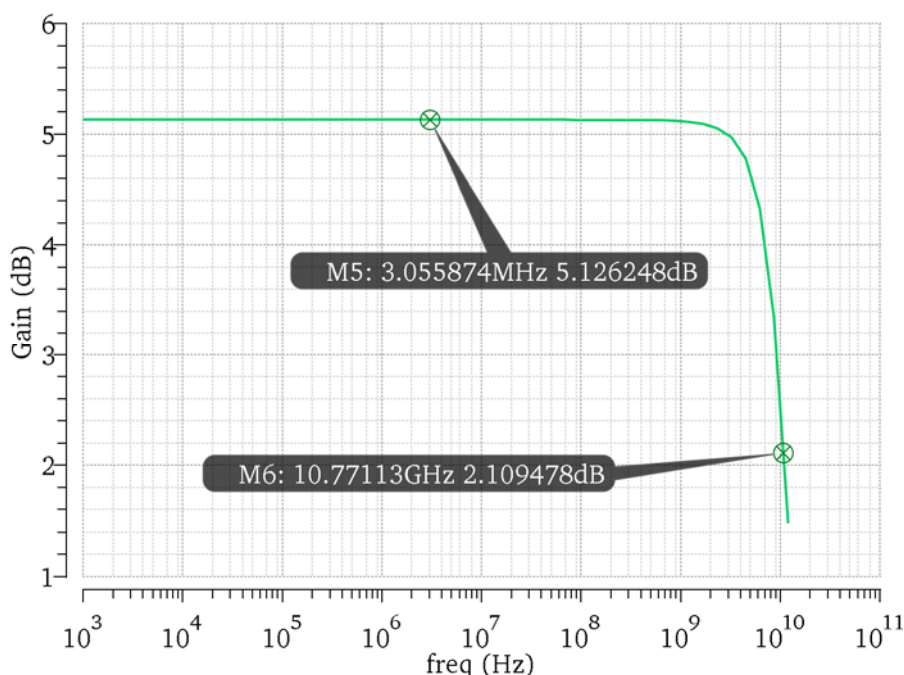


图 4-8 FFSF 单元在偏置电流为 7.5mA 时的增益和-3dB 带宽

4.1.4 后馈源极跟随器

文献[43][44][45]提到，使用正反馈来得到负的跨导，以提高放大器的增益。在输出节点上加入负跨导产生电路，得到等效的负电阻，用来抵消该节点上部分正电阻，使得源极看入的电阻减小，负反馈的影响减弱，增大了源极跟随器的直流增益^{[43][44]}。而且，由于间接地减小了负载电阻 R_D ，其带宽也得到了提升。如图 4-9 所示为后馈源极跟随器（FBSF，Feed Back Source Follower）的电路结构。其小信号等效电路如图 4-10 所示。由交叉耦合管 M_5 和 M_6 产生的负跨导 $-g_{m5}$ 用于提升直流增益，并且在输入端产生额外的负电阻。

通过对小信号等效电路的分析和计算，可以得到交流小信号增益和直流增益的表达式：

$$A_v(s) = \frac{V_{out}}{V_{in}} = \frac{sC_{gs} + g_{m3}}{s^2 C_{gs} C_L R_D + s[C_{gs}(R_D g_L + 1) + C_L] + g_{m3} + g_L} \quad (4-28)$$

其中，输出端总的跨导为 $g_L = g_o - g_{m5}$

$$A_v(0) = \frac{g_{m3}}{g_{m3} + g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1} - g_{m5}} \quad (4-29)$$

由式(4-29)可知，当 $g_{m5} = g_{mb3} + g_{ds3} + g_{ds5} + g_{ds,I_1}$ 时，后馈源极跟随器的直流增益为 1。而且，如果 $g_{m3}R_D = 1$ ，那么 -3dB 带宽为 $f_{-3dB} = g_{m3}/(2\pi C_L) = 1/(2\pi R_D C_L)$ (Hz)。

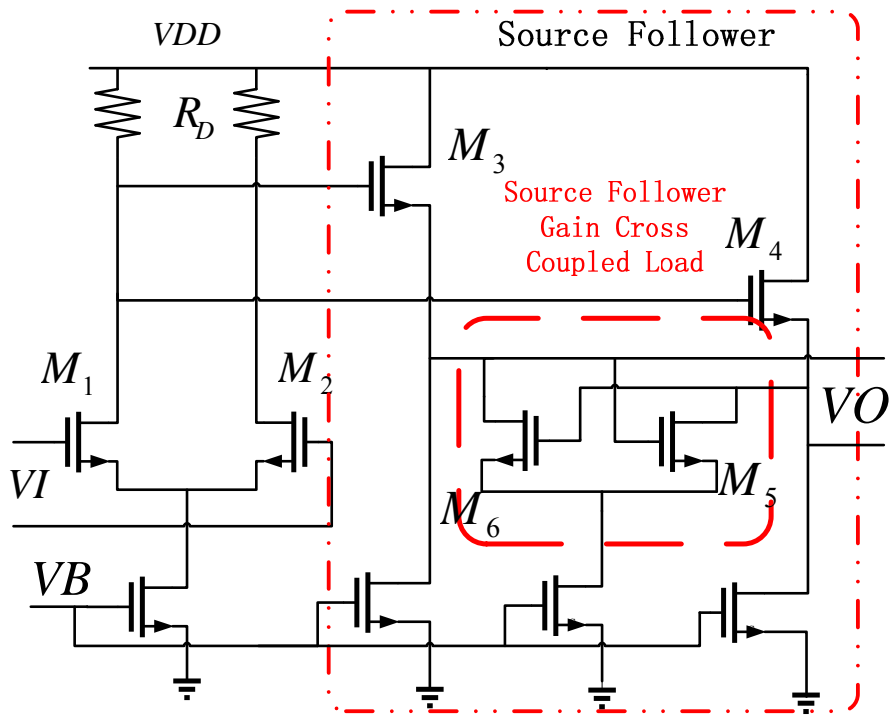


图 4-9 反馈源极跟随器

如果在保持单位增益的情况下增大 g_{m3} ，源极跟随器的带宽也会增大。假设 $g_o = g_{m5}$ ，由式(4-28)得：

$$A_v(s) = \frac{V_{out}}{V_{in}} = \frac{sC_{gs} + g_{m3}}{s^2 C_{gs} C_L R_D + s[C_{gs} + C_L] + g_{m3}} \quad (4-30)$$

令 $g_{m3} = N/R_D$ ，并将 $\omega_T = C_{gs}/g_{m3}$ 代入式(4-30)中，可得：

$$A_v(s) = \frac{s \frac{1}{\omega_T} + 1}{s^2 \frac{C_L R_D}{\omega_T} + s \left(\frac{C_L R_D}{N} + \frac{1}{\omega_T} \right) + 1} \quad (4-31)$$

该电路的电路参数的确定与上一节情形类似，不再赘述。

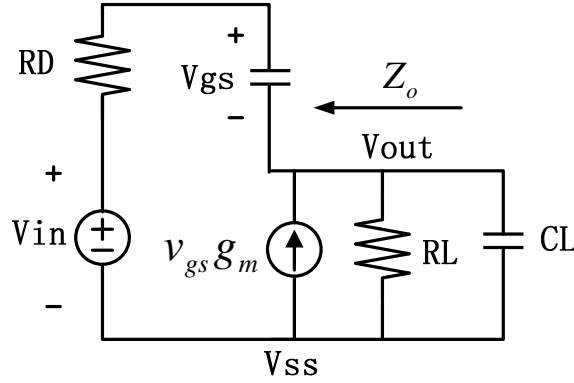


图 4-10 后馈源极跟随器的小信号等效电路

确定的参数如下，总的偏置电流为 3.2mA， $R_D = 400\Omega$ ，假定 $C_L = 100fF$ ，仿真结果如下如图 4-11 所示，低频增益为 7.9dB，-3dB 带宽为 7.37GHz。

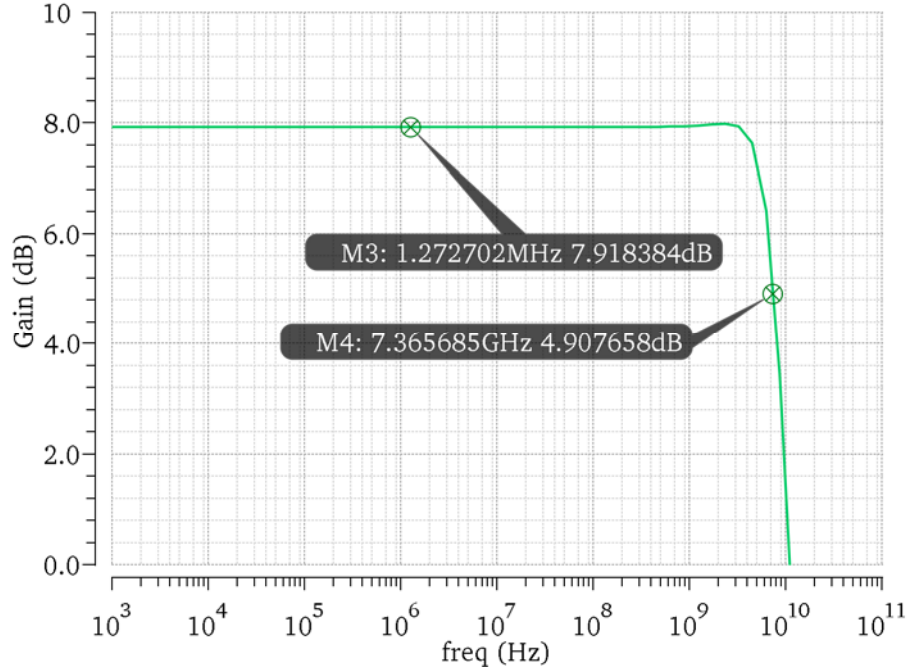


图 4-11 FBSF 单元在偏置电流为 3.2mA 时的增益和-3dB 带宽

从上式可以看出，如果 N 值过大，传输方程中将出现复极点，其影响表现在频率响应曲线上为过冲，在时域上表现为信号的过零点受到干扰，如图 4-12 所示。

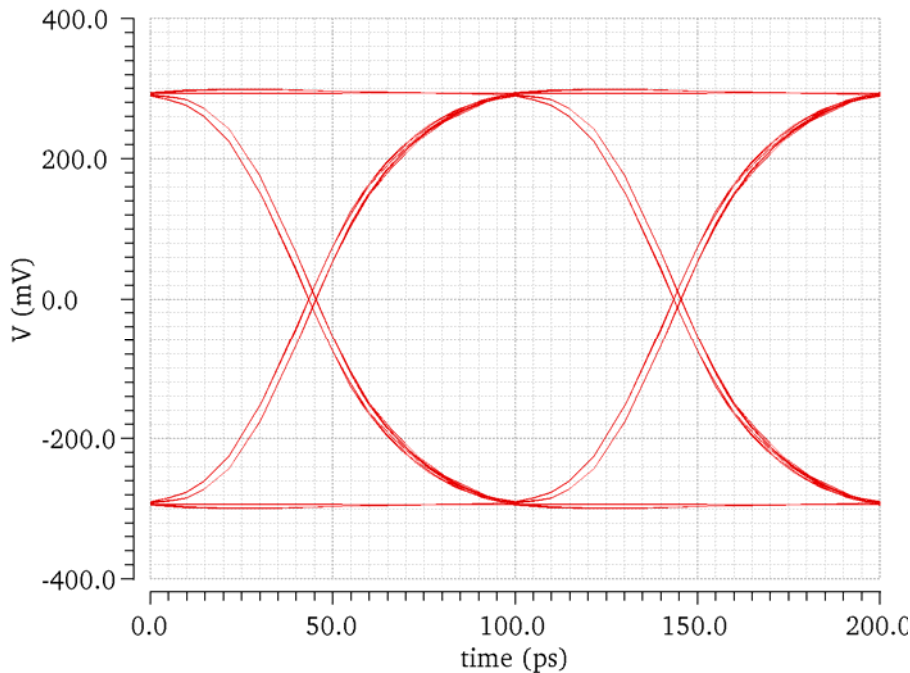


图 4-12 复极点对信号过零点的影响

4.1.5 发射端整体设计与仿真

将前面几节介绍的不同电路结构，根据其特性，采用一个后馈源极跟随器，两个前馈源极跟随器，以及 CML 缓冲器进行组合级联，得到最终的驱动器电路。由于后馈源极跟随器具有更大的增益，将其放置在第一级，第二和第三级采用前馈源极跟随器，以提供较大的负载驱动能力，作为最后一级的 CML 缓冲器用于驱动特征阻抗为 50Ω 的传输线。其结构框图如图所示：

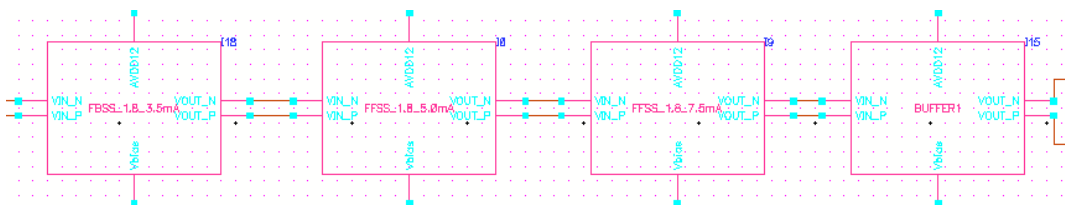


图 4-13 发射端总体结构框图

在信号放大级（即前三级）中，前两级的小信号带宽对信号的影响尤为关键，当信号经过放大，摆幅足够大时，电路主要工作在大信号状态，小信号带宽主要影响信号沿的陡直程度，大信号带宽直接与电路的时间常数呈负相关，因而后面两个 CML 缓冲器主要考虑其电流驱动能力，以及与信号阻抗的匹配度，同时要求其对小信号带宽不造成太大恶化。为驱动焊盘和封装上的寄生电容，在最后一级 CML 缓冲器中采用电感峰化技术。

表 4-1 发射端各级参数

	电流		负载电阻	负载电感
第一级 (FBSF)	1mA	1.25mA (单一支路)	300 Ω	
第二级(FFSF)	1.5mA	2mA(单一支路)	170 Ω	
第三级(FFSF)	2mA	2.5mA(单一支路)	120 Ω	
第四级(CML Buffer)	8mA		50 Ω	0.8nH

FBSF 与 FFSF 缓冲级中直接驱动下一级负载的是源极跟随器, 因此, 在考虑缓冲级间的比例因子时, 以源极跟随器的电流为准, 偏置电流和负载电阻或者电感如表 4-1 所示, 仿真结果如图 4-14 发射端总体小信号增益和-3dB 带宽所示。

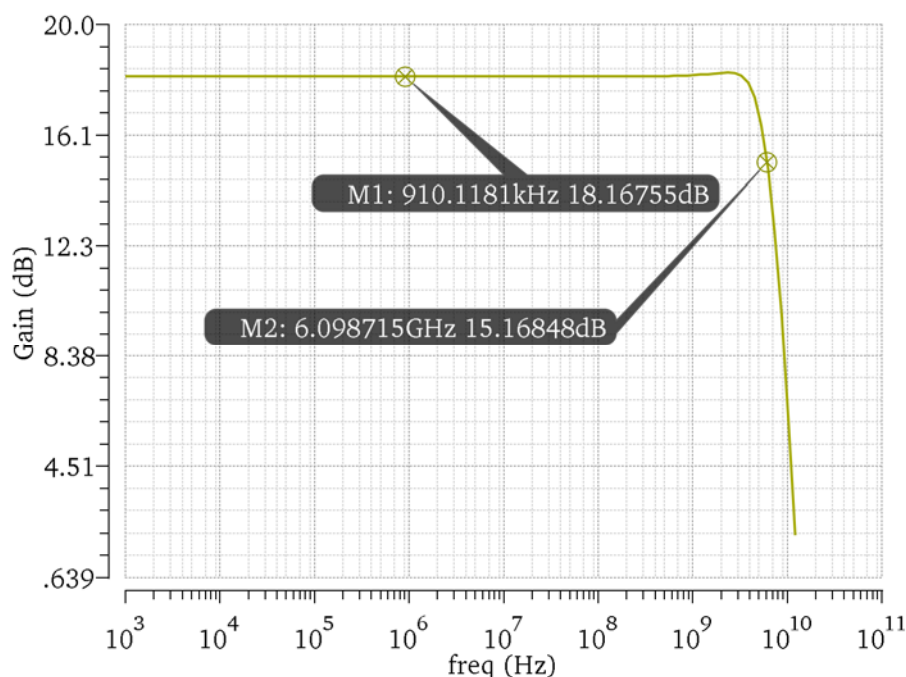


图 4-14 发射端总体小信号增益和-3dB 带宽

采用电感峰化技术的 CML 缓冲器在电感感值的选取时, 需要在带宽和相位失真之间进行折中, 作为初步设计时粗略估算, 为使得带宽最大化, 要求 $L_D \approx 0.71R_D^2C$, 考虑到第一个 CML 的负载电阻 $R_{D1} = 75\Omega$, 第二级 CML 缓冲器的输入电容 270fF, 加上自身的寄生电容 98fF, 总共大概 370fF, 根据上式算得 $L_{D1} = 1.47\text{nH}$, 同理第二个 CML 缓冲器采用的电感 $L_{D2} = 1.42\text{nH}$ 。由于上式只是考虑了带宽提升的最大化, 而未将电感峰化技术可能引入的相位非线性问题考虑进去, 其取值可能不是最优值。如 L 过大造成很大的相位失真, 如图 4-15 电感选取过大造成的相位扭曲所示为 L 选为 1.6nH 时的眼图, 可以看出, 信号的过零点

有两个稳定值，这是由一对共轭的复极点造成的，同时还产生了大概 100mV 的电压过冲。经过迭代仿真可以确定 $L_{D1} = L_{D2} = 0.8\text{nH}$ 。相应的驱动器输出的差分信号眼图如图 4-16 所示。

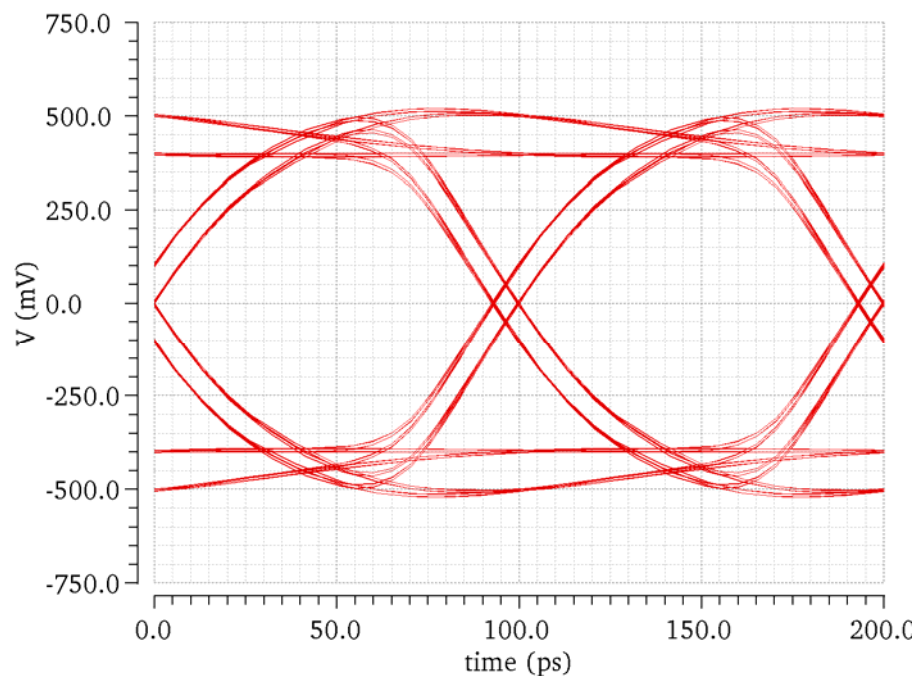


图 4-15 电感选取过大造成的相位扭曲

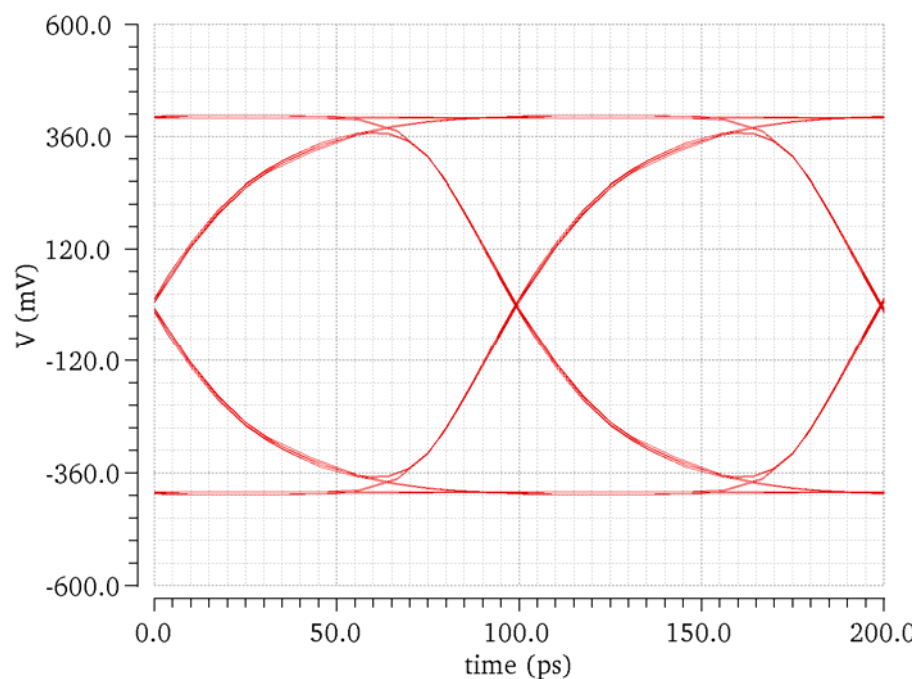


图 4-16 电感感值取 0.8nH 时的信号眼图

4.1.6 驱动器版图设计与后仿真

如图 4-17 所示为发射端电路的整体版图。由图中可以看出，电感峰化 CML 中的电感占据了大部分硅片面积，整体版图面积为 $138\mu\text{m} \times 185\mu\text{m}$ 。利用 Assura410 提取了版图寄生参数，进行三种 PVT 条件下的后仿真，这三种 PVT 组合包含两个极端情况，分别为：(TT，电源电压 1.2V， 27° 典型情况)、(SS，电源电压 1.08V， 125° ，最慢情况)、(FF，带能源电压 1.32V， 0° ，最快情况)。

典型情况的后仿真结果如图 4-18 所示，低频增益为 18.64dB，-3dB 带宽为 5.76GHz，而且 CML 缓冲器中的电感没有引起过冲。与前仿结果相比，-3dB 带宽减小了 0.34GHz，这是互连线上的寄生参数导致的。如图 4-19 所示为最快 PVT 组合下的后方结果，低频增益和带宽分别达到了 21.55dB 和 6.54GHz。而最慢 PVT 组合下，低频增益和带宽都出现了恶化，分别为 15.74dB 和 5.59GHz。

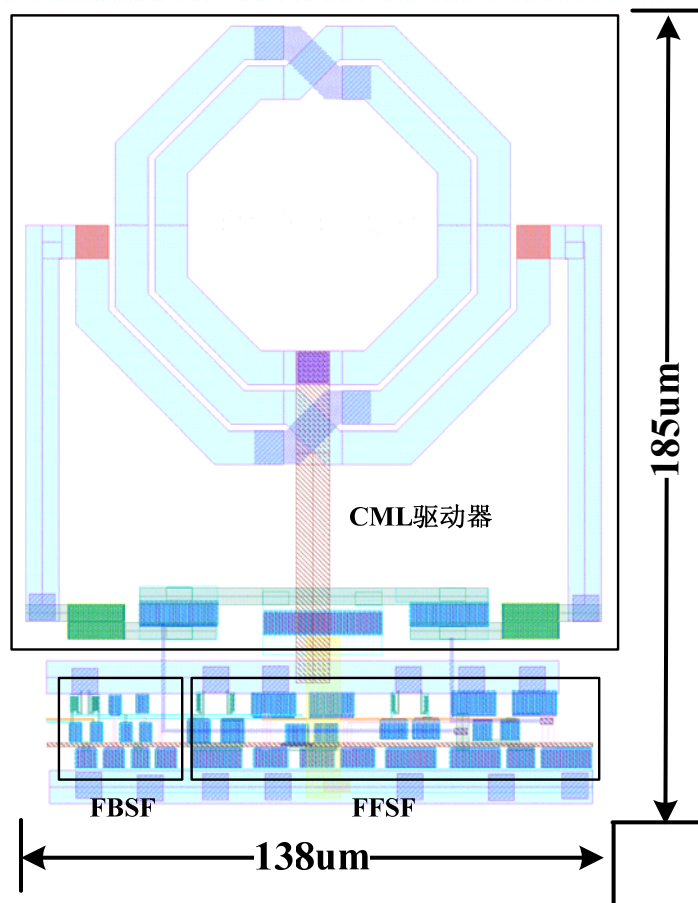


图 4-17 发射端整体版图

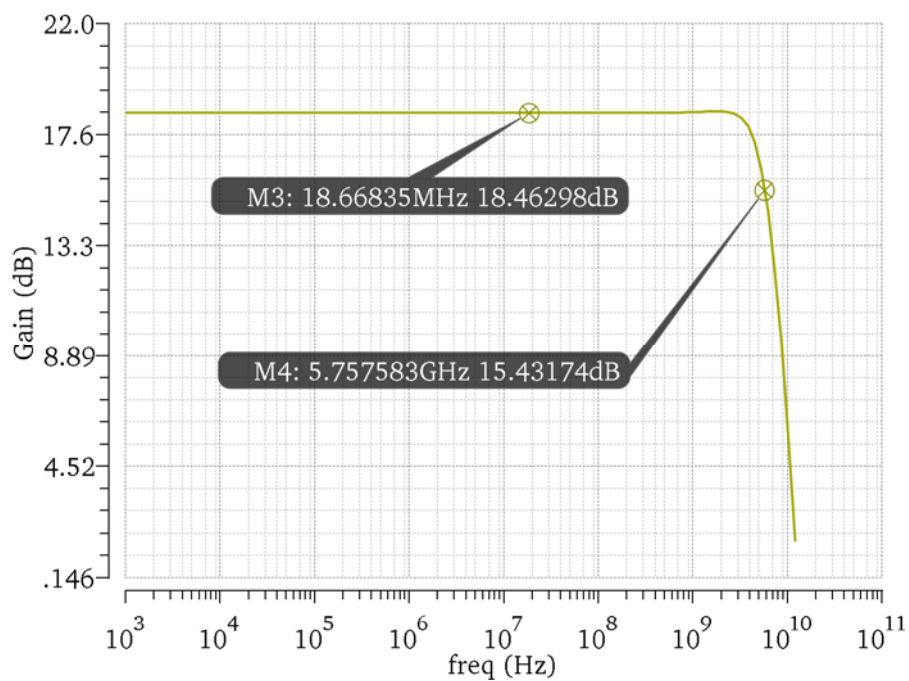


图 4-18 发射端整体增益和带宽（典型条件下）

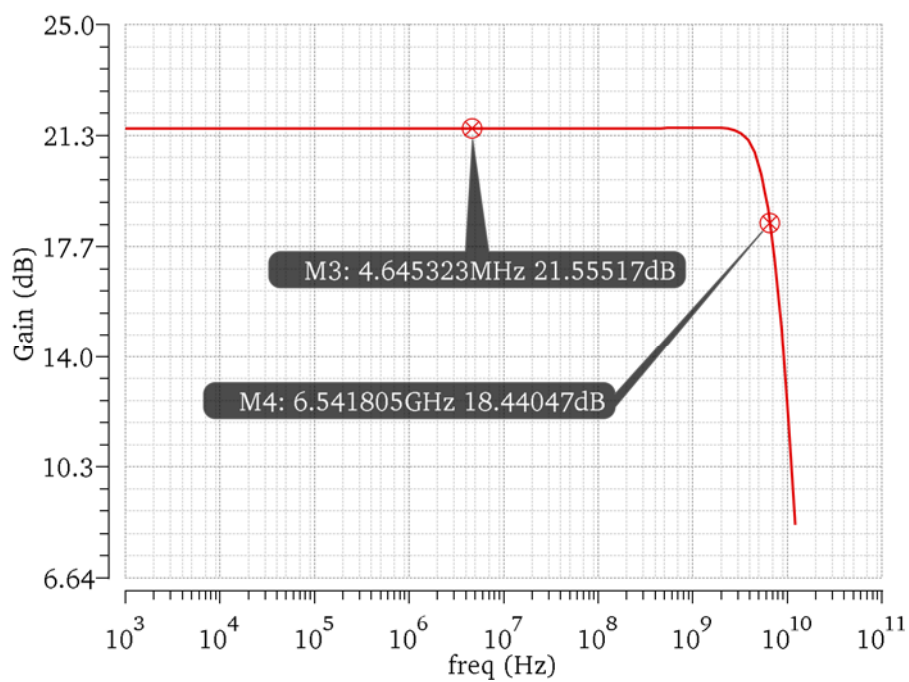


图 4-19 发射端整体增益和带宽（最快条件下）

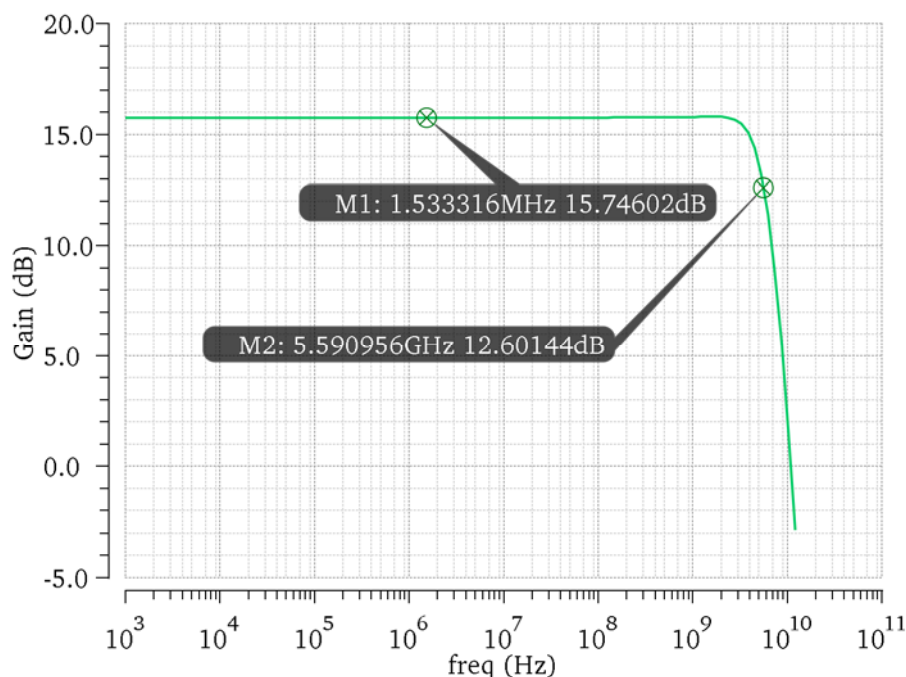


图 4-20 发射端整体增益和带宽（最慢条件下）

综上所述，发射端驱动电路在最慢 PVT 组合下，出现性能恶化，但由于最后一级 CML 缓冲器工作大信号状态，驱动器仍有足够的电流驱动能力。

4.2 背板信道的仿真模型

由于文设计的接口电路时用于背板通信的，而且在接收机中采用了自适应均衡技术，因此，对于信道模型的选取是整个设计的关键。目前背板信道模型信道的建模主要目的是为了指导初步设计，但在晶体管级仿真中，采用 Spectre 模拟库中提供的传输线模型 Field Slover，该模型能够精确的模拟传输线的各种特性。

4.2.1 Spice 模型

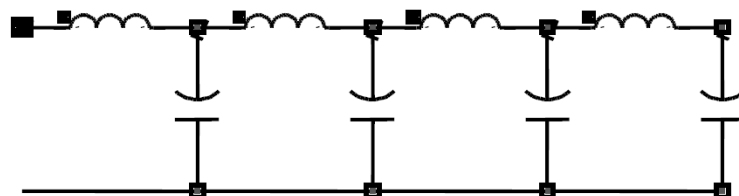


图 4-21 理想传输线的一阶模型

理想的传输线可以用一系列集总的电路段来模拟，如图所示，每一段由一个串联的电感和一个并联的电容构成。这种无损耗的模型被称为传输线的一阶模型，其精确度可以通过改变 LC 电路段的数目来调节。

由于没有将传输线的损耗考虑进去，该模型具有很大局限性，但是可以在每一个 LC 段中加入电感的串联电阻以及电容的并联电导来模拟传输线的损耗，如图所示。

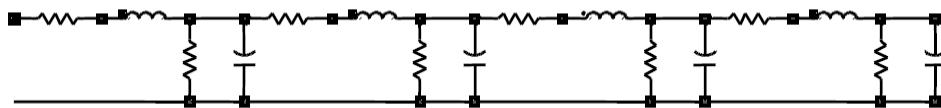


图 4-22 加入损耗的理想传输线模型

即便加入了介质和导体的衰减，但该模型仍旧是理想的有损传输线模型。实际上，由于实际的传输线除了导体的固有的衰减，还包括趋肤效应和介电损耗。由于趋肤效应，导体的单位长度电阻应具有 \sqrt{f} 的频率相关性，而单位长度的并联电导也应随着频率 f 的增加线性地增加，这就要求更为复杂的 spice 模型。因此，spice 模型在电路仿真中一般不采用。

4.2.2 二维场解析器

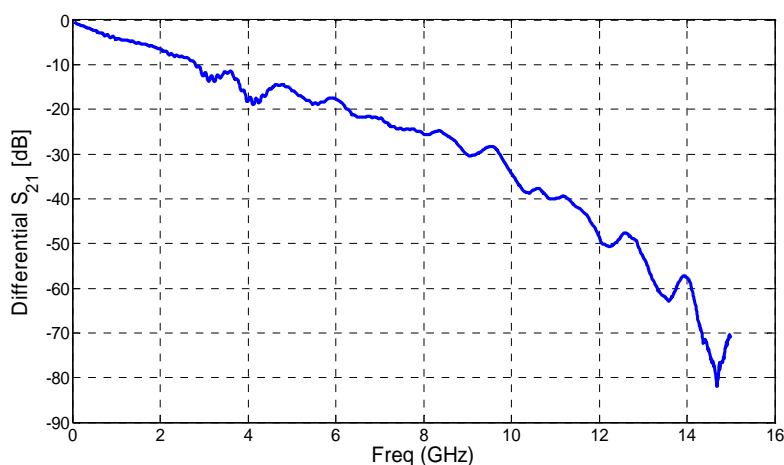


图 4-23 FR-4 基板上长度为 30 英寸的铜质走线的 S21 参数

无论是 spice 模型，还是经验公式都不能用于对于精度要求很高的场合，目前用于模拟实际传输线特性的最为精确的数值计算工具是二维场解析器（2D Field Solver）。由于传输线在长度方向上的截面是固定不变的，根据截面的几何性状和物理尺寸，及其材料特性，就可以利用二维场解析器以截面的几何形状为边界条件，求解拉普拉斯方程，提取出精确的传输线特性。所以，要利用二维场解析器，首先要有实际传输线的材料特性参数。如图为 FR-4 基板上长度为 30 英寸的铜质走线的 S21 参数，可以看出该模型在 5GHz 处的衰减达 20dB。

4.3 具有自适应均衡的接收器设计

到达接收端的信号由于信道的衰减作用，其信号完整性可能受到很大的破坏。本设计应用于 FR4 基板上的铜质传输线信道。由于趋肤效应，信号在传输线上传输时感受到的阻抗增加。且由于介电损耗，信号能量通过介质泄露，造成衰减。这两种损耗都具有频率相关性，但两者对于频率的相关特性有所不同，介电损耗对于信号的高频分量的衰减更大。总的来说，信号高频分量的衰减程度要大于其低频分量的衰减程度，因此，相比低频分量，对高频分量的补偿要更大，即均衡电路对于信号的补偿应该是有所偏重的，要求具有滤波特性。

均衡器可以用于发射端，也可以用于接收端，用于发射端的均衡器被称为预加重电路（或者预减重电路），即预先增加信号的高频分量的能量（或者预先减小信号低频部分的能量），使得信号通过信道之后，其频谱的形状保持不变，即各频率分量的能量所占的比重不变。但预加重或者预减重电路具有很大的局限性，即只能应用于具有固定衰减量的信道中。而且，由于发射端的信号幅度很大，预加重或者预减重电路的功耗很大。而接收端均衡不仅在功耗上具有优势（接收端的信号相比发射端其幅度因受信道的衰减作用而大大减小），更重要的是，可以从接收端信号频谱的变化来推知信道的衰减特性，并据此作出自适应的补偿。因此，本设计在接收端采用均衡电路。

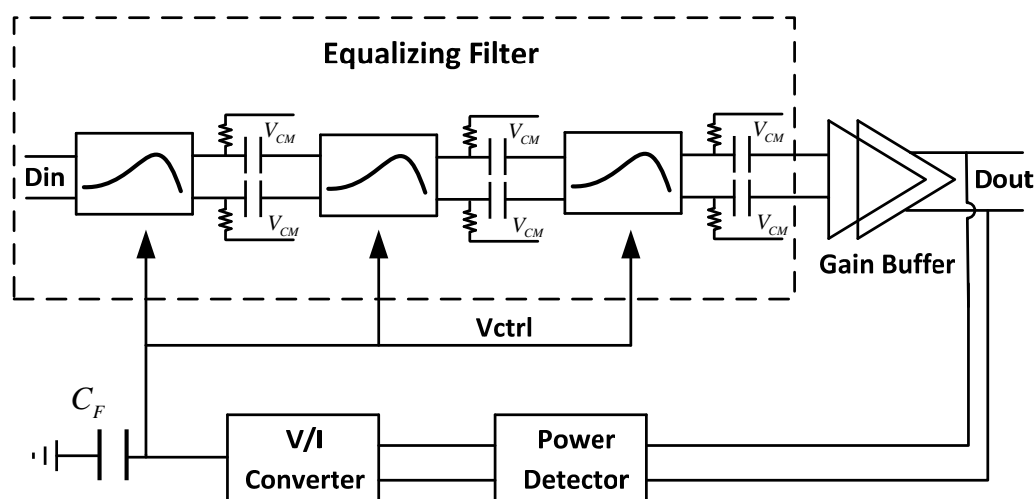


图 4-24 接收端整体原理框图

接收端均衡有两大类别的实现方式，即非线性均衡器和模拟均衡器。判决反馈均衡器是非线性均衡器中被广泛采用的一种，该类均衡器不会产生噪声积累，但其电路实现复杂，功耗很大，特别是由于判决反馈环路具有严苛的时间要求（在一个码元周期内），除非采用更为先进的工艺以减小延迟时间，否则很难应用于高

速接口中。而模拟均衡器可以发挥现有工艺的极限性能，并且噪声积累的问题可以通过带宽的优化来将其控制在可以接受的范围之内。本设计接收器的总体原理框图为如图 4-24 所示，主要包括均衡器和自适应反馈环路。关于其各模块电路结构的选取根据和参数指标后文均有陈述。

4.3.1 自适应均衡器的实现原理

4.3.1.1 频谱比较技术

第二章关于随机二进制信号频谱特性的叙述为接收器自适应均衡提供了一种设计思路，接收端的信号质量体现在其频谱特性上，由于信道的频率相关性衰减特性，信号频谱出现很大的恶化，即高频部分的衰减量要远远大于低频部分的衰减量，导致时域中信号眼图开度减小，甚至闭合。因此，判断均衡器能否对信号频率给予足够且合理的补偿，即是判断均衡后信号的频谱与理想偏差是否足够小。

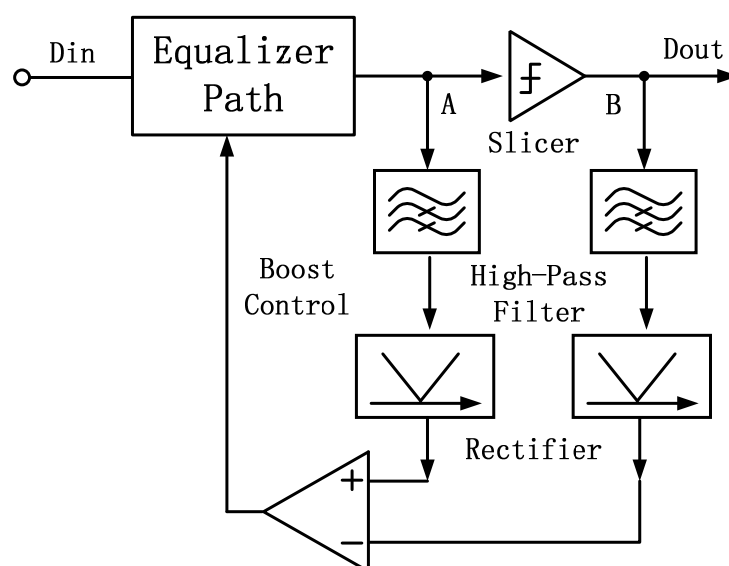


图 4-25 传统的自适应控制环路

当然理想二进制信号不可能真实存在，电路中采取特定电路结构（Slicer）将均衡后的二进制信号进行进一步放大，使其上升下降沿更加陡峭，近似理想随机二进制信号。再使之与未经 Slicer 的信号频谱进行比较^{[34][35]}。其原理如图 4-25 所示。

图中节点 A 和节点 B 的信号分别经过高通滤波器，得到其高频部分，经过整流器（Rectifier）之后在运放中将两者的高频分量相减，并将差值进行放大，其输出作为均衡器的控制信号。这种结构存在一个很大的缺陷，由于 Slicer 中差分对未必处于全切换（Complete Switching）状态，而均衡器中差分对必须全切换，因此，

A 节点的信号经过 Slicer 之后其摆幅与 A 点很可能不同，导致比较电路输出错误的控制信号。文献[32]提出了该结构的改进电路，即增加一个摆幅控制（Swing Control）环路，以调节 Slicer 的输出信号摆幅，使 A 点信号幅度与 B 点信号幅度大小相同。如图 4-26 所示：

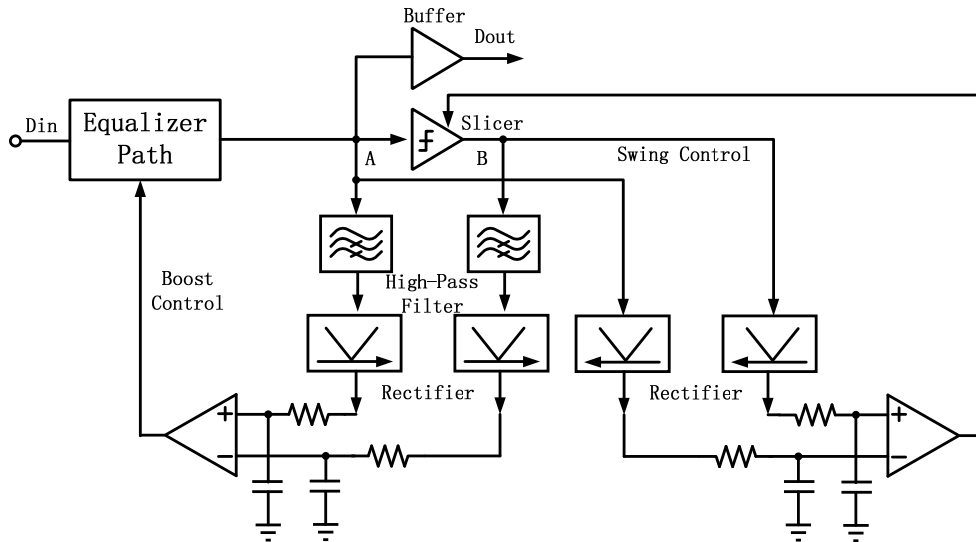


图 4-26 加入摆幅控制的自适应环路

额外增加一个环路，可能导致电路出现稳定性问题，即增益提升控制（Boost Control）环路与摆幅控制环路可能出现“竞争”，导致自适应环路无法收敛到期望的状态。即便通过仔细的设置两个不同环路的时间常数，使其工作时间错开。但由于电路复杂度的增大，功耗的增加，而不被本设计采用。

4.3.1.2 频谱自比较技术

上一节中利用 Slicer 将均衡器输出信号转化为满摆幅的随机信号，以得到接近理想的随机二进制数据频谱，再将其与均衡器直接输出的信号的高频部分进行比较。即便不考虑额外的摆幅控制环路，由于 Slicer 包含多级级联的限幅放大器，功耗与面积要求都很大。因此，本设计从随机信号频谱本身特性出发，确定一个频率点 f_m ，将频谱分割成功率相等的两个部分。经过信道频率相关性衰减作用之后，高频部分的能量将明显小于低频部分的能量。因此，可以将这两个量进行比较和放大，来得到均衡器的控制电压。这一技术被称为“自比较技术”。下面来确定 f_m 的值。

首先，将随机二进制数据的功率谱函数归一化，得到：

$$S_x(f) = T_b [\sin(\pi f T_b) / \pi f T_b]^2 \quad (4-32)$$

上式中 T_b 表示随机数据的码元周期。将归一化的功率谱函数在 0 到 $+\infty$ 的频率

范围内进行积分，得到：

$$\int_0^{\infty} S_x(f) df = \frac{1}{2} \quad (4-33)$$

由于 f_m 将频谱分割成能量相等的两个部分，因此：

$$\int_0^{f_m} S_x(f) df = \int_{f_m}^{\infty} S_x(f) df = \frac{1}{4} \quad (4-34)$$

解得：

$$f_m \approx 0.28 / T_b \quad (4-35)$$

如图 4-27 为自比较技术的原理。假设经过均衡器补偿之后的高频部分能量为 P_H ，低频部分能量为 P_L ，则如果 $P_H > P_L$ ，说明补偿过度，如果 $P_H = P_L$ ，说明补偿适中如果 $P_H < P_L$ ，说明补偿不足。如图 4-24 所示，接收器由模拟线性均衡器和自适应控制环路构成。其中均衡器包括了三个采用电容耦合级联的均衡滤波单元。自适应环路由功率鉴别器（Power Detector）、V/I 转换器，以及滤波电容 C_F 构成。均衡器的输出信号的高频部分和低频部分被功率鉴别器中的一阶高通滤波器和一阶低通滤波器抽离出来，然后经过高增益整流器（Rectifier）的整流和放大，转化成电压信号。该差分电压信号再由 V/I 转换器转化为单端的输出电流，该电流经滤波电容 C_F 转化成控制电压信号，用以控制均衡器的增益提升大小。

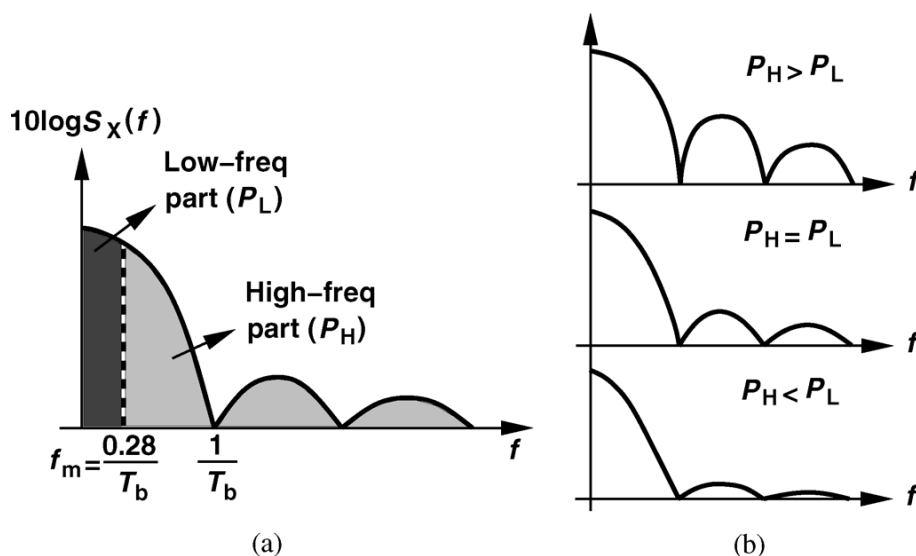


图 4-27 频谱分割与自比较

4.3.1.3 自适应环路分析

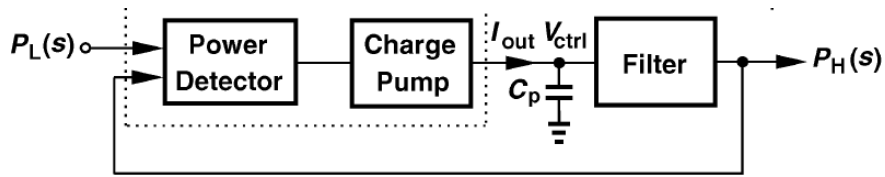


图 4-28 简化的自适应环路模型

如图 4-28 为简化的自适应环路频域模型，为直观简单的体现其特性，假定环路中各模块在带宽内呈现线性特性，设 PD（功率鉴别器）和 V/I 转换器组合的增益为 K_{PV} ，均衡器的增益为 K_F ，则该环路的开环传输函数为：

$$H(s) = K_{PV}K_F / (sC_P) \quad (4-36)$$

可以由上式看出，环路中只存在一个极点，该极点最多只能贡献 90° ，因此环路的相位裕度大于 90° ，即便将均衡器中的高阶极点考虑进去，由于主极点远远小于次级极点（大于 5GHz），环路也能够保持很大相位裕度的稳定，其闭环传输方程：

$$\frac{H(s)}{1+H(s)} = \frac{K_{PV}K_F}{C_F} \left/ \left(s + \frac{K_{PV}K_F}{C_F} \right) \right. \quad (4-37)$$

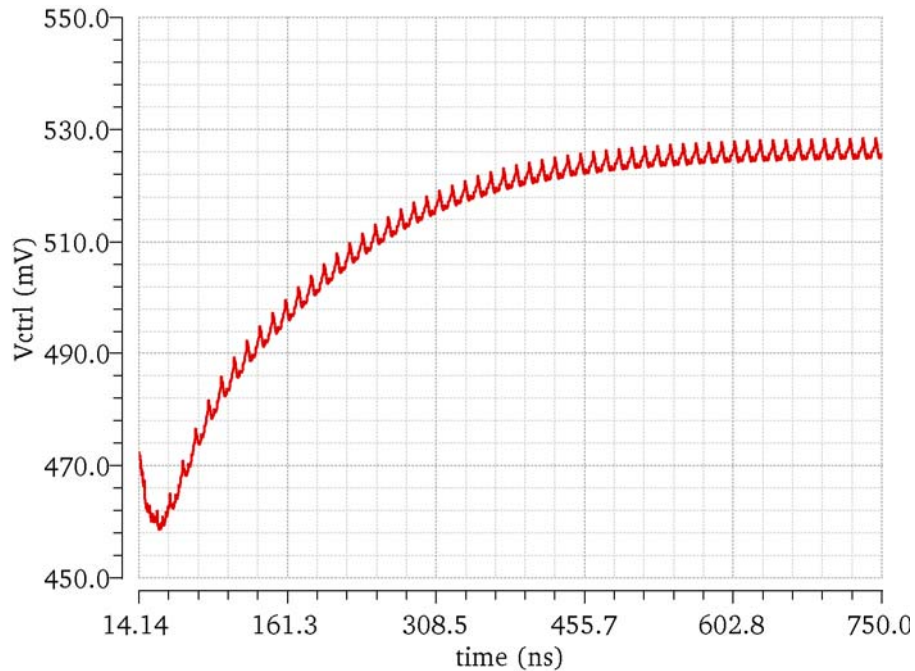


图 4-29 控制电压 Vctrl 的响应曲线

根据闭环传输函数，可以得到自适应环路的时间常数 $\tau = C_F / (K_{PV}K_F)$ ，该常量体现了自适应环路对突发干扰的响应能力，时间常数越短，自适应环路恢复平衡

状态的时间越短。滤波电容 C_p 大小的选取受到两个主要因素限制，一是控制电压的漂移，二是建立时间。如果 C_p 过小，电容上少量的电荷积累就会引起很大的电压波动，造成控制电压的不稳定；如果 C_p 过大，需要更长时间的电荷积累才得到要求的控制电压，即导致建立时间过长。

本设计折中考虑，选取 C_p 为 8pF。再由式 (4-42) 可以得到，频谱分割点为 $f_m=2.8\text{GHz}$ ，据此可以确定功率鉴别器中一阶 RC 滤波电路的转折频率。如图 4-29 所示为 V_{ctrl} 时域的响应曲线，可见环路稳定过程大概需要 700nS，从图中还可以看出，环路近似一阶系统，与理论分析一致。

4.3.2 均衡器的设计

4.3.2.1 基本的均衡滤波单元电路

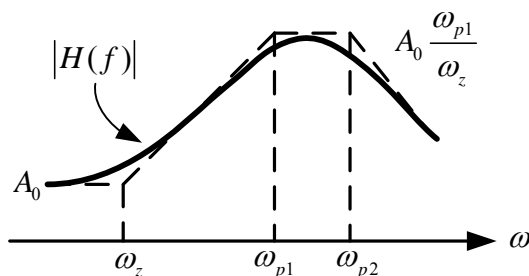


图 4-30 增益提升原理

在本文中，均衡滤波单元采用源极电容负反馈技术来提升高频部分的增益如图 4-30 所示。其原理是在差分对的源极接入一对并联的电容和电阻，在传输方程中产生一个零点，由于该零点在所有的极点之前（要求零点远远小于极点），故而电路的频率响应曲线在零点之后会有上升，直至零点的作用被主极点抵消，后面次级极点使得曲线呈现下降趋势。但是不能简单的减小零点来增大提升因子，因为，如果零点过小（小于 1.4GHz），均衡器的频率响应曲线与 FR4 的信道的衰减曲线存在较大的失配，并由此导致信号抖动的增大。另外，由于减小零点只能通过增大源极电阻来，这样又使得直流增益降低。在本文中，为使得增益提升最大化，同时与 FR4 的信道的衰减曲线有很好的匹配，将零点放置在 $f_z=1.6\text{GHz}$ 。这一点在后文中会有具体的叙述。

该电路的基本结构如图 4-31 所示^{[40][47][48]}。图中 R_L 表示漏极负载电阻， R_s 表示源极负反馈电阻， C_L 表示漏极负载电容， C_s 为源极负反馈电容。其传输方程写作：

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_{m1}R_L}{1 + (g_{m1} + g_{mb1})R_S/2} \cdot \frac{1 + S/\omega_{z1}}{(1 + S/\omega_{p1})(1 + S/\omega_{p2})} \quad (4-38)$$

式中极点 ω_{p1} , ω_{p2} 的表达式分别为 $|\omega_{p1}| = [1 + (g_{m1} + g_{mb1})R_S/2]/(R_S C_S)$ 及 $|\omega_{p2}| = 1/(R_L C_L)$ 零点为 $|\omega_{z1}| = 1/(R_S C_S)$ 。其直流增益为 $A_O = g_{m1}R_L/[1 + (g_{m1} + g_{mb1})R_S/2]$ 。主极点和零点之比 ω_{p1}/ω_{z1} 称为增益提升因子, 是一个相对值, 相对于直流增益而来的, 表征均衡器对信号频谱的矫正程度。而且较高的增益提升因子往往以衰减信号的低频分量为代价的。根据上式可以得到直流增益、增益提升因子、次极点之间的关系:

$$A_O(\omega_{p1}/\omega_{z1})\omega_{p2} \approx g_{m1}/C_L \quad (4-39)$$

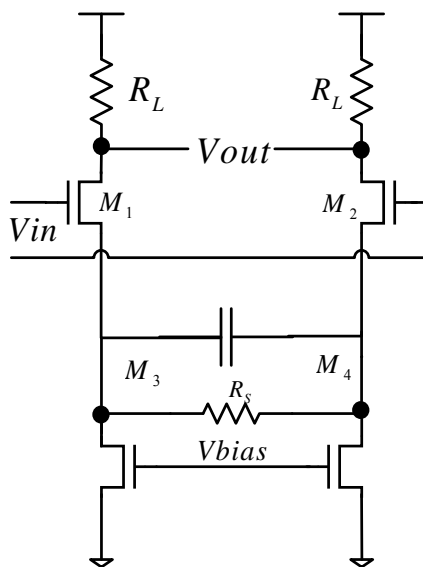


图 4-31 基本的均衡滤波单元

由式(4-39)可以看出, 这三个量的乘积即是工艺的截止频率, 提高其中任一个量, 代价都是减小另外两个量的乘积。仿真表明, 采用 $0.13\mu\text{m}$ CMOS 工艺, 要满足尼奎斯特频率 (5GHz) 处增益提升达到 22dB , 至少需要三个同样的均衡滤波单元进行级联, 但由于每一级的低频均有衰减, 使得信号的幅度减小, 带宽的要求也无法满足, 加上链路上噪声的积累, 使得均衡后的信号质量无法达到预期。因此, 必须对该结构的基础电路进行改进。

4.3.2.2 改进之后的均衡滤波单元电路

在前文中, 比较了几种带宽拓展技术。由于单片电感在集成电路中得到应用, 成本降低, 在大大提高带宽的同时, 又不会产生电压裕量问题, 因此在低电源电压下得到广泛应用。因此, 在漏极负载 R_L 上串接一个电感, 由此引入了电感峰化

技术,如图 4-32 所示。为进一步拓展带宽,在伪差分对管的漏极与栅极之间交叉接入电容 C_M [33],根据米勒效应,该电容在栅极产生一个负的电容值,抵消了一部分栅极寄生电容,减小了前一级的负载电容。

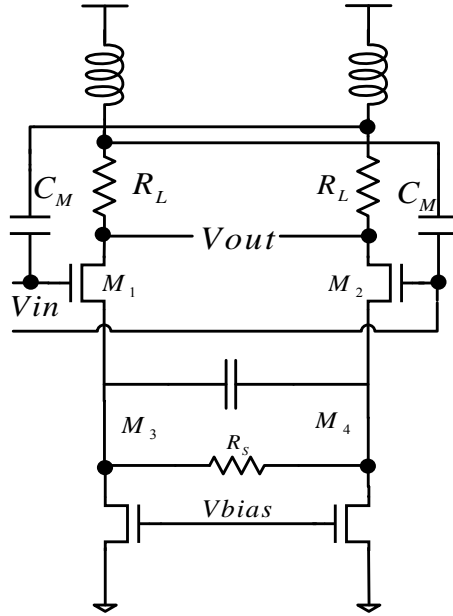


图 4-32 改进型均衡滤波单元

写出改进后电路的传输方程:

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_{m1}R_L}{[1 + (g_{m1} + g_{mb1})R_S/2]} \cdot \frac{1 + S/\omega_{z1}}{(1 + S/\omega_{p1})} \cdot \frac{1 + S/\omega_{z2}}{1 + 2s/Q\omega_0 + s^2/\omega_0^2} \quad (4-40)$$

上式中, ω_{p1} 、 ω_{z1} 的表达式形式与式 (4-45) 中的相同, 另外, $|\omega_{z2}| = 2\omega_0/Q$, $Q = (2/R_L)\sqrt{L_D/C_L}$, $|\omega_0| = 1/\sqrt{L_P C_L}$, 其中, C_L 表示输出节点总的电容, 包含了负米勒电容的影响。电感峰化技术利用电感与输出节点电容谐振, 提高了带宽。能够提供最大带宽拓展的电感感值大致取为 $L_D = 0.71R^2C$ [29]。由于在传输方程中引入了一对复极点, 可能导致相位非线性变化, 使得相位产生扭曲, 为使得这一效应最小化, 应保持较低的 Q 值。

下面对该电路进行扫描仿真, 来洞察其调谐特性。改变源极负反馈电阻和源极负反馈电容的值将产生不同的频率响应特性。如图 4-33 所示, 减小源极负反馈电阻的阻值能够提高低频增益, 而高频部分的特性不发生改变。

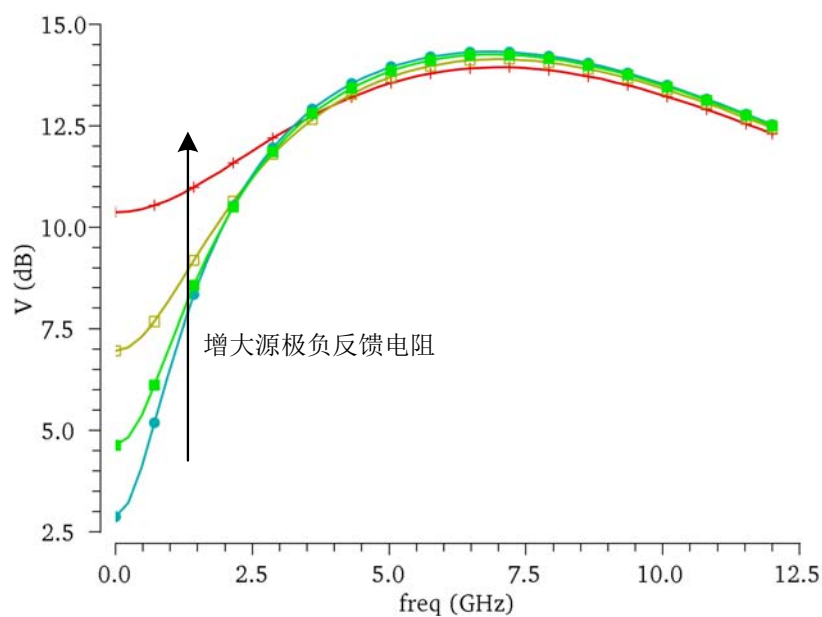


图 4-33 改变源极负反馈电阻对频率响应曲线的影响

如图 4-34 所示，增大源极负反馈电容的容值能够提高高频部分的增益，但不改变低频特性。

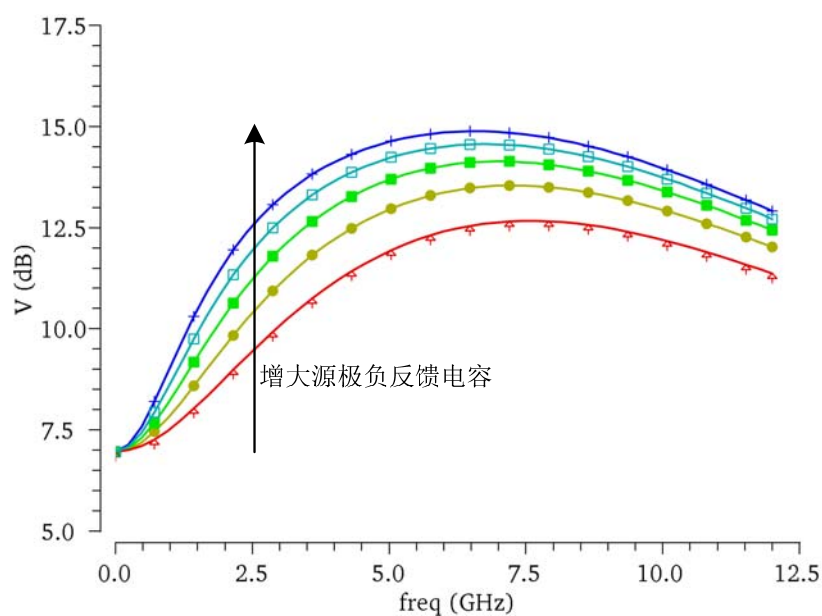


图 4-34 改变源极负反馈电容对频率响应曲线的影响

如图 4-35 所示，同时改变源极负反馈电阻和电容。从这一现象也可以看出，通过改变电阻和电容的值，既可以调节均衡器的频率响应特性，即其调谐特性。自适应环路即是利用这一特性进行工作的。

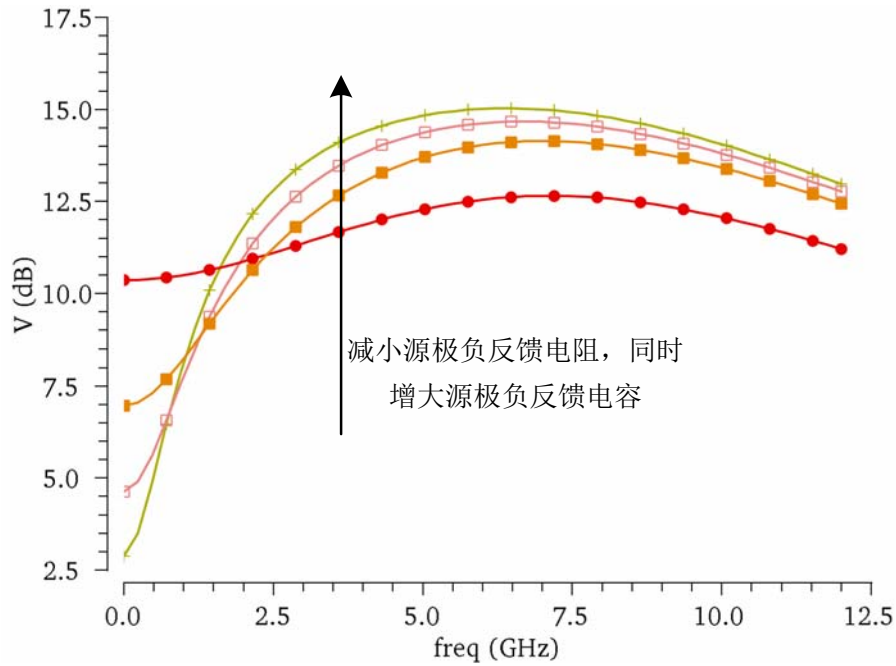


图 4-35 同时改变源极负反馈电容和电阻

4.3.2.3 加入调谐功能的均衡滤波单元电路

上一节已经表明, 要实现调谐功能, 必须能够在电压的控制下, 同时增加或者减小电容和电阻的值, 即需要一个可变电阻和一个可变电容。在标准 CMOS 工艺下, 可变电阻可以由一个工作在深线性区的 MOS 管实现, 即在 MOS 管栅极接控制电压, 来控制管子打开与关断, 以及管子打开之后沟道反型层的厚度来改变电阻大小。当管子打开后, 即处于深线性区, 其等效电阻阻值的近似表达式为:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2} \quad (4-41)$$

可以看出, 随着栅源电压的增大, 沟道电阻减小。可变电容可以采用压控的 MOS 变容管。实现了调谐功能的均衡滤波单元电路如图 4-36 所示。

当控制电压 V_{ctrl} 较低时, M_5 管关断, 此时可变电阻的阻值等于 R_s , 变容管的电容值最大, 表现在传输方程中为零点最小, 增益提升因子最大, 并且低频部分出现衰减。随着控制电压 V_{ctrl} 的增加, 可变电阻的阻值减小, 同时变容管 M_3 和 M_4 的电容值也减小, 在传输方程中表现为零点增大, 增益提升因子减小。当 V_{ctrl} 超出变容管的调谐范围时, 变容管的电容值不再随 V_{ctrl} 的增加而减小, 而可变电阻的大小也不再减小, 故而零点不再增大, 但是由于可变电阻的减小, 使得低频部分增益提升, 这两方面因素使得增益提升因子减小。这一过程即是均衡器的调谐。

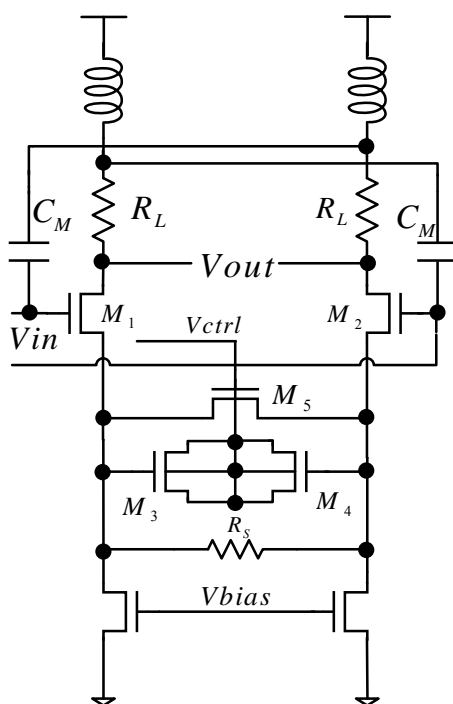


图 4-36 具有压控调谐特性的均衡滤波单元

4.3.2.4 均衡滤波单元中电感的选取与仿真

本设计基于标准 SMIC 0.13 μm -CMOS 工艺，该工艺库提供三种电感模型：差分电感，带中间抽头的 3 端差分电感，螺旋电感。由于均衡器中所采用的滤波单元均为对称结构，而且相对于螺旋电感，相同电感值的差分电感 Q 值更高，占用的芯片面积更小[139]。因此，本设计选用差分电感用于电感峰化技术。如表 4-2 所示，由于生产制造上的限制，该工艺的 PDK 中对其差分电感的各项参数与其工作条件都做了严格的规定，如电感的匝数、金属线宽度、间距等。

表 4-2 差分电感的有效尺寸与工作条件

金属线之间的间距 (μm)	固定值 1.5
金属线宽度 (μm)	固定值 8
内径 R (μm)	30~120
匝数 (N)	2~7 (单位 0.5)
工作频率范围	100MHz~10.1GHz
工作温度范围 ($^{\circ}\text{C}$)	-40~125

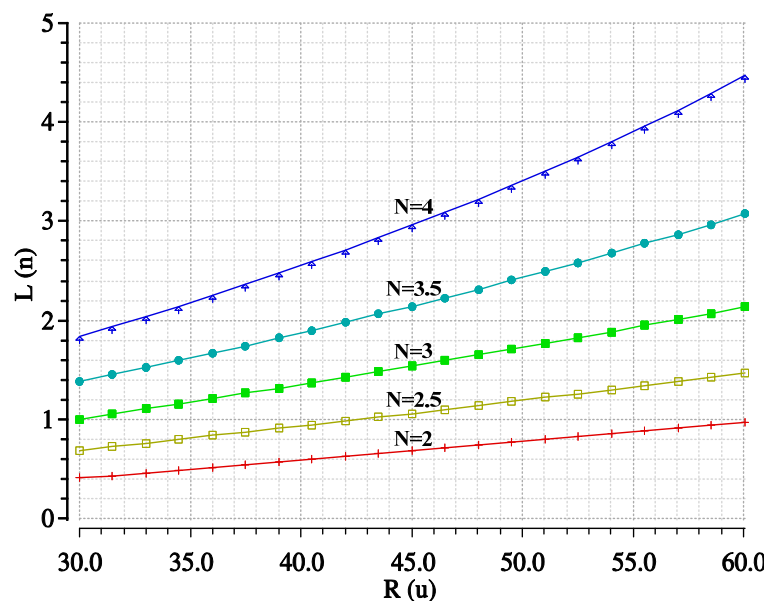
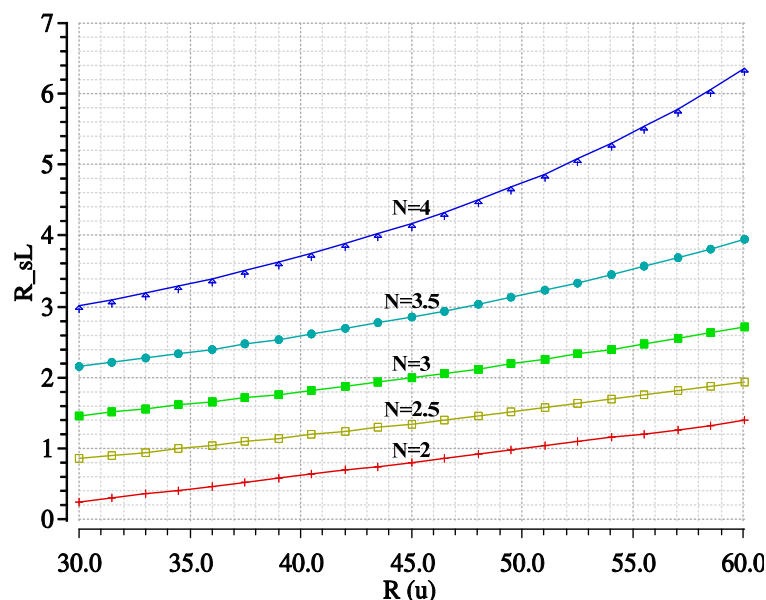
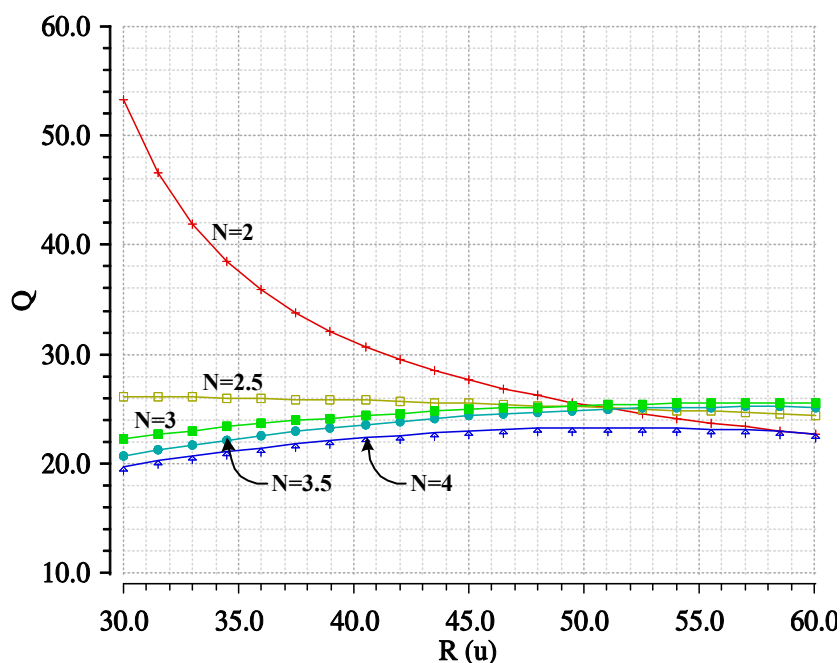
图 4-37 不同内径和匝数下的差分电感的电感值 L 

图 4-38 不同内径和匝数下的差分电感上的等效串联电阻

首先对一组匝数与内径均不同的差分电感分别进行扫描仿真，得到其电感值，串联等效电阻和品质因素等指标，以了解其特性，以备后文中的电感选取。从图中看出，差分电感的电感值和串联等效电阻均随其匝数和内半径的增加而增大。但在本文中，由于电感的寄生电阻会被并入负载电阻 R_D 中， Q 值不作为主要的参数（而图中显示，品质因数 Q 均大于 20），主要考虑的是面积大小和可靠性，因此，在设计中选取的差分电感内半径为 $R=30\mu\text{m}$ 。


 图 4-39 不同内径和匝数下的差分电感品质因数 Q

4.3.2.5 均衡滤波单元中变容管的选取与仿真

变容管有多种实现方式,在 SMIC 0.13 μm -CMOS 工艺库中有两种成熟的模型:结型变容管(基于 P+/NW)和 MOS 变容管(基于 N+poly/NW)。由于结型变容管的调谐范围远小于 MOS 变容管,在主流 IC 设计中已被 MOS 变容管所替代。本节只对 MOS 变容管的特性进行介绍。由于可制造性与稳定性的考虑,对 MOS 变容管的工作条件和管子尺寸也有严格的规定。如图 4-40 所示, PDK 手册中提供的 MOS 变容管示意图。

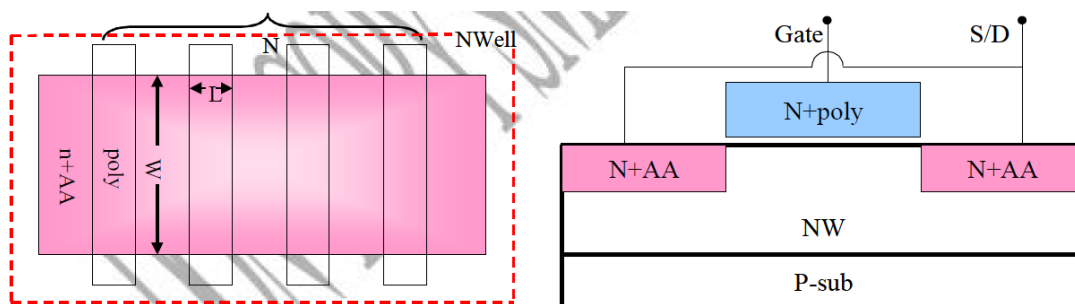


图 4-40 MOS 变容管的结构图

与前一节相似,本设计对变容管的选取主要考虑其电感值和调谐特性。改变多晶硅栅的长度关系到变容管的调谐范围和品质因数 Q 。在一组仿真中设定变容管的多晶硅栅宽度为 10 μm ,然后以多晶硅栅长度 L 为参变量,得到一组电容值 C_{var} 随控制电压 V_{ctrl} 变化的曲线,如图 4-41 所示。从图中看出,随着多晶硅栅长度 L 的增大,变容管交叠电容占比减小, V_{ctrl} 的调节范围增大,而且当 L 大于 0.875 μm

时, V_{ctrl} 的调节范围随 L 的增大趋势不再明显, 当 V_{ctrl} 为 $\pm 400\text{mV}$ 时, 变容管的电容值分别达到最大值和最小值。因此将多晶硅栅长度选为 $1\mu\text{m}$ 。在后续具体电路中, 改变变容管的 Finger 值即可调节变容管的大小, 根据仿真迭代, 优化初步设计, 得到最终参数。

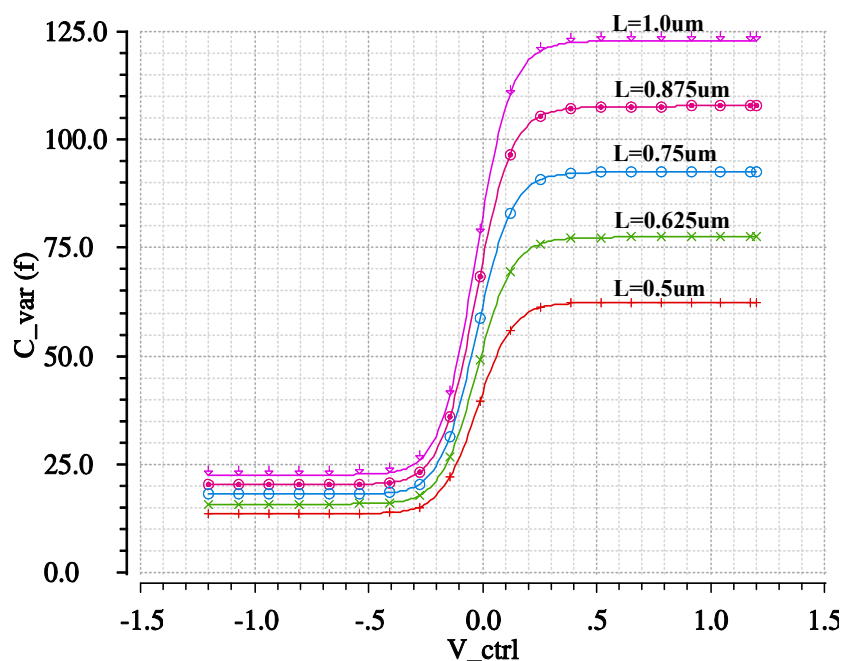


图 4-41 不同栅长下, MOS 变容管的容值 C_{var} 随控制电压 V_{ctrl} 的变化曲线

4.3.2.6 选取电路参数

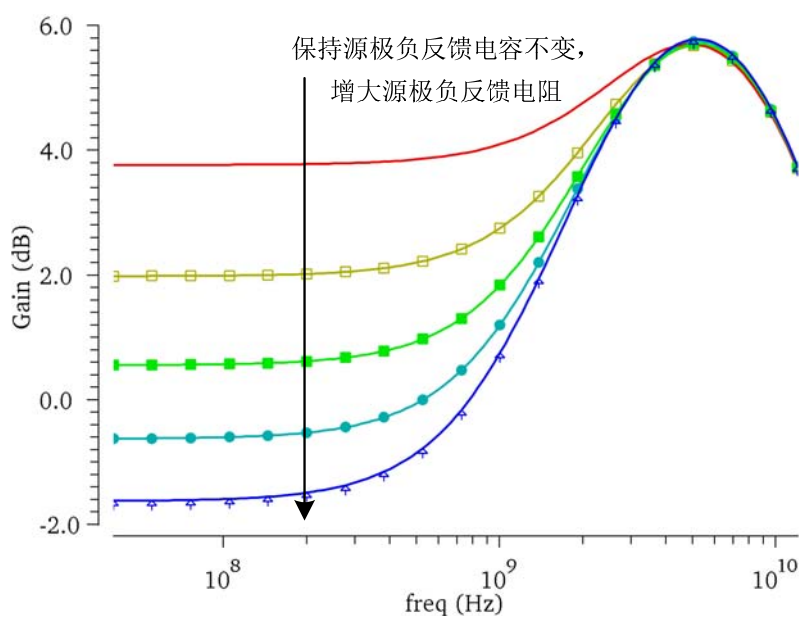


图 4-42 源极负反馈电阻的选取

选定工艺库中的电阻替代理想电阻之后，为验证并确定所需的源极负反馈电阻，做一组仿真，电阻的长度从 $2\mu\text{m}$ 变化到 $6\mu\text{m}$ ，如图 4-42 所示，随着电阻长度的增加，电阻的大小增大，低频的增益逐渐减小，当电阻的长度为 $6\mu\text{m}$ （即电阻的阻值为 349.96Ω ），低频部分的衰减量达到 1.6dB ，符合预期要求。

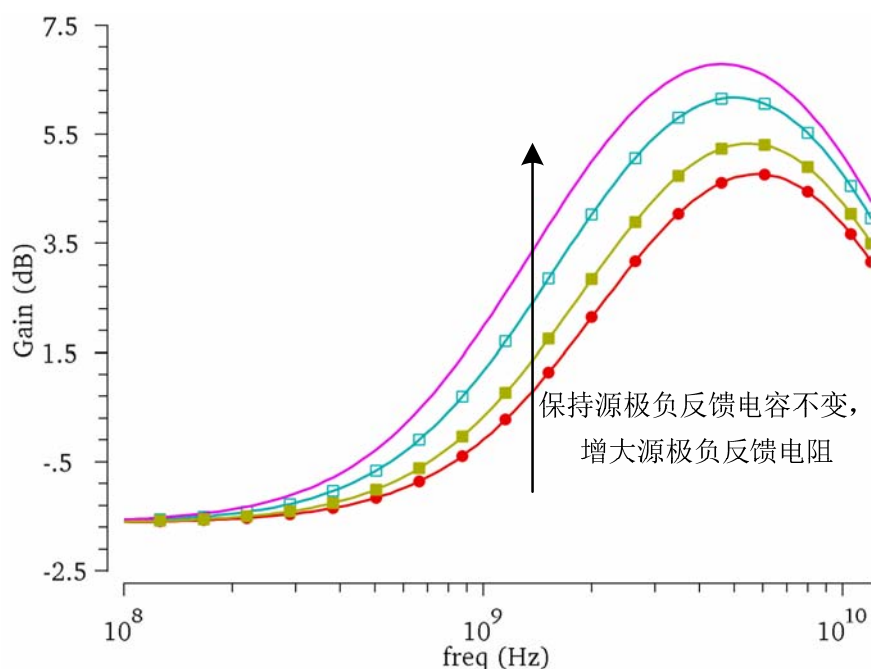


图 4-43 源极负反馈电容的选取

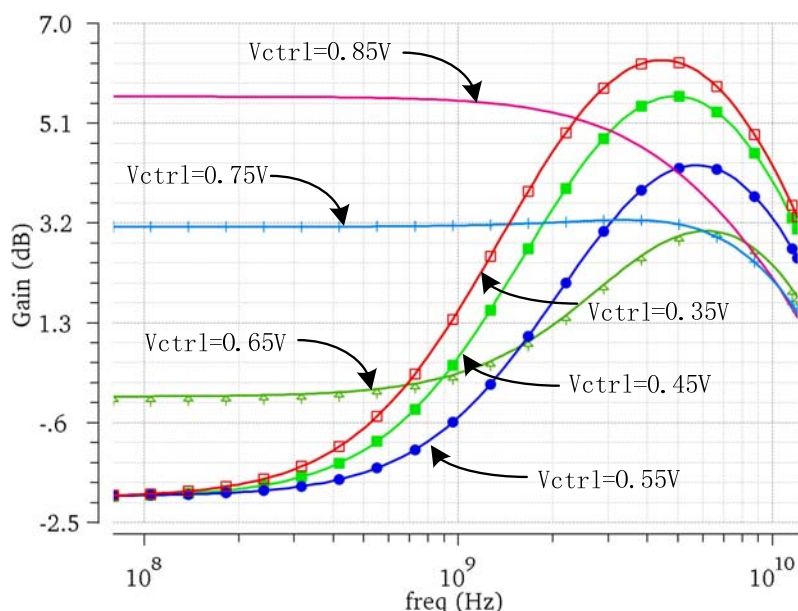


图 4-44 控制电压 V_{ctrl} 的调谐特性

加入用作可变电阻的 NMOS 管后，实现电压控制调谐功能，如图 4-44 所示

为均衡滤波单元随着控制电压 V_{ctrl} 的变化而产生不同的频率响应。可以看出无论是调谐范围还是带宽与增益，都达到了设计要求。

4.3.2.7 均衡滤波单元的噪声分析

均衡器本身产生的噪声，经过均衡滤波单元的逐级放大和积累会对输出信号造成很大的影响，时域上体现在抖动增大。为将噪声纳入初步设计的考虑中，下面对均衡滤波单元进行噪声分析。为简化分析，实际电感和变容管上的寄生电阻不纳入以下分析中，如图 4-45 所示其噪声模型。

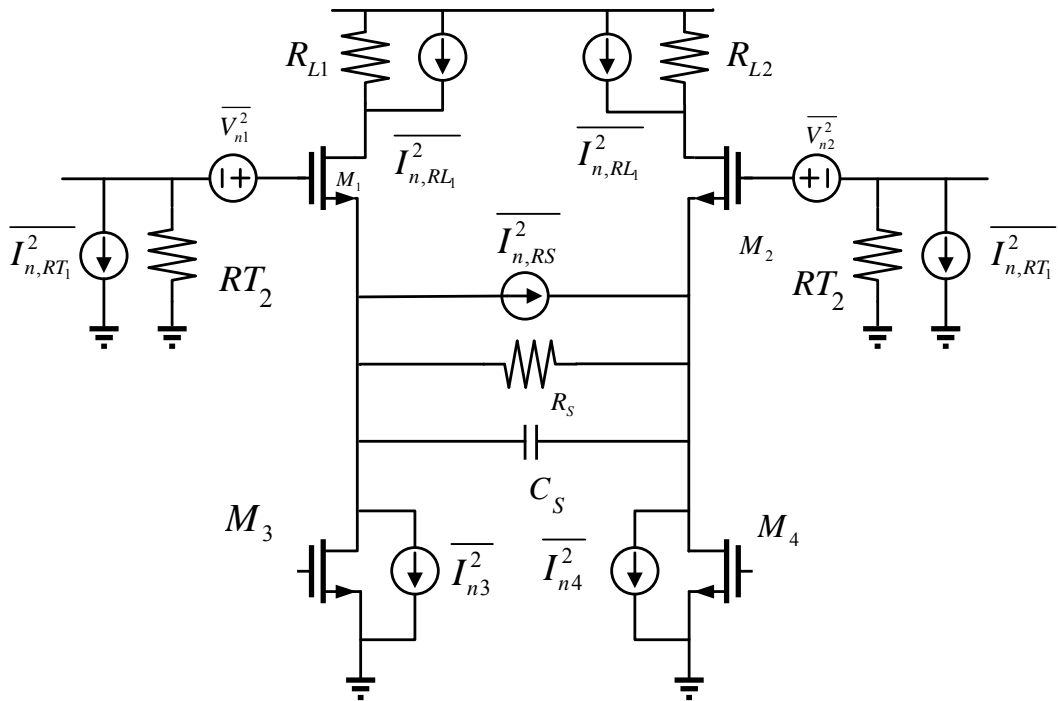


图 4-45 噪声模型

在多个放大器级联的电路中，第一级放大器的噪声对整体的噪声性能恶化贡献最大，因此，如图，着重分析均衡器的第一级的噪声贡献。由于电路结构的对称性可知， M_1, M_2, R_{T1}, R_{T2} 引入的噪声大小为：

$$\overline{V_{n,in1}^2} = 2 \left[\overline{I_{n,RT1}^2} \left(\frac{R_{T1}}{2} \right)^2 + \overline{V_{n1}^2} \right] \quad (4-42)$$

由 M_3, M_4 以及 R_s 引入的噪声大小为：

$$\overline{V_{n,in2}^2} = 2 \left[(\overline{I_{n,RS}^2} + \overline{I_{n3}^2}) \left(\frac{R_s}{R_s + \frac{2}{g_{m1} + g_{m1b}}} \right)^2 + \overline{I_{n,RD1}^2} R_{D1}^2 \right] \quad (4-43)$$

本文采用的均衡滤波单元是三阶系统，但第三个极点远远大于系统带宽，它对噪声的累积效应可忽略不计。将均衡器的频率响应曲线进行线性简化，可得如图 4-46 所示。本设计中， $f_2 \approx 1\text{GHz}$ ， $f_2 \approx 7\text{GHz}$ 。尽管均衡器的 -3dB 带宽为 7GHz ，其与 FR4 基板上的传输线信道总体带宽约为 5GHz 。

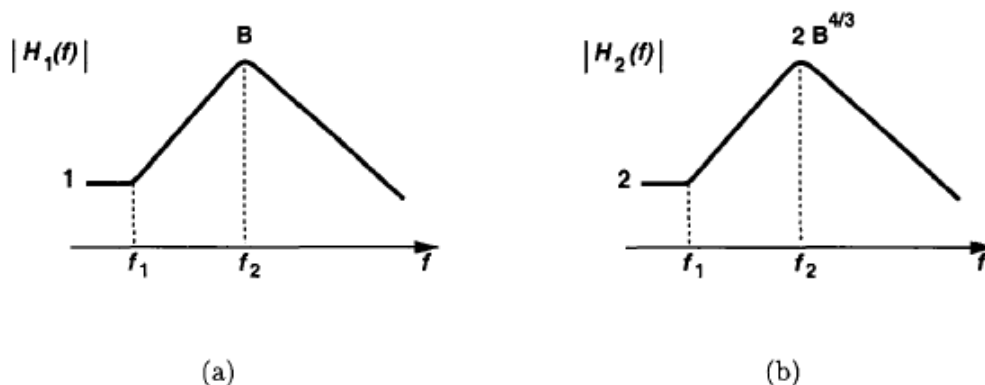


图 4-46 均衡器传输函数的线性近似

根据图 4-46 (a)，可以写出线性近似之后，带宽内的传输函数。由于每一级的高频部分频谱是相同的，假定高频部分相对低频部分增益提升为 A 那么第二级到均衡器输出端的增益提升则为 $A^{\frac{2}{3}}$ 。从第一级到均衡器输出端的传输函数为 $H_1(f)$ ，从第二级到均衡器输出端的传输函数为 $H_2(f)$ ：

$$H_1(f) \approx \frac{A-1}{f_2-f_1}f + \frac{f_2-Af_1}{f_2-f} \quad f_1 < f < f_2 \quad (4-44)$$

$$H_2(f) \approx \frac{2(A^{\frac{2}{3}}-1)}{f_2-f_1}f + \frac{2(f_2-A^{\frac{2}{3}}f_1)}{f_2-f} \quad f_1 < f < f_2 \quad (4-45)$$

输入噪声的频谱经均衡器的传输函数重塑，再在带宽内进行积分，就可以得到总的输出端的噪声：

$$\begin{aligned} \overline{V_{n,out}^2} &= 2 \int_{f_1}^{f_2} \left(|H_1(f)|^2 \cdot \overline{V_{n,in1}^2} + |H_2(f)|^2 \cdot \overline{V_{n,in2}^2} \right) df \\ &\approx \frac{2}{3}(f_2-f_1) \cdot A^2 \overline{V_{n,in1}^2} + \frac{8}{3}(f_2-f_1) \cdot A^{\frac{4}{3}} \overline{V_{n,in2}^2} \end{aligned} \quad (4-46)$$

由上式可以看出输入端的噪声带宽经过均衡器之后带宽增大了 $2A^2/3$ 倍，第一级输出端的噪声带宽增大了 $8A^{\frac{4}{3}}/3$ 倍。因此在设计中应着重考虑第一级的噪声性能。

4.3.2.8 比例放缩技术

在均衡器设计中，不仅要求在奈奎斯特频率（5GHz）处的增益至少 20dB，而每一级均衡滤波单元在 5GHz 处的增益只有 8dB，因此需要三个均衡滤波单元进行级联。而且，均衡器中累积的低频损耗需要级联额外的两个放大器，来还原信号的电平。当 N 个相同的一阶放大器级联时，整体的小信号带宽可表示为式(4-7)，当放大器为多阶系统时，整体的小信号带宽可修正为^[30]：

$$\omega_{-3dB} = \omega_0 \sqrt[m]{\sqrt{2} - 1} \quad (4-47)$$

ω_0 仍表示单级放大器的 $-3dB$ 带宽。当放大器单元为一阶时， $m=2$ ；放大器单元为二阶时， $m=4$ 。由(4-38)可知，基本的均衡滤波单元呈现二阶特性，因此多个相同均衡滤波单元进行级联时，整体带宽的下降将更大。如果简单的将三个均衡滤波单元进行级联以达到要求的高频增益，则整体带宽就不能满足设计要求。为解决这一问题，本文将比例缩放技^[31]（Reverse Scaling）术用在均衡器的设计中^[40]。

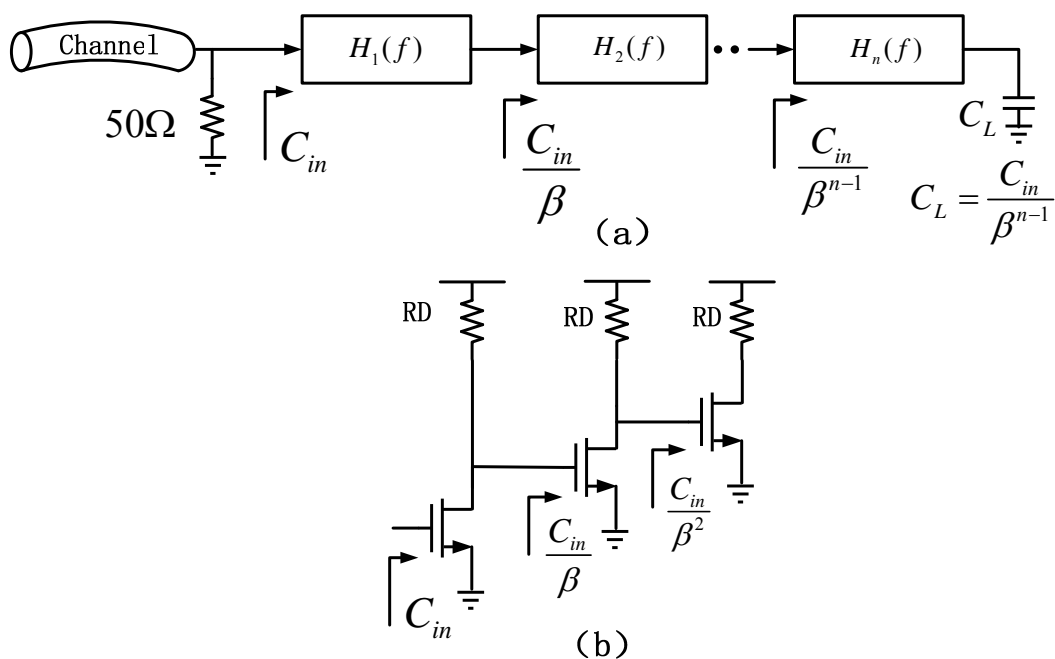


图 4-47 比例缩小技术

下面用图 4-47 说明这一技术。 N 个放大器级联，后一级的输入管相对于前一级缩小比例因子 β 倍，同时保持增益和增益提升特性不变，但每一级输出节点的时间常数减小。第 k 级和第 $k+1$ 级连接处节点电容可表示为 $C_{T,k} = C_{out,k} + C_{in,k+1}$ 。其中 $C_{out,k}$ 包括了第 k 级输出端的结电容和交叠电容； $C_{in,k+1}$ 包括了第 $k+1$ 级的输入电容。因此响应的时间常数为：

$$\tau_{scaled} = \beta^{k-1} R_D \left(\frac{C_{out,1}}{\beta^{k-1}} + \frac{C_{in,1}}{\beta^k} \right) \quad (4-48)$$

可以看出，上式括号中的第二项提升了整体带宽。

均衡器的负载电容（级 CDR 的输入电容）满足： $C_L = C_{in} / \beta^n$ 。因此，比例因子 β 可由三个方面的约束来确定：（1）系统能够允许的最大输入电容，（2）CDR 呈现给均衡器的最小负载电容，（3）均衡滤波单元最少级联数目。第一个约束条件由系统要求的输入带宽和返回损耗确定。第二个决定于 CDR 的设计。第三个条件由均衡器的带宽和增益折衷确定。在本文中，根据功耗和带宽的折衷，输入电容选择为 100fF，响应的比例因子 β 设为 1.4。

4.3.2.9 均衡器的总体电路及详细参数

由于均衡滤波单元中复极点的作用，使得相位的线性度恶化。信道的相位近似线性的，即便增益的均衡达到了要求，由于相位扭曲，信号的过零点受到干扰，信号的 ISI 依然很大，这就要求均衡器不能引入过多的相位扭曲（Phase Distortion）。而且信道的衰减越大，对均衡器的线性度要求越高，尤其是均衡器的第一级的线性度要求最高。

均衡器的整体电路是由三个采用了比例缩放技术的均衡滤波单元通过电容耦合级联而成的。由于均衡滤波单元的输出电压共模电平存在波动，共模电平的波动直接耦合到变容管 M_4 和 M_5 ，以及做可变电阻用的 M_3 ，使得均衡滤波单元的调谐范围受到影响，采用电容耦合起到了共模隔离作用。此外，如果均衡滤波单元之间直接相连还存在着电压裕量问题，可能导致后级的差分对管工作在线性区，使得电路不能正常工作。

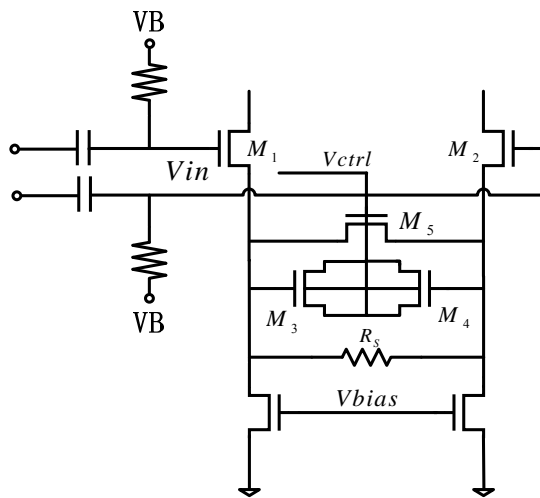


图 4-48 均衡滤波单元的电容耦合

但是，电容耦合的高通特性不可避免的造成信号低频部分的衰减，耦合电容的容值的选取决定于低频衰减和带宽的折中。其中，低频衰减又决定于耦合电容与均衡滤波单元的输入电容容值之比，而带宽的限制来自于耦合电容的寄生电容。根据所采用的工艺的的具体情况，本设计中耦合电容取 400 fF 。

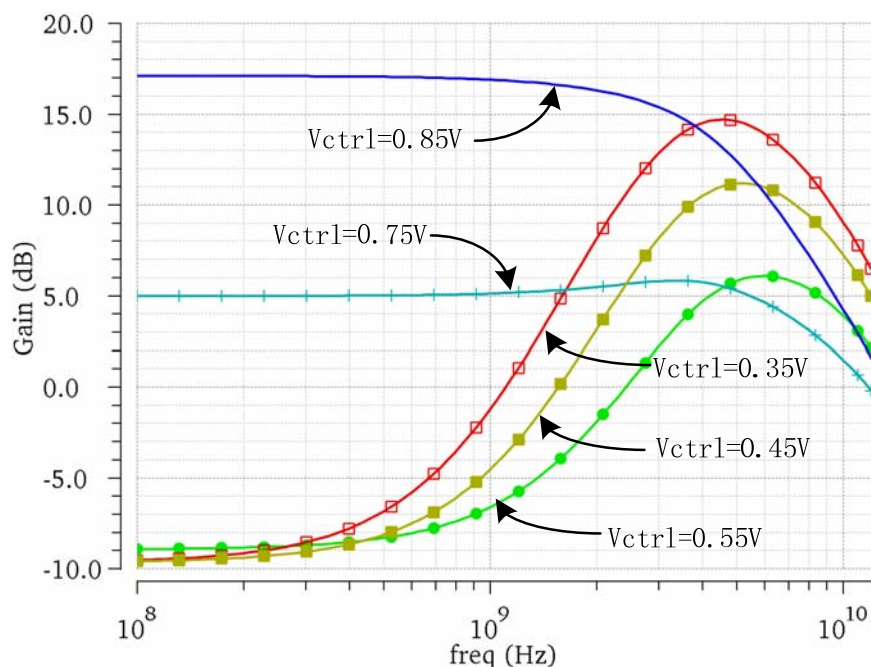


图 4-49 均衡器的增益提升因子随 V_{ctrl} 改变的变化曲线

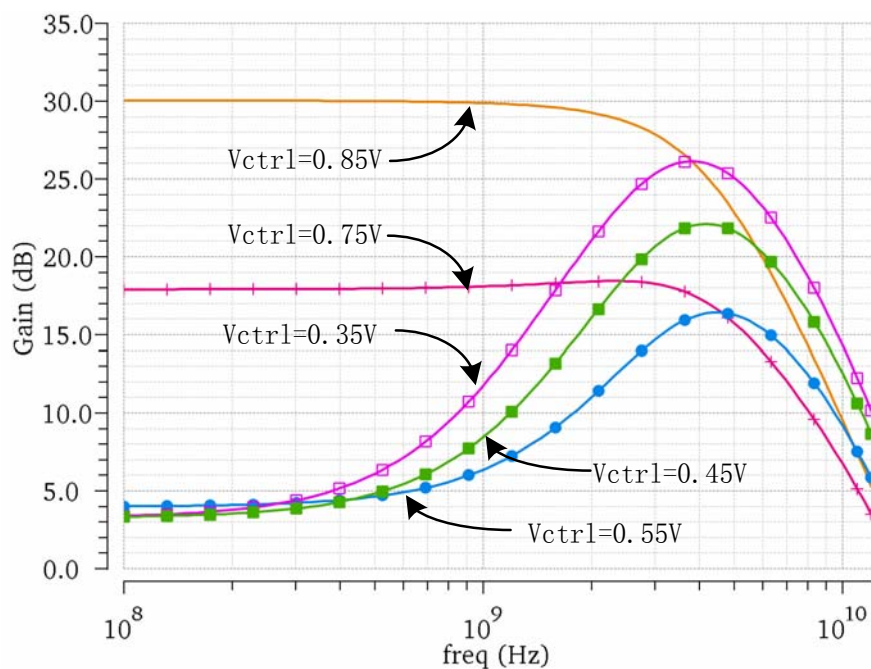


图 4-50 经过缓冲放大后的均衡器的增益提升因子随 V_{ctrl} 改变的变化曲线

如图 4-49 为均衡器的电压调谐曲线族。 V_{ctrl} 从 0.2V 增大到 1V。随着控制电压的增大，均衡器的增益提升因子不断减小，当 V_{ctrl} 为 0.8V 时，增益提升因子几乎为 0，说明源极负反馈可变电阻已经大幅减小，当 V_{ctrl} 时作为可变电阻的 MOS 管完全打开，源极负反馈效应消失，于是低频增益大幅提升。

如图 4-50 所示，为均衡器级联了 CML 缓冲器之后，控制电压 V_{ctrl} 的调谐曲线族。可以看出均衡器带来的低频衰减得到有效补偿。

4.3.3 功率鉴别器的设计

功率鉴别器是自适应环路的关键模块，由均衡器输出的信号被其抽离出高频和低频两个部分。由于输入的是差分信号，经过分离之后成为两组差分信号，对这两组差分信号进行比较需要两对共用一个电流源的差分对（MN1-MN4）。比较的结果以电压的形式输出。该实现方式被称为电流切换技术（Current Steering Technique），相比传统的功率鉴别技术，其输出摆幅更大。如图 4-51 所示为本设计所采用的功率鉴别器的具体电路。由 R_1 和 C_1 构成的两个一阶 RC 滤波器用于分离信号的高频和低频部分，两个阻值为 $10K\Omega$ 的电阻 R_{CM} 用于检测输入差分信号的共模电平，并将其用于偏置高频信号的差分对。 C_3 用来减小输出电压的纹波， C_2 用来减小差分对输入共模电平的纹波。

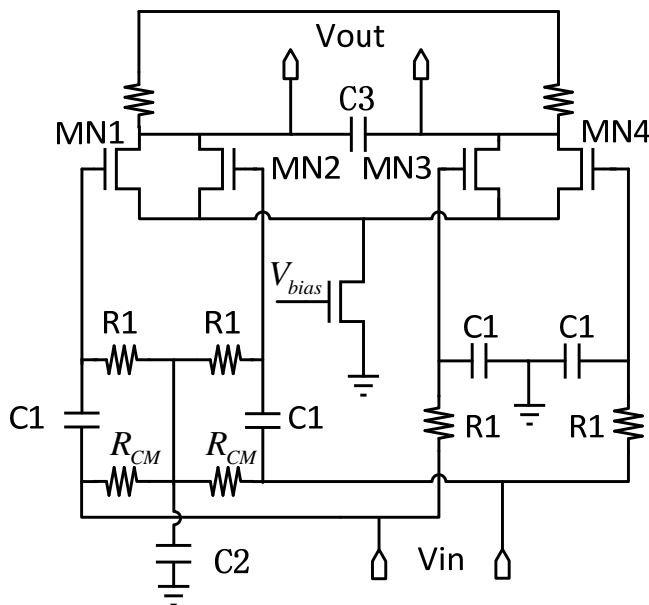


图 4-51 功率鉴别器

4.3.4 V/I 转换器的设计

V/I 转换器就其功能来说，对应于传统自适应环路中的误差放大器。由于功率鉴别器能够提供较大的输出电压摆幅，V/I 转换器无需很大的增益。如图 4-52 所示为本设计所采用的 V/I 转换器的具体电路。功率鉴别器输出的 UP 和 DOWN 信号通过差分对 MN1 和 MN2 转换成电流，并由电流镜（MP1-MP3）、（MP2-MP4）、（MN3-MN4）在输出端进行求和，得到输出电流。

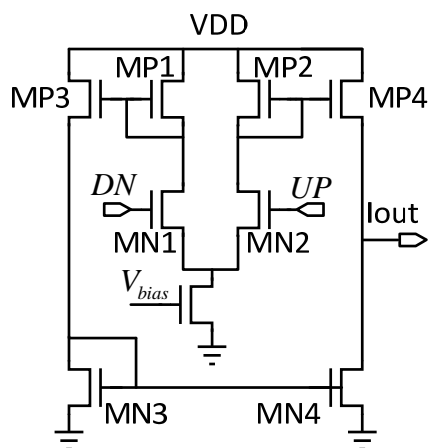


图 4-52 V/I 转换器

4.3.5 接收端整体仿真

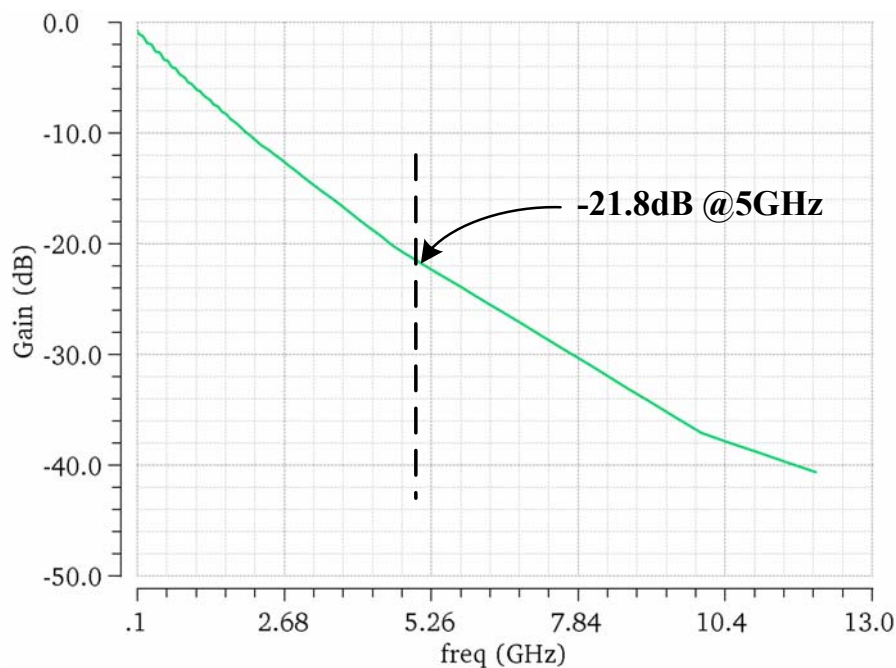


图 4-53 20 英寸 FR-4 传输线的频响特性

为检验本设计中均衡器的最大补偿能力，在仿真中将信道长度设为设计最大长度，即 30 英寸。如图 4-53 所示为 30 英寸长的 FR4 基板上的铜质传输线随频率的衰减曲线（频轴为线性的），在仿真电路中做了阻抗匹配，故而曲线没有出现上下过冲。可以看出，当频率大于交叉频率时，曲线随频率增大而下降的更快，这说明介电损耗已占主导。在 5GHz 时，衰减达到 22dB。后续的仿真，即是用此模型检验本设计。

如图 4-54 所示为衰减信道和均衡器组合的频率响应曲线，信道仍为 33 英寸长的 FR4 基板铜质传输线。可以看出高频部分的衰减得到了有效补偿，而且信道的衰减曲线与均衡器的补偿曲线的匹配也很好，其失配度小于 3dB，而且总体的 -3dB 带宽达到了 5GHz 以上。从图 4-54 中也可以看出，在高频衰减得到有效补偿的同时，信号的低频部分由信道造成的衰减加上均衡器造成的衰减达到 8dB，这可以由后续的缓冲放大器来补偿，将信号的幅度放大到原有值。

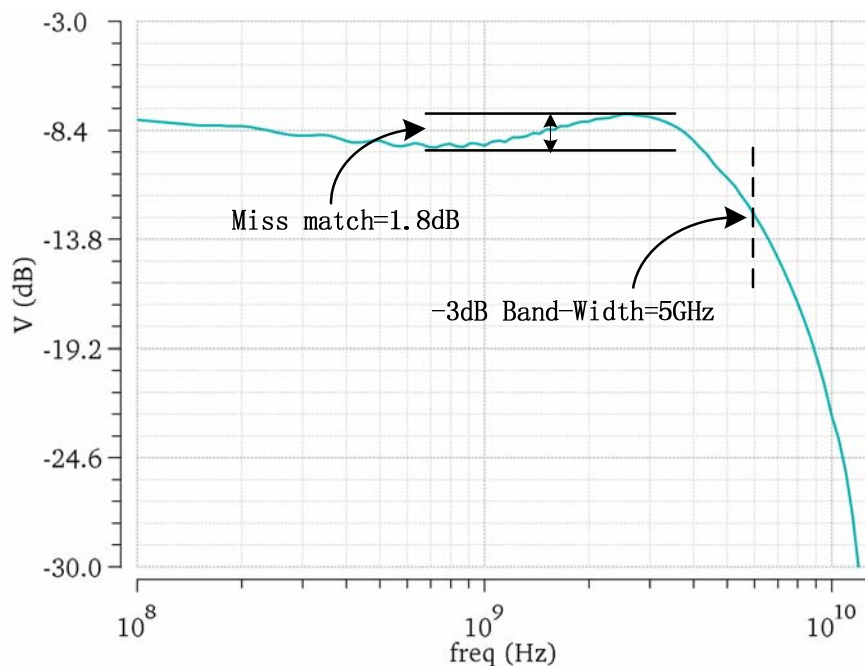


图 4-54 信道与均衡器的组合频响特性曲线

图 4-55 为加入信道之后的瞬态仿真（信道仍为最大衰减长度）。可以看出，信号经过信道之后，高频部分信号能量损耗很大，导致严重的 ISI，眼图完全闭合，而且信号幅度也大幅减小。

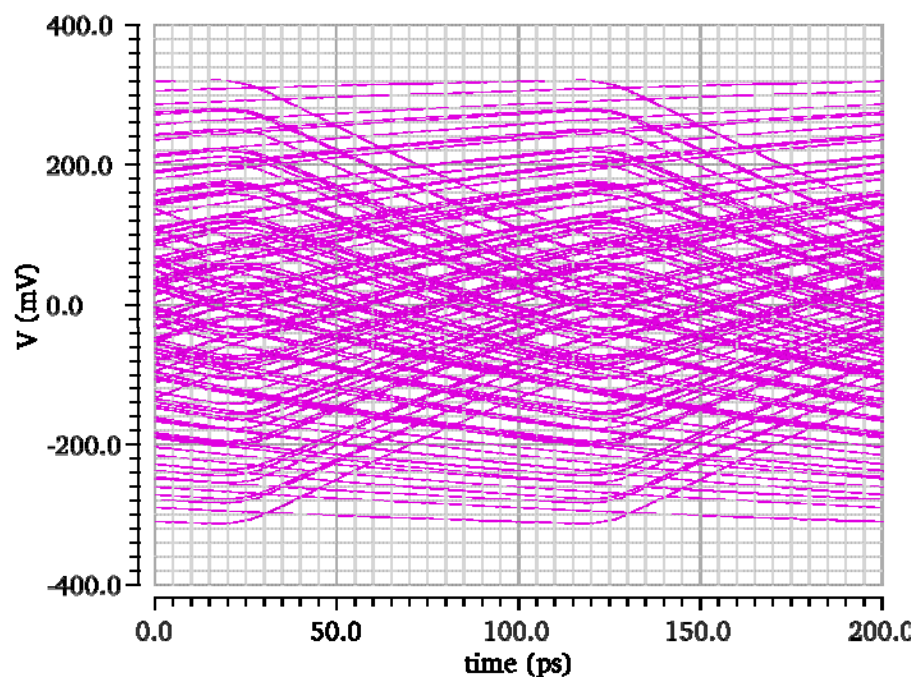


图 4-55 最大衰减情况下到达接收端的信号眼图

经过均衡器器的滤波补偿之后，眼图打开，如图 4-56 所示。

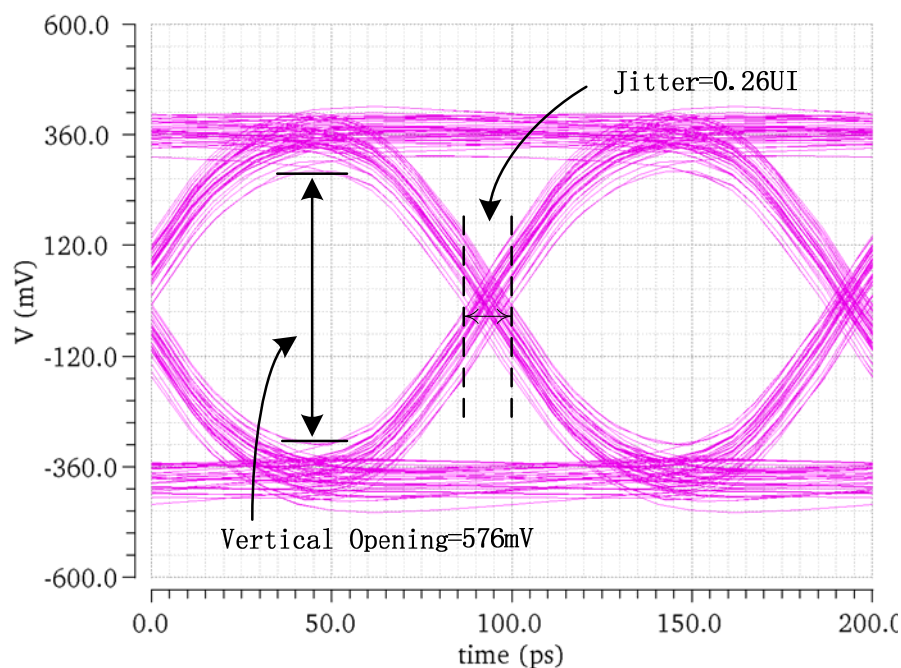


图 4-56 最大衰减情况下，经过均衡器补偿的信号眼图

由于传输线的衰减量与其长度呈线性相关关系，长度越大，衰减量就越大，因此可以用传输线的长度来表征信道的衰减程度。如图 4-57 所示为不同衰减程度下的控制电压 V_{ctrl} 的响应曲线。

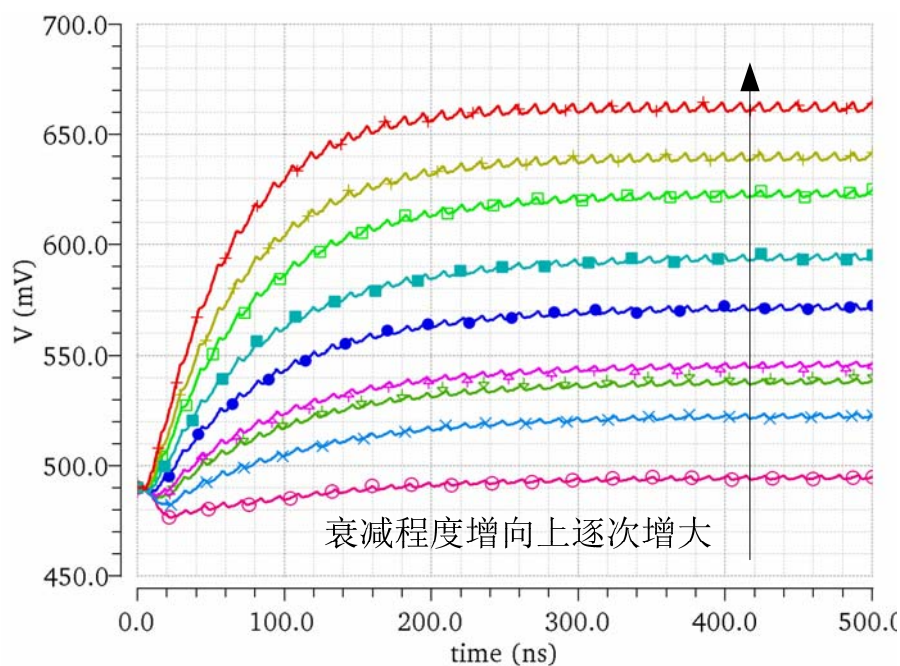


图 4-57 不同衰减程度下的控制电压 V_{ctrl} 的响应曲线

如图 4-58 所示为均衡器的控制电压 V_{ctrl} 随信道衰减量的变化而变化的曲线。

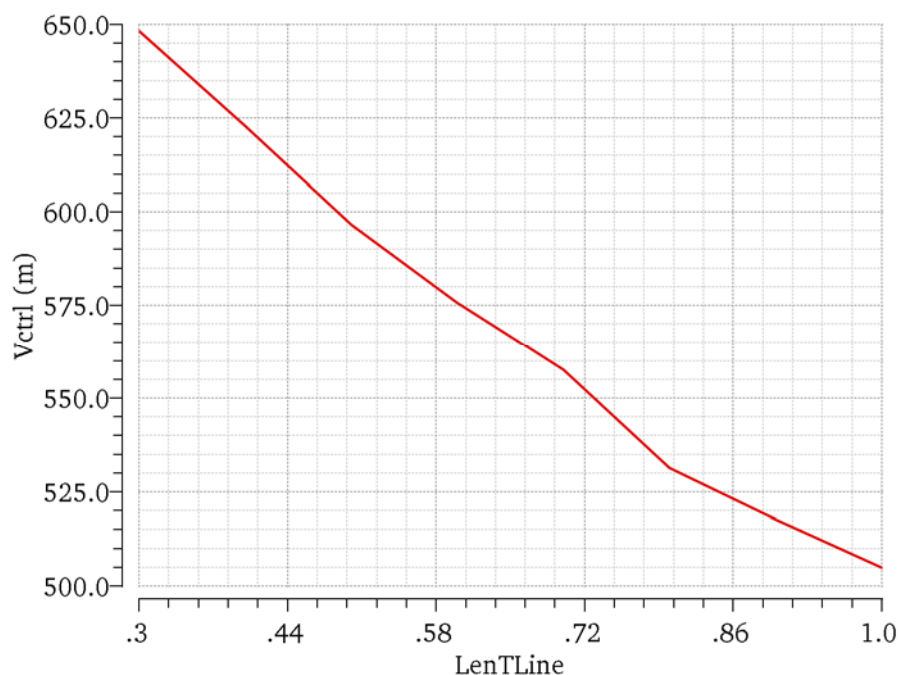


图 4-58 控制电压随信道衰减量的变化而变化的曲线

4.3.6 接收端整体版图设计与后仿真

如图 4-59 所示为接收端电路的整体版图。由图中可以看出，均衡单元和电感峰化 CML 中的电感占据了大部分硅片面积，整体版图面积为 $400\mu\text{m} \times 447\mu\text{m}$ 。利

用 Assura410 提取了版图寄生参数，进行了最大信道衰减情况下（20 英寸的 FR-4 基板传输线）的三种 PVT 组合后仿真，这三种 PVT 组合分别为：（TT，电源电压 1.2V，27° 典型情况）、（SS，电源电压 1.08V，125°，最慢情况）、（FF，带能源电压 1.32V，0°，最快情况），分别进行了 AC 和瞬态仿真。

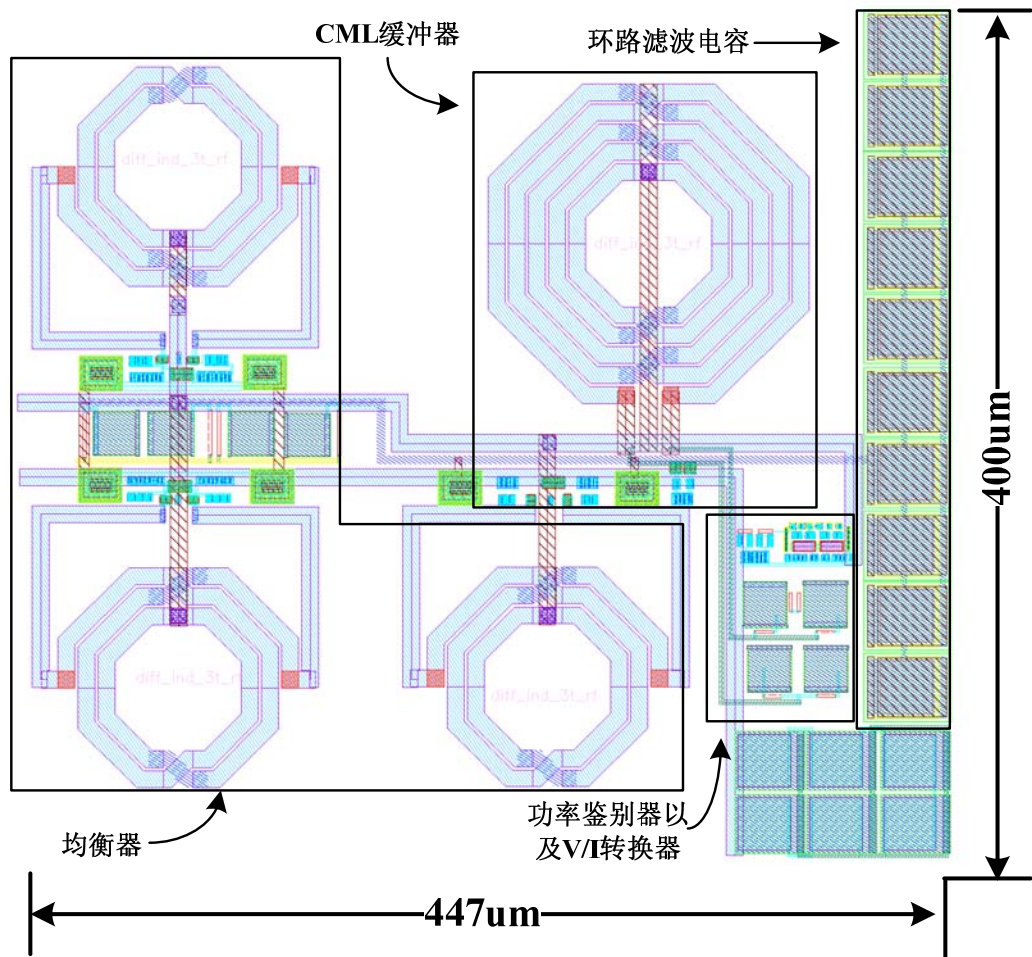


图 4-59 接收端整体版图

如图 4-60 所示为 30 英寸 FR-4 基板的传输线信道与均衡器的组合频响特性曲线。由图中可以看出，相对于典型情况，最快情况下，信道与均衡器的匹配度有所恶化，除却峰化作用，其值仍在 3dB 以内，且低频增益有所增大，总体的-3dB 带宽达到 7.26GHz。最慢情况下，信道与均衡器的匹配度更好，低频增益保持大致不变，但总体的-3dB 带宽有所减小，为 5.69GHz。低频衰减部分可由级联在均衡器后的 CML 缓冲器补偿，最终的信号摆幅与发射端输出信号摆幅达到一致。总之，在这三种情况下，均衡器对信道的衰减都做了有效补偿。下面通过瞬态仿真查看信号在上述三种情况下经过自适应均衡之后的眼图。

如图 4-61 所示为典型情况下的均衡器输出信号眼图，可以看出经过自适应均衡后信号的高频部分得到有效补偿，码间串扰大大降低，表现在眼图的“眼睛”打开，且竖直方向的开度达到 0.78 (199.4mV/256mV)，由 ISI 引起的抖动 (Jitter) 为 0.14UI (13.99ps)。从图中也可以看出，经过均衡后，信号的低频分量受到衰减，表现在信号的摆幅降低 (约为均衡之前的一半)，此种情况的控制电压 V_{ctrl} 为 0.51V。如图 4-62 所示为最慢情况下的均衡器输出信号眼图，眼图的竖直方向上开度为 0.71 (223.6mV/312mV)，抖动为 0.12UI (12.44ps)，其信号摆幅相比典型情况下降了 76mV，控制电压为 0.43mV。如图 4-63 所示为最快情况下的均衡器输出信号眼图，眼图的竖直方向上开度为 0.73 (139.4mV/185mV)，抖动为 0.14UI (13.68ps)，控制电压为 0.56mV。总之，本设计接收端电路通过自适应环路的调节，不仅能够有效补偿信道的衰减，而且也能够补偿来自电源电压波动、工艺偏差以及温度变化带来的影响。

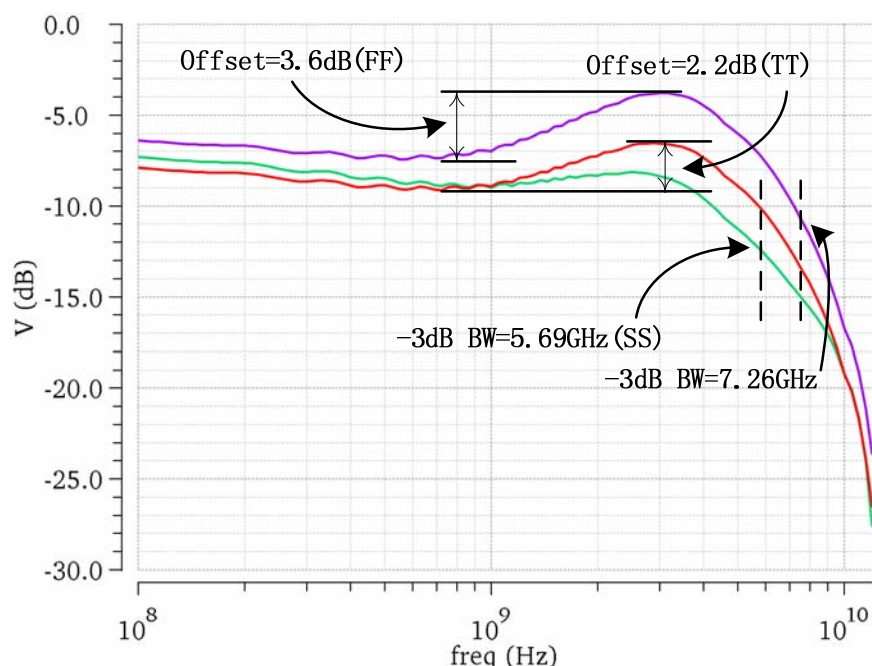


图 4-60 三种工艺角下，最大衰减情况下的信道和均衡器组合频响特性

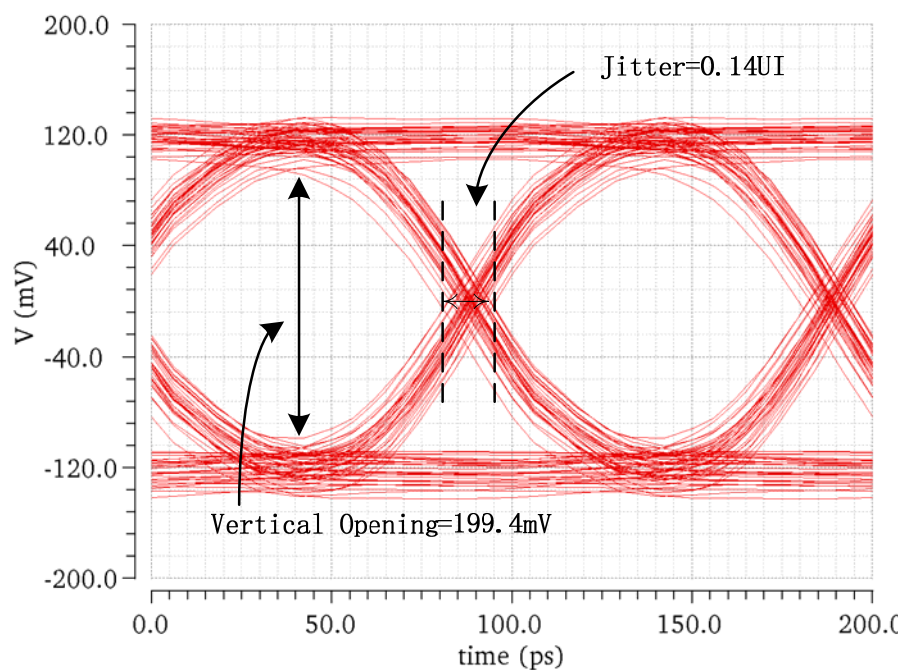


图 4-61 最大衰减情况下，典型工艺角下的均衡器输出眼图

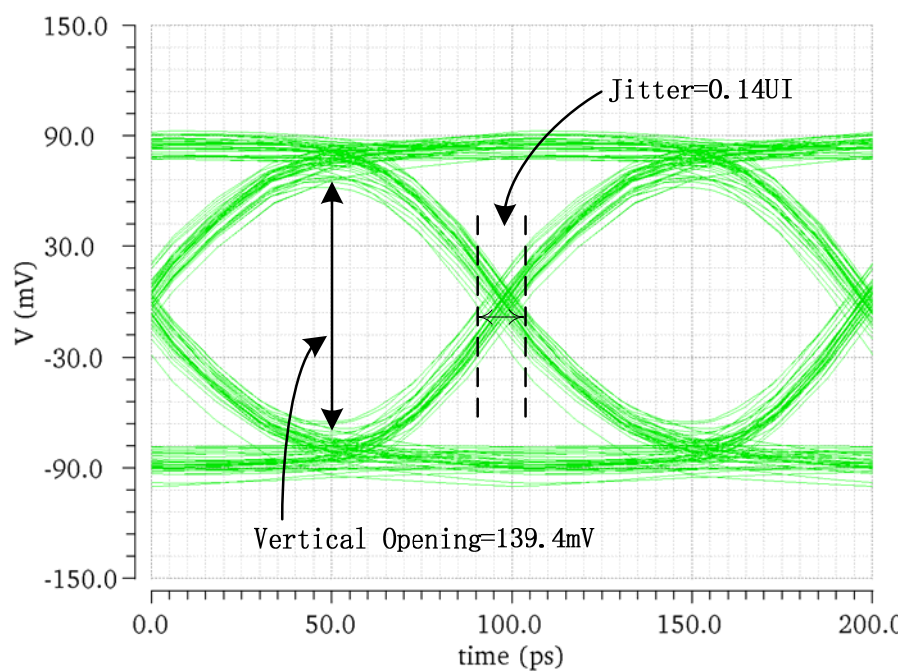


图 4-62 最大衰减情况下，最慢工艺角下的均衡器输出眼图

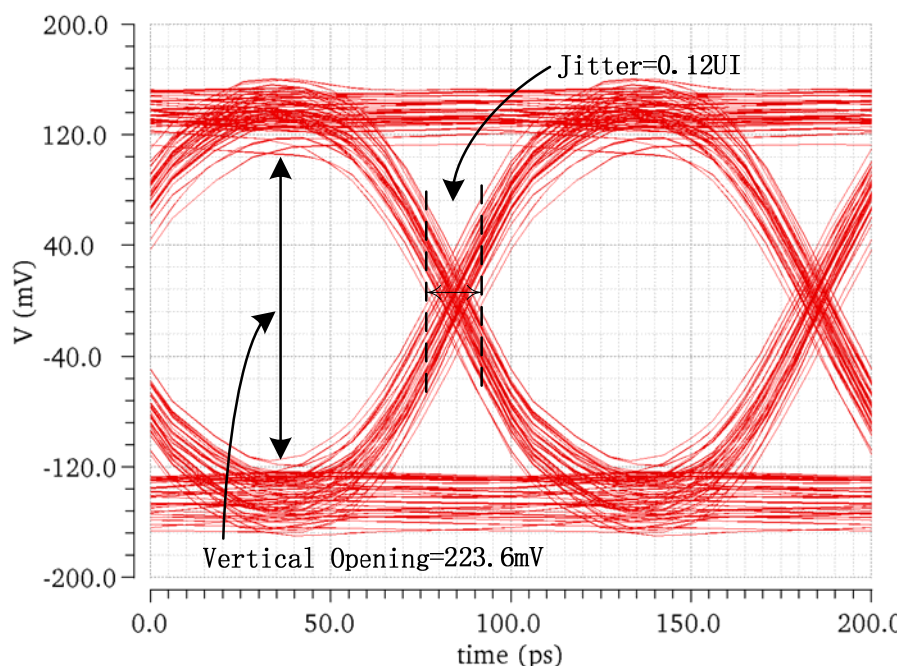


图 4-63 最大衰减情况下，最快工艺角下的均衡器输出眼图

4.4 本章小结

本章完成了整个发射端和接收端的设计。对所采用的模块电路进行了详尽的理论分析、参数设定和仿真验证。在发射端驱动器电路中，采用了三个带有源极跟随器的 CML 放大器进行级联，并且采用了比例缩放技术，在最后一级 CML 缓冲器中做了阻抗匹配，并且利用电感峰化技术提高了发射端的电容驱动能力。在接收端自适应均衡器的设计中，采用了自比较技术，简化了环路的复杂度，并且增大了稳定性。而在均衡器的设计中，采用三级均衡滤波单元通过电容耦合进行级联，每一级均为具有电压调谐功能的连续时间均衡器，并且将限幅放大器的比例缩小技术引入到设计中，使得整体带宽满足了设计要求。在具体电路实现中，详细研究了片上集成无源器件的特性，并进行了合理选取。

在每个电路子模块的设计中都进行了晶体管级仿真，使其达到初步的设计要求，在整体电路仿真时，进行了迭代仿真，确定了电路参数的最优值，并留有一定的裕量。

第五章 总结与展望

高速接口电路直接与片外的信道交互，其性能直接决定了片内其他电路模块功能能够正常发挥，尤其是接收端的均衡为后续数据时钟恢复（CDR）电路提供低抖动、大摆幅的非归零数字信号，在设计中尤为关键。本文针对 FR-4 基板的传输线信道，基于 SMIC 0.13 μm CMOS 工艺，完成了 10G-SerDes 中的接口电路设计。具体工作总结如下：

（1）首先研究了随机二进制信号在时域和频域的特性、信道的带宽限制特性和噪声对随进二进制信号的具体影响，结合背板信道的特性，探讨了信号和信道的交互特点，以及由此带来的信号完整性问题，并给出了信号质量在频域和时域中的体现。这些为具体电路设计的指标分解、电路结构选取提供理论根据。

（2）综合考虑了 SMIC 0.13 μm CMOS 工艺的限制，10Gb/s 随进非归零型二进制数据的特性，以及 FR-4 背板信道的衰减特性，在发射端采用三个带有前馈源级跟随器和后馈源极跟随器的放大器进行级联，以及一个加入了阻抗匹配和电感峰化技术的 CML 缓冲器，为进一步提高带宽，采用比例缩放技术，使得增益和带宽相比传统的驱动电路都有大幅提高，后仿真中最坏情况的 PVT 组合仿真也在通过了设计要求。在接收端中，采用了反向比例缩放技术的三个连续时间均衡滤波单元，通过电容进行耦合构成均衡器，并通过 MOS 变容管，以及由固定阻值电阻与用作可变电阻的 MOS 管并联构成的可变电阻，来实现压控调谐功能，在反馈环路中采用频率分割和自比较技术，实现了自适应均衡。后仿表明，自适应环路不仅补偿了信道的衰减，而且对 PVT 的变化做出了补偿。总之，本设计对现有技术进行适应性的创新组合，达到了设计目标。

尽管如此，限于个人对电路的理解深度，以及设计考虑的全面度，本设计还存在亟待改进的地方：

（1）本设计针对于随机二进制信号，实际上，很多通讯协议要求信号采用 8B/10B、64B/66B 等编码形式，而不同的编码形式信号，其频谱也不同，本文由随进二进制信号频谱得到的平均功率分割点便不能适用。因此，未来设计中要将信号的编码形式考虑进去。

（2）在数据率方面，本文设定随机数据的数据率为 10Gb/s，并由此确定线性均衡器的零极点位置以及自适应环路中功率鉴别器的频谱分割点。实际中，为了减小成本，在单个芯片实现多种数据率数据的接口，因此，在均衡器和功率鉴别器中加入可编程功能，使得接口电路能够适应多种数据率数据的传输要求。

致 谢

硕士学位论文的完成，即宣告了求学生涯的结束。回顾这十多年慢慢长途，心中不禁慨然，而最令我难忘的是这三年攻硕时光。这三年，我体会到了学习的兴趣和渴望，以及由此而来的动力与激情。感谢这一路上帮助、陪伴我的人。

首先感谢我的父母亲。是母亲的严格管束和谆谆教诲，让我懂得自律和做人的道理。是父亲的启蒙，让我完成平生第一篇作文，为我打开知识世界的大门。一路走来，无论坎坷风雨，父母亲给予我坚定的支持。

感谢我的导师廖家轩教授。廖老师治学严谨，幽默随和，在教诲我们科研方法和科研态度的同时，也不忘关心我们的生活。

感谢我的副导师刘辉华老师。刘老师直接带领我们项目组进行科研工作，在他的指导下，我很快参与到项目中去。刘老师不仅拟定了我的毕设课题，也给了我细致的指导和严格的把关。

感谢我的师兄，张军和娄佳宁。是他们的无私的帮助和中肯的建议，让我少走了很多弯路。很多个周末，两位师兄坚持在教研室查阅文献，他们刻苦的精神感染了我，让我感受到了榜样的力量！

感谢空间集成电路团队的李磊老师、周婉婷老师、杨改改老师，正是诸位老师的辛勤耕耘，才有了空间集成电路团队的发展壮大！同时，也感谢团队所有同学，正是诸位的包容、互助、奉献，才有了良好的科研学习氛围。

诸位老师、朋友，祝愿你们成功、幸福！

参考文献

- [1] S. Voinigescu et al., "Integration of Mixed-Signal Elements into a HighPerformance Digital CMOS Process," Intel Technology Journal, vol.06, May 2001, pp. 331-338
- [2] 吴春红. 10-40Gb/s 光通信和万兆以太网时钟产生及恢复电路的设计[D]. 南京: 2004, 东南大学
- [3] 孙玲. 10-40Gb/s 光通信与万兆以太网时钟恢复电路芯片研究[D]. 南京: 2004, 东南大学
- [4] 吕晓华. 具有预加重和均衡的高速 CML 接口电路设计[D]. 成都: 2012, 电子科技大学
- [5] Yue Lu and E. Alon. A 66Gb/s 46mW 3-Tap Decision-Feedback Equalizer in 65nm CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 30-31
- [6] Y. Doi, et al. 32Gb/s data-interpolator receiver with 2-tap DFE in 28nm CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 36-837
- [7] Raghavan, et al. A sub-2W 39.8-to-44.6Gb/s transmitter and receiver chipset with SFI-5.2 interface in 40nm CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 32-33
- [8] Bo Zhang, et al. A 195mW / 55mW Dual-Path Receiver AFE for Multistandard 8.5-to-11.5 Gb/s Serial Links in 40nm CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 34-35
- [9] A. Hafez, et al. A 32-to-48Gb/s serializing transmitter using multiphase sampling in 65nm CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 38-39
- [10] Y. Ogata, et al. 32Gb/s 28nm CMOS time-interleaved transmitter compatible with NRZ receiver with DFE[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 40-41
- [11] Kwangmo Jung, et al. A 0.94mW/Gb/s 22Gb/s 2-tap partial-response DFE receiver in 40nm LP CMOS[C]. Dig. of Tech. Papers, ISSCC, Feb. 2013, pp. 42-43
- [12] G. Gutierrez, S. King, B. Coy. 2.488 Gb/s silicon bipolar clock and data recovery circuit for SONET (OC-48)[J]. Proc. IEEE Custom Integrated Circuits Conf., May 1998, pp. 575-578
- [13] H. Johnson and M. Graham, High-speed digital design [M]. Pearson Education, 2004
- [14] K. Azadet and C. Nicole. Low-power equalizer architectures for high-speed modems[J]. IEEE Communication Magazine, Oct. 1998, pp. 118-126
- [15] L. Thon, et al. A 240 MHz 8-tap programmable FIR filter for disk-drive read channels[C]. Dig. of Tech. Papers, ISSCC, Feb. 1995, pp. 82-83
- [16] J. Buckwalter and A. Hajimiri. An active analog delay and the delay reference loop[J]. Proc. of IEEE RFIC Symposium, June 2004, pp. 17-20

- [17] J. Yang, et al. A quad-channel 3.125Gb/s/ch serial-link transceiver with mixed-mode adaptive equalizer in 0.18 μ m CMOS[C]. Dig. of Tech. Papers,ISSCC, Feb. 2004, pp. 176-177
- [18] D. Xu, et al. A 200MHz 9-tap analog equalizer for magnetic disk read channels in 0.6 μ m CMOS [C]. Dig. of Tech. Papers, ISSCC, Feb.1996, pp. 74-75
- [19] X. Wang and R. Spencer. A low-power 170-MHz discrete-time analog FIR filter[J]. IEEE J.Solid-State Circuits, March 1998, vol. 35, pp. 417-426
- [20] T. Lee and B. Razavi. A 125-MHz CMOS mixed-signal equalizer for gigabit ethernet on copper wire[C]. Proc. of IEEE Custom Integrated Circuits Conference, May 2001, pp. 131-134
- [21] J. E. Jaussi, et al. An 8Gb/s Source-Synchronous I/O link with Adaptive Receiver Equalization, Offset Cancellation and Clock Deskew[C]. ISSCC Dig.of Tech. Papers, Feb. 2004, pp. 246 -247
- [22] Y. Tomita, et al. A 10Gb/s Receiver with Equalizer and On-chip ISI Monitor in 0.11 μ m CMOS[J]. Symposium on VLSI Circuits Dig. of Tech. Papers, June 2004,pp. 202-205
- [23] C. Pelard, et al. Realization of Multigigabit Channel Equalization and Crosstalk Cancellation Integrated Circuits[J]. IEEE J. Solid-State Circuits, Oct. 2004,pp. 1659-1670
- [24] J. Sewter and A. C. Carusone. A 3-Tap Digitally Programmable Transversal Filter in 90nm CMOS for Equalization up to 30 Gb/s[J]. Symposium on VLSI Circuits Dig. of Tech. Papers, June 2005, pp. 190-193
- [25] V. Balan, et al. A 4.8-6.4 Gbps serial link for backplane applications using decision feedback equalization[J]. Proc. of IEEE Custom Integrated Circuits Conference, Oct.2003, pp. 31-34
- [26] Y. Sohn, et al. A 2.2 Gbps CMOS look-ahead DFE receiver for multidrop channel with pin-to-pin time skew compensation[J]. Proc. of IEEE Custom Integrated Circuits Conference, Sept. 2003, pp. 473-476
- [27] S.Kasturia and J. Winters. Techniques for high-speed implementation of nonlinear cancellation [J]. IEEE J. Selected Areas in Communications, June 1991, vol.38, pp. 711-717
- [28] R. Kajley, et al. A mixed-signal decision-feedback equalizer that uses a look-ahead architecture [J]. IEEE J. Solid-State Circuits, March 1997, vol. 32, pp. 450-459
- [29] S. S. Mohan, M. M. Hershenson, S. Boyd., T. H. Lee. Bandwidth Extension in CMOS with Optimized On-Chip Inductors[J]. IEEE J. Solid-State Circuits, March 2000, vol. 35, pp. 346-355.
- [30] R. P. Jindal. Gigahertz-band high-gain low-noise AGC amplifiers in fineline NMOS[J]. IEEE J. Solid-State Circuits, Aug.1987, vol. 22, pp. 512-521
- [31] E. Sackinger, W. C. Fischer. A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers[J]. IEEE J. Solid-State Circuits, Dec. 2000, vol. 35, pp.1884-1888

- [32] J.-S. Choi, et al. A 0.18 μ m CMOS 3.5-Gb/s Continuous-Time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Control Method[J]. IEEE J. Solid-State Circuits, March 2004, pp. 419-425
- [33] J. A. Mataya, G. W. Haines and S. B. Marshall. IF amplifier using C_c compensated transistors[J]. IEEE J. Solid-State Circuits, vol. SC-3, Dec. 1968, pp.401-407
- [34] A. J. Baker. An Adaptive Cable Equalizer for Serial Digital Video Rates to 400Mb/s[C]. ISSCC Dig. of Tech. Papers, Feb. 1996, pp. 174-175
- [35] J. N. Babanezhad. A 3.3 V analog adaptive line-equalizer for fast ethernet data communications[J]. Proc. Custom Integrated Circuits Conf., May 1998, pp. 343-346
- [36] G. Zhang and M. M. Green. A BiCMOS 10Gb/s Adaptive Cable Equalizer[C]. Dig. of Tech. Papers, ISSCC, Feb. 2004, pp. 482-483
- [37] D. Schmidt. Circuit pack parameter estimation using Rents rule[J]. IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems, Oct. 1982, pp.186-192
- [38] Eduard Säckinger, Wilhelm C. Fischer. A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers[J]. IEEE Journal of Solid-State Circuits, VOL.35, no.12, Dec. 2000. pp.2138-2146
- [39] S. Voinigescu et al. Integration of Mixed-Signal Elements into a HighPerformance Digital CMOS Process [J] Intel Technology Journal, vol.06, May 2001, pp. 331-338
- [40] S. Gondi. A 10 Gb/s CMOS adaptive equalizer for backplane applications[J]. IEEE ISSCC Dig. Tech. Papers, Feb. 2005, pp. 328-329
- [41] L. W. Couch, Digital and Analog Communication Systems, Fourth Ed[M]. New York: Macmillan Co., 1993
- [42] S.M. Kong and Y. Leblebici. CMOS Digital Integrated Circuits, Analysis and Design[M]. Third Edition, McGraw Hill, 2003
- [43] C. Laber, and P. Gray. A Positive-Feedback Transconductance Amplifier with Applications to High-Frequency, High-Q CMOS Switched-Capacitor Filters[J]. IEEE J. Solid-State Circuits, vol. 23, no. 6, Dec. 1988, pp 1370-1378
- [44] D. Allstot. A Precision Variable Supply CMOS Comparator[J]. IEEE J. SolidState Circuits, SC-17, no. 6, 1982, pp 1080-1087
- [45] Mezyad M. Amourah and Randall L. Geiger. All Digital Transistors High Gain Operational Amplifier Using Positive Feedback Technique[D]. Dept. of Electrical and Computer Engineering, Iowa State University, Ames, IA, 50011 USA
- [46] Maxim Integrated Products. NRZ Bandwidth-HF Cutoff vs SNR[S]. 2008

- [47] Y. Tomina. A 10 Gb/s receiver with equalizer and on-chip ISI monitor in 0.11- μm CMOS[J]. Symp. VLSI Circuits Dig. Tech. Papers, Jun.2004, pp. 202–205
- [48] G. Zhang. A BICMOS 10 Gb/s adaptive cable equalizer[C]. IEEE ISSCC Dig. Tech. Papers, Feb. 2004, pp. 482–483
- [49] J.-S. Choi. A 0.18- μm CMOS 3.5-Gb/s continuous-time adaptive cable equalizer using enhanced low-frequency gain control method[J].IEEE J. Solid-State Circuits, Mar. 2004, vol. 39, no. 3, pp. 419–425
- [50] R. Farjad-Rad. 0.622-8.0 Gbps 150mWserial IO macrocell with fully flexible preemphasis and equalization[J]. Symp. VLSI Circuits Dig.Tech. Papers, Jun. 2003, pp. 63–66
- [51] E. M. Cherry and D. E. Hooper. The design of wideband transistor feedback amplifiers[J]. Proc. Inst. Elect. Eng., Feb.1963,vol. 110, pp. 375–389
- [52] O. E. Akcasu. High capacitance structure in a semiconductor device[P]. U.S. Patent 5,208,725, May 4, 1993

攻硕期间的研究成果

- [1] 黄灿灿, 刘辉华. 10 Gb/s 自适应均衡器设计[J]. 微电子学与计算机, 2014, 31(3): 173-176

10Gbps SerDes中的高速接口设计

作者: [黄灿灿](#)
学位授予单位: [电子科技大学](#)

参考文献(2条)

1. [吴春红](#) [10-40Gb/s光通信和万兆以太网时钟产生及恢复电路的设计](#)[学位论文]硕士 2004
2. [孙玲](#) [10-40 Gb/s光通信与万兆以太网时钟恢复电路芯片研究](#)[学位论文]硕士 2004

引用本文格式: [黄灿灿](#) [10Gbps SerDes中的高速接口设计](#)[学位论文]硕士 2014